UNTERSUCHUNG UND OPTIMIERUNG BIPOLARER SUBNANOSEKUNDEN-SCHALTUNGEN FÜR HOCHINTEGRIERTE DIGITALBAUSTEINE

DISSERTATION

zur Erlangung des Grades eines
Doktor-Ingenieurs
der Abteilung für Elektrotechnik
an der Ruhr-Universität Bochum

von

ROLAND RANFFT

aus Hamburg

Bochum 1981

UNTERSUCHUNG UND OPTIMIERUNG BIPOLARER SUBNANOSEKUNDEN-SCHALTUNGEN FÜR HOCHINTEGRIERTE DIGITALBAUSTEINE

DISSERTATION

zur Erlangung des Grades eines
Doktor-Ingenieurs
der Abteilung für Elektrotechnik
an der Ruhr-Universität Bochum

von

ROLAND RANFFT

aus Hamburg

Bochum 1981

UNIV.
LEIDEN
BIBL.

Dissertation eingereicht am 12.2.1981
Tag der mündlichen Prüfung: 3.6.1981
Referent: Prof. Dr. H.-M. Rein
Korreferent: Prof. Dr. J. W. Klein

Inhaltsverzeichnis

1 Einleitung 1

2 Definitionen, Schreibweisen, Bezeichnungen und Symbole 4

2.1 Dynamische Kenngrößen 4

2.2 Spannungen und Ströme 6

2.3 Bezeichnungen und Symbole 6

3 Auswahl der Schaltungskonzepte 8

3.1 Übersicht 8

3.2 Forderungen an die Schaltungskonzepte 12

3.3 Schaltungstechniken zur Vermeidung von Sättigung und Hochstromeffekten 17

3.4 Verzweigung von Signalpfaden 25

4 Voraussetzungen für den Schaltungsentwurf und die Optimierung 30

4.1 Vorbemerkung 30

4.2 Basistechnologie 31
4.2.1 Besondere Merkmale der Basistechnologie 32
4.2.2 Strukturmaße und spezifische elektrische Parameter 35

4.3 Modelle der verwendeten Bauelemente 47
4.3.1 Transistor-Modelle 48
4.3.2 Schottky-Dioden-Modelle 55

4.4 Berechnung der elektrischen Bauelementeparameter 61
4.4.1 Programm zur Dimensionierung und Berechnung der Bauelemente 61
4.4.2 Sperrschichtkapazitäten 63
4.4.3 Basisbahnwiderstände 71
4.4.4 Kollektor- und Schottky-Dioden-Bahnwiderstände 72

4.5 Optimierungsverfahren 77
4.5.1 Wahl der Optimierungsvariablen 79
4.5.2 Lage des Optimums im Variablenraum 83
4.5.3 Optimierungsroutine 87

5 Simulationsverfahren 88

5.1 Forderungen an das Simulationsverfahren 88

5.2 Vergleich zwischen Digitalrechner und speziellem Analogrechner zur Schaltungssimulation 89

5.3 Ein spezieller Analogrechner zur Simulation ungesättigter Bipolarschaltungen 93
5.3.1 Vorbemerkung 93
5.3.2 Prinzip des Analogrechners 94
5.3.3 Aufbau des Analogrechners 94
5.3.4 Grundgerät mit Netzteil 97
5.3.5 Versorgungseinschub 98
5.3.6 Transistoreinschübe 100
5.3.7 Schottky-Dioden-Einschub 113
5.3.8 Weitere Bauelementenachbildungen 114
5.3.9 Hilfsschaltung für Simulation und Auswertung 117

6 Dimensionierung und Untersuchung der ausgewählten Schaltungskonzepte 120

6.1 Vorbemerkungen am Beispiel eines Grundgatters 120
6.1.1 Dimensionierung und Störsicherheit 120
6.1.2 Dynamisches Verhalten 127
6.1.3 Empfindlichkeitsanalyse 132
6.1.4 Platzbedarf 137

6.2 ECL 137
6.2.1 Dimensionierung und Störsicherheit 137
6.2.2 Dynamisches Verhalten 143
6.2.3 Empfindlichkeitsanalyse 146
6.2.4 Platzbedarf 149

6.3 FECL 150
6.3.1 Dimensionierung und Störsicherheit 150
6.3.2 Dynamisches Verhalten 154
6.3.3 Empfindlichkeitsanalyse 157
6.3.4 Platzbedarf 159

6.4 NTL 160
6.4.1 Dimensionierung und Störsicherheit 160
6.4.2 Dynamisches Verhalten 166
6.4.3 Empfindlichkeitsanalyse 168
6.4.4 Platzbedarf 172

6.5 C^3L 173
6.5.1 Dimensionierung und Störsicherheit 173
6.5.2 Dynamisches Verhalten 181
6.5.3 Empfindlichkeitsanalyse 185
6.5.4 Platzbedarf 187

6.6 TTL 188
6.6.1 Dimensionierung und Störsicherheit 188
6.6.2 Dynamisches Verhalten 193
6.6.3 Empfindlichkeitsanalyse 197
6.6.4 Platzbedarf 198
6.6.5 TTL mit linearer Parallelgegenkopplung 199

6.7 DCTL 201
6.7.1 Dimensionierung und Störsicherheit 201
6.7.2 Dynamisches Verhalten 206
6.7.3 Empfindlichkeitsanalyse 208
6.7.4 Platzbedarf 210

7 Vergleich der unterschiedlichen Schaltungskonzepte 211

7.1 Dynamisches Verhalten 211
7.1.1 Gatterlaufzeit 212
7.1.2 Anstiegs- und Abfallzeiten 215
7.1.3 Untersuchung von Flipflops 216

7.2 Störsicherheit 220

7.3 Eignung der Schaltungskonzepte für hochintegrierte Schaltungen 221

8 Hinweise für zukünftige Prozeßentwicklungen und weiterführende Arbeiten 224

8.1 Forderungen an neue Technologien 224

8.2 Schaltzeitverbesserungen durch laterale Strukturverkleinerung 228

8.3 Weiterführende Arbeiten 232

Anhang 235

A1 Programm zur Dimensionierung und Berechnung der elektrischen Parameter der Bauelemente 235

A1.1 Vereinfachtes Flußdiagramm 235

A1.2 Zuordnung der Variablennamen 239

A1.3 Beschreibung der Programmblöcke 242

A2 Einschränkung des Variablenraumes bei der Bestimmung der minimalen Gatterlaufzeit 253

A2.1 Schreibweisen, Voraussetzungen und Hilfsmittel 253

A2.2 Mögliche Lage des Optimums im Variablenraum 256

A2.3 Optimierungsroutine 261

A2.4 Diskussion der Sättigungsgrenze 263

A3 Analogrechner zur Schaltungssimulation 266

A3.1 Netzteil 266

A3.2 Frequenzgangkompensation beim Analogtransistor 267

A3.3 Berücksichtigung untergeordneter Zeitkonstanten durch Erweiterung des Analogtransistors 274

A3.4 Stromquellenschaltung der Analoginduktivität 275

A3.5 Schaltung zur Stromtransformation 276

A4 Bauelementedaten und Simulationsergebnisse 277

Literaturverzeichnis 304

1. Einleitung

In den vergangenen Jahren war auf dem Gebiet der Digitalschaltungen eine ständige Weiterentwicklung zu immer höherer Arbeitsgeschwindigkeit zu beobachten. Diese Tendenz wird sich in den kommenden Jahren wahrscheinlich noch verstärkt fortsetzen.

Die wesentlichsten Gründe dafür sind die steigenden Anforderungen von seiten der elektronischen Datenverarbeitung sowie die zukünftigen teilweise noch höheren Anforderungen durch die digitale Nachrichtenverarbeitung, insbesondere die Bildverarbeitung.

In Rechenanlagen macht das Rechenwerk nur einen sehr geringen Anteil der Gesamtkosten aus, bestimmt aber dennoch die Arbeitsgeschwindigkeit und damit die Rentabilität der gesamten Anlage. Es liegt daher nahe, notfalls mit relativ hohem Kostenaufwand, vorrangig die Rechengeschwindigkeit zu erhöhen, um so die teuren peripheren Geräte (Massenspeicher, Ein- und Ausgabegeräte usw.) besser zu nutzen. Da aber auch zunehmend schnellere periphere Geräte entwickelt werden, um andere Festkosten (Gebäude, Personal) besser zu nutzen, wird der Trend zu schnelleren Rechenwerken für unabsehbare Zeit anhalten.

Ein relativ junges Fachgebiet ist die digitale Nachrichtenverarbeitung. Hier stellt insbesondere die Bildverarbeitung zum Teil Anforderungen, für die heute handelsübliche Digitalschaltungen noch bei weitem zu langsam arbeiten. Anders als in der EDV müssen hier aber die Kosten sogar reduziert werden, damit z.B. auf dem umsatzstarken Markt der Fernsehgeräte die Digitaltechnik mit der Analogtechnik konkurrieren kann. Einen bescheidenen Anfang stellt das Umsetzen der hohen Eingangsfrequenz auf niedrige Frequenzen durch geeignete digitale Teilerschaltungen dar; von der digitalen Verarbeitung von der Antenne bis zur Bildröhre ist man jedoch noch weit entfernt, und selbst für das digitale "Ein-Chip-Radio" gibt es erst vorsichtige Studien [1].

Die soeben erläuterten Forderungen führten schon zu einer Vielzahl von Arbeiten, deren Ziel es ist, die Grenzen hinsichtlich der Arbeitsgeschwindigkeit auszuloten. Meistens beschränken sich diese Arbeiten entweder auf die Untersuchung physikalischer Grenzen, wobei technische Gesichtspunkte unberücksichtigt bleiben [2], oder aber auf einzelne Schaltungen, sodaß der Bezug zu

konkurrierenden Schaltungen fehlt [83,84].

Ziel der vorliegenden Arbeit ist es, einen Überblick darüber zu geben, welche Eigenschaften bei bipolaren Subnanosekunden-Schaltungen für komplexe Digitalsysteme mit modernen Herstellungsmethoden heute bzw. in naher Zukunft erreichbar sind. Damit soll einerseits ein Betrag dazu geleistet werden, den sehr großen Abstand zwischen den Eigenschaften selbst modernster handelsüblicher Digitalschaltungen und den physikalischen Grenzen zu verringern. Andererseits soll eine möglichst breite Vergleichsmöglichkeit für unterschiedliche Schaltungskonzepte geschaffen werden. Außerdem erlauben die Ergebnisse einer solchen Übersicht eine rasche Abschätzung des Einflusses technologischer Verbesserungen auf die erreichbaren Schaltungseigenschaften.

Um dieses Ziel zu erreichen, wurde der im folgenden beschriebene Weg eingeschlagen. Er beginnt mit der systematischen Auswahl unter den heute bekannten Schaltungskonzepten, bei der bereits ein besonderes Augenmerk auf die Eignung für schnelle komplexe Digitalschaltungen gerichtet ist. Hauptgesichtspunkte sind diesbezüglich die Vermeidung der Sättigung, um kurze Schaltzeiten der Transistoren zu erreichen, sowie die Eignung für hochintegrierte Schaltungen, um den Einfluß von Leitungslaufzeiten auszuschließen.

Da die ausgewählten Schaltungskonzepte hinsichtlich einer minimalen Laufzeit ihrer Grundgatter optimiert werden sollten, damit sie objektiv miteinander verglichen werden können, mußten zunächst einige Voraussetzungen für diese Optimierung geschaffen werden.

Zuerst wurde mit Rücksicht auf heutige herstellungstechnische Möglichkeiten eine Basistechnologie festgelegt, bei der einige leicht einstellbare Parameter variabel bleiben. Hauptmerkmale dieser Basistechnologie sind eine Oxidwall-Isolation, eine minimale Streifenbreite von 2µm und eine Transitzeit ("Basislaufzeit") von 25ps.

Anschließend wurden geeignete Modelle der Bauelemente erstellt, die eine ausreichende Genauigkeit bei der Simulation schneller Schaltungen gewährleisten.

Auf der Grundlage der Basistechnologie, der Modelle und einiger Schaltungseigenschaften wurde eine Optimierungsroutine entwickelt, die schnell und sicher konvergiert. Sie dient dazu, bei vorgegebener Verlustleistung die minimale Gatterlaufzeit zu bestimmen.

Da im Rahmen dieser Arbeit eine große Anzahl von Schaltungssimulationen zu erwarten war, wurde für diesen Zweck ein spezieller Analogrechner entwickelt. Er entstand durch Weiterentwicklung eines bewährten Konzepts[74]. Sein Anwendungsbereich ist zwar auf ungesättigte Bipolarschaltungen beschränkt, dafür bietet er aber hinsichtlich der Bedienung und der Rechengeschwindigkeit erhebliche Vorteile gegenüber der gebräuchlichen Simulation mit dem Digitalrechner.

Mit dem beschriebenen Rüstzeug wurden nun die Grundgatter der verschiedenen Schaltungskonzepte in einem weiten Bereich der Verlustleistung optimiert. Überraschend war hier, daß bei geringer Verlustleistung die "klassischen" Konzepte DTL, TTL und DCTL etwa doppelt so schnell sind (0,4ns bei 0,1mW pro Gatter) wie die Varianten der ECL.

Im Anschluß an die Optimierung wurde jeweils eine ausführliche Untersuchung der Gattereigenschaften durchgeführt. Sie umfaßte die Störsicherheit einschließlich des Einflusses von Parameterstreuungen, den Platzbedarf sowie eine umfangreiche Empfindlichkeitsanalyse. Letztere erlaubt eine rasche Einschätzung des Einflusses technologischer Verbesserungen.

In einem gesonderten Kapitel werden die Schaltungskonzepte anhand der wichtigsten Ergebnisse der Einzeluntersuchungen verglichen. Ergänzend werden hier noch für Flipflopschaltungen gewonnene Simulationsergebnisse genannt, um die Bedeutung des Vergleichs für sequentielle Logikschaltungen zu demonstrieren.

Abschließend werden auf den vorhergehenden Untersuchungen basierende Hinweise für zukünftige Prozeßentwicklungen gegeben. In diesem Zusammenhang wurde auch an zwei Beispielen gezeigt, welche Verbesserungsmöglichkeiten sich allein durch laterale Strukturverkleinerungen ergeben.

Aufgrund der Vielfalt der im Zusammenhang mit dieser Arbeit gewonnenen Informationen war eine Aufteilung in einen Hauptteil und einen relativ umfangreichen Anhang notwendig. Dabei enthält der Anhang eine Reihe von näheren Erläuterungen zu den oben genannten Hilfsmitteln für die Optimierung und die Untersuchung der Schaltungskonzepte. Diese sollen die Anwendung und die Weiterentwicklung dieser Hilfsmittel erleichtern. Außerdem sind dort in Tabellenform alle mit den Simulationen im Zusammenhang stehenden Daten angegeben. Aus diesen Daten können u.U. Schlüsse gezogen werden, die über die im Hauptteil beschriebenen Zusammenhänge hinausgehen.

2. Definitionen, Schreibweisen, Bezeichnungen und Symbole

2.1 Dynamische Kenngrößen

Die Definitionen der Kenngrößen des dynamischen Verhaltens eines Gatters, die in dieser Arbeit verwendet werden, sind zwar nicht unüblich, aber dennoch nicht allgemein gebräuchlich.

Die Definition der Größen Abfallzeit t_f, Anstiegszeit t_r sowie der Verzögerungszeiten t_{Df} für fallende und t_{Dr} für steigende Ausgangsspannung gehen aus Bild 2.1 hervor. Als Gatterlaufzeit t_D wird der Mittelwert

$$t_D = \frac{t_{Df} + t_{Dr}}{2} \qquad (2.1)$$

bezeichnet.

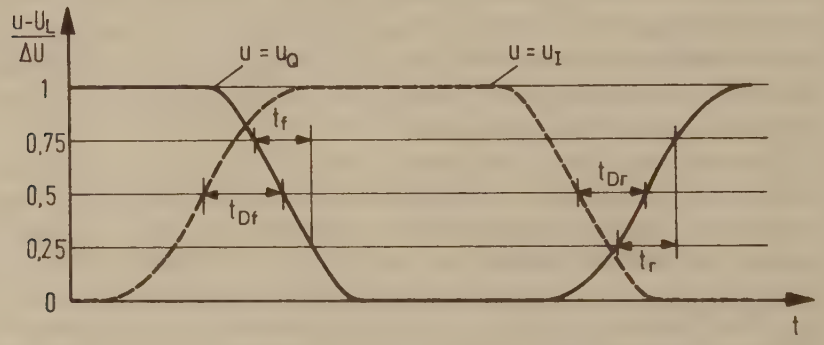


Bild 2.1: Definition der Größen t_r, t_f, t_{Dr}, t_{Df} bezogen auf den Spannungshub ΔU eines Gatters. U_L ist der L-Pegel, u_I die Eingangs-, u_Q die Ausgangsspannung des Gatters.

Die Messung von t_f und t_r zwischen 25% und 75% des Hubes ΔU (der Ausgangsspannung) ist insofern sinnvoll, als sich bei einigen Schaltungen bereits knapp über oder unter diesen Bezugspunkten ein schleppender Übergang auf den H-bzw. L-Pegel ergibt. Würde man, wie meist üblich, zwischen 10% und 90% des Hubes ΔU messen, so würde sich in einem solchen Fall ein Wert ergeben, der ohne praktische Bedeutung ist, denn i.a. ist das Erreichen des H- bzw. L-Pegels in solchen Fällen nicht notwendig zur Ansteuerung des nachfolgen-

den Gatters.

Zur Bestimmung der Gatterlaufzeit t_D aus (2.1) in einer unendlich langen Kette gleichartiger Gatter ist es gleichgültig, bei welcher Spannung t_{Df} und t_{Dr} gemessen werden. Bei nichtinvertierenden Gattern ist dies sofort ersichtlich, denn die Signale sind in der unendlich langen Kette exakt zeitlich verschoben (s. Bild 6.17). Damit sind bereits die Werte für t_{Df} und t_{Dr} selbst unabhängig von der Spannung, bei der sie gemessen werden.

Die gleiche Überlegung kann man bei invertierenden Gattern anstellen, wenn man zwei aufeinanderfolgende Gatter betrachtet. Hier ist das Ausgangssignal des Gatterpaares exakt um $2t_D$ gegenüber dem Eingangssignal verschoben. Unabhängig davon, bei welcher Spannung t_{Df} und t_{Dr} gemessen werden, setzt sich diese zeitliche Verschiebung immer aus dem Wert t_{Df} (z.B. des ersten Gatters) und dem Wert t_{Dr} (z.B. des zweiten Gatters) zusammen. Da die Gatter als identisch angenommen werden, gilt so

$$2t_D = t_{Dr} + t_{Df} = \text{const} , \qquad (2.2)$$

d.h. auch der Wert nach (2.1) ist unabhängig von der Spannung, bei der t_{Df} und t_{Dr} gemessen werden.

Darüberhinaus hat die Messung bei 50% eine praktische Bedeutung. Erstens ist der Wert leicht aus Oszillogrammen ablesbar, zweitens ergibt sich in der Nähe von 50% des Hubes für die meisten Schaltungen auch die maximale Änderungsgeschwindigkeit der Ein- bzw. Ausgangsspannung. Damit wird die Messung sehr gut reproduzierbar.

Das häufig verwendete Verfahren, die Zeiten im Umschaltpunkt zu messen, ist im Grunde ebenso willkürlich, denn die Tatsache, daß bei dieser Spannung im statischen Fall die Ausgangsspannung gleich der Eingangsspannung ist, berechtigt nicht zu der Annahme, daß hier auch dynamisch der Schaltvorgang erfolgt. Hinzu kommt, daß einige der in dieser Arbeit untersuchten Schaltungen in der Umgebung des Umschaltpunktes starke Verzerrungen der Kurvenform aufweisen, die von der zur Messung verwendeten Anzahl von Gattern abhängen. Man würde in einem solchen Fall selbst am mittleren Gatter einer Kette aus fünf Gattern nur sehr ungenau den Wert erhalten, der für eine unendlich lange Kette gültig ist.

2.2 Spannungen und Ströme

Für Spannungen und Ströme werden folgende Schreibweisen verwendet: Zeitlich veränderliche Größen werden mit kleinen Buchstaben, zeitlich konstante Größen werden mit großen Buchstaben bezeichnet. Der Index bei Großsignalgrößen beginnt mit einem großen Buchstaben; bei Kleinsignalgrößen werden im Index nur die entsprechenden kleinen Buchstaben verwendet. Demnach werden in Schaltbildern meist Kleinbuchstaben für die Größen verwendet, es sei denn, das Schaltbild dient nur zur Erläuterung eines Gleichspannungszusammenhangs. Bei der Beschreibung von Übertragungskennlinien werden dagegen Großbuchstaben verwendet, da es sich hier strenggenommen um Gleichspannungszusammenhänge handelt.

2.3 Bezeichnungen und Symbole

In der folgenden Liste sind einige Bezeichnungen und Symbole zusammengestellt, die häufig vorkommen und deshalb nicht immer von neuem definiert werden. Dabei sind Spannungen und Ströme als zeitlich veränderliche Großsignalgrößen angegeben, falls es sich nicht um grundsätzlich konstante Größen handelt.

A_E Emitterfläche

B_N Großsignalstromverstärkung in Emitterschaltung

b_R Breite einer Widerstandsschicht

C, C', $\overline{C}$ Kapazität, flächenspezifische-, Mittelwert

C_{CB}, C_{CBa}, C_{CBi}, C_{CS}, C_{EB} Sperrschichtkapazitäten eines Transistors bzw. Teile davon (Bild 4.13, 4.14).

C_{SD} Sperrschichtkapazität einer Schottky-Diode

I Eingang

i Strom

i_N innerer Kollektorstrom bei Normalbetrieb

l_R Länge einer Widerstandsschicht zwischen den Kontaktkanten (Bild 4.10)

N_C Dotierungskonzentration der Epitaxieschicht

n_I fan in

n_Q fan out

P_0 Verlustleistung pro Gatter

Q Ausgang

$\overline{Q}$ invertierender Ausgang, falls ein zweiter nichtinvertierender Ausgang Q vorhanden ist.

r_B, r_{Ba}, r_{Bi}	Basisbahnwiderstand bzw. Teile davon (Bild 4.13, 4.14)
$\overline{r}_B$	Mittelwert von r_B über Ein- und Ausschaltvorgang
r_C, r_{Ca}, r_{Ci}	Kollektorbahnwiderstand bzw. Teile davon (Bild 4.13,4.14)
r_{SD}	Bahnwiderstand einer Schottky-Diode
SD	Schottky-Diode
T	Transistor
T	absolute Temperatur
t	Zeit
t_D	Gatterlaufzeit
t_{Df}, t_{Dr}	Verzögerungszeit für fallende, steigende Ausgangsspannung
t_f, t_r	Abfall-, Anstiegszeit
u	Spannung
U_0	Versorgungsspannung
U_{BEF}	BE-Flußspannung
U_H, U_L	H-Pegel, L-Pegel
u_I, u_Q	Eingangs-, Ausgangsspannung
U_{SDF}	Flußspannung einer Schottky-Diode
U_T	Temperaturspannung
U*	Umschaltpunkt (U_I=U_Q)
V_u^*	Kleinsignalspannungsverstärkung im Umschaltpunkt
w_C	effektive Epitaxieschichtdicke
x_E	Emitterstreifenbreite
y_E	Emitterstreifenlänge
ΔU	Spannungshub
ϱ_C	spezifischer Widerstand der Epitaxieschicht
τ_N	Transitzeit eines Transistors

3 Auswahl der Schaltungskonzepte

Will man realistische Möglichkeiten der Silizium-Planartechnik, schnelle hochintegrierte Digitalbausteine herzustellen, ausloten, so darf man sich weder auf physikalische Grenzen noch auf einzelne Bauelemente beschränken. Vielmehr muß man eine Reihe verschiedener Schaltungskonzepte als Beispiele heranziehen, damit die erheblichen Einschränkungen, die sich durch schaltungstechnische Möglichkeiten ergeben, ausreichend berücksichtigt werden.

Heute gibt es eine Vielfalt von Schaltungskonzepten für Digitalschaltungen; eine Übersicht wird in [4] gegeben. Aufgabe dieses Kapitels ist es nun, daraus eine Reihe typischer Vertreter auszuwählen, die diese Vielfalt ausreichend gut repräsentieren.

3.1 Übersicht

Zunächst sollen die für diese Arbeit ausgewählten Schaltungskonzepte anhand der in Bild 3.1 gezeigten Grundgatter vorgestellt werden.

Die ECL (emitter coupled logic), Bild 3.1a, ist eine vereinfachte Variante des in handelsüblichen ECL-Familien verwendeten Schaltungskonzepts [5],[4]. Auf Emitterfolger an Ein- oder Ausgang wurde verzichtet, einerseits um die Anzahl der Bauelemente pro Gatter klein zu halten, andererseits um mit geringer Verlustleistung auszukommen. Zwar zeigte eine Voruntersuchung [6], daß z.B. mit Emitterfolgern am Eingang (E^2CL) wesentlich kürzere Gatterlaufzeiten erreicht werden können, aber nur unter Verletzung der Forderung nach geringer Verlustleistung; bei kleinen Leistungen ergaben sich dagegen erhebliche Schaltzeitnachteile durch die Emitterfolger.

Das ECL-Gatter wurde für einen Hub von 400mV dimensioniert; er ist damit kleiner als bei handelsüblichen ECL-Gattern [5,7], aber in hochintegrierten Schaltungen üblich [8].

Wesentlichstes Merkmal der ECL ist die Tatsache, daß in beiden Schaltzuständen der gleiche Strom durch das Gatter fließt. Da auch die Stromquelle (T_4 in Bild 3.1a), mit der dieser Strom eingeprägt wird, geschaltet werden kann, ergibt sich die Möglichkeit der seriellen Verknüpfung (series gating) [4]. Ihre Anwendung kann in komplexeren Systemen zur Verringerung der mittleren Verzögerungszeit und zur Einsparung von Bauelementen führen, was

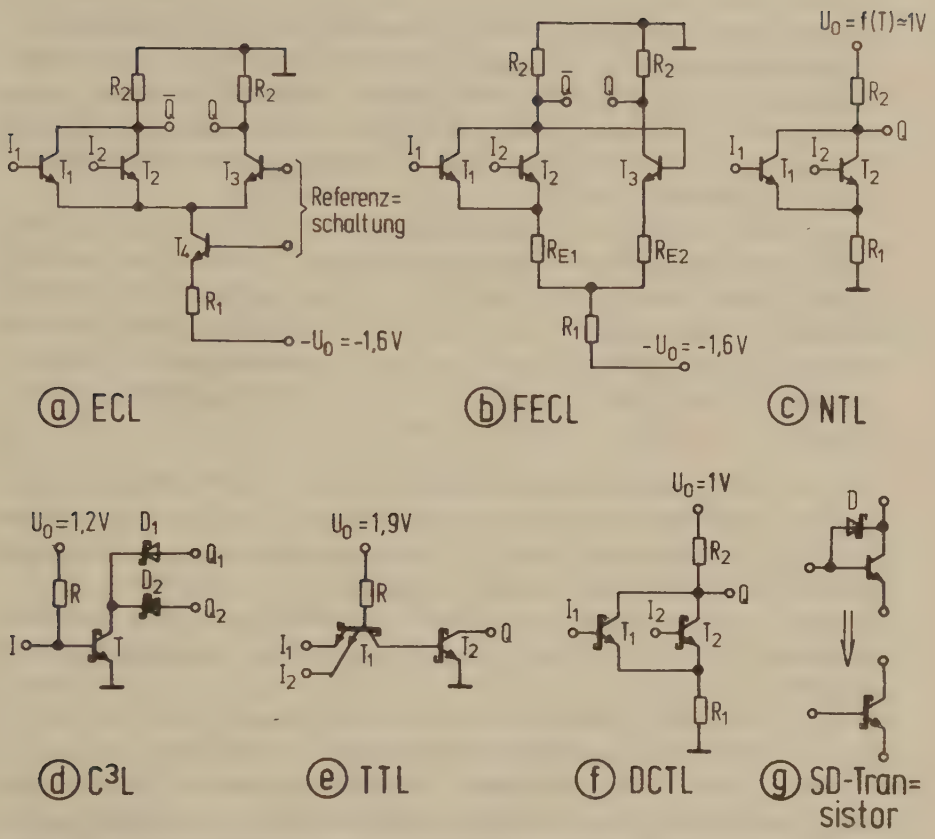


Bild 3.1: Grundgatter der ausgewählten Schaltungskonzepte. (a) ECL-OR/NOR-Gatter, die Referenzschaltung wurde nicht dargestellt, da sie nur einen untergeordneten Einfluß auf die Gattereigenschaften hat; (b) FECL-OR/NOR-Gatter, (c) NTL-NOR-Gatter, (d) C^3L-Inverter mit zwei Ausgängen, (e) TTL-NAND-Gatter, (f) DCTL-NOR-Gatter, (g) Erläuterung des in (d)....(f) verwendeten Symbols für einen Schottky-Transistor.

beim Vergleich der ECL mit anderen Schaltungen zu berücksichtigen ist. Allerdings wird der Schaltungs- und Strukturentwurf erschwert, da nun mehrere Signalebenen und entsprechend auch mehrere Referenzspannungen sowie die Bauelemente für den Übergang von einer Signalebene auf die andere benötigt werden. Aus diesem Grunde bleibt die serielle Verknüpfung in dieser Arbeit weitgehend unberücksichtigt.

Die FECL (feedback ECL), Bild 3.1b, wurde in [9,10] zunächst ohne die Widerstände R_{E1}, R_{E2} vorgeschlagen. Hier ergibt sich durch Rückkopplung vom invertierenden Ausgang $\overline{Q}$ auf die Basis von T_3 im

Vergleich zur ECL eine Erhöhung der Spannungsverstärkung. Dies ermöglicht den kleineren Hub von 200mV, was weiter die Verwendung eines Widerstandes R_1 anstelle der Stromquelle (T_4 in Bild 3.1a) gestattet, ohne daß die Betriebsspannung erhöht werden muß; allerdings ergibt sich damit eine geringfügige Unsymmetrie der Übertragungskennlinie. Eine Referenzspannungsschaltung ist in der FECL nicht mehr erforderlich[1].

Die Rückkopplung führt bereits bei einem Hub von 200mV zu einer merklichen Hysterese [3] und somit zur Verringerung der Störsicherheit während des Schaltvorganges. Durch geeignete Dimensionierung der Widerstände R_{E1} und R_{E2} kann diese Hysterese unterdrückt werden und darüber hinaus die durch die Verwendung von R_1 als Stromquelle hervorgerufene Unsymmetrie der Übertragungskennlinie kompensiert werden [11] .

Die NTL (non threshold logic), Bild 3c [12,13], wurde für einen Hub von 400mV dimensioniert. Bei dieser Schaltung ist es besonders schwierig, gleichzeitig die Forderungen nach ausreichender Störsicherheit und Vermeidung von Sättigung bzw. Hochstromeffekten zu erfüllen [14] . Deshalb wurde hier - im Gegensatz zu allen anderen Schaltungen - eine geeignet temperaturabhängige Versorgungsspannung gewählt.

Eine merkliche Schaltzeitverbesserung läßt sich bei der NTL durch Parallelschaltung einer kleinen Kapazität zu R_1 erreichen.

Ähnlich wie bei der ECL wurde auch bei der NTL auf die Möglichkeit verzichtet, die Schaltung durch Emitterfolger zu ergänzen. Die entsprechende Schaltung mit ausgangsseitigem Emitterfolger ist als MUR (module ultra rapide) bekannt [15] ; sie wurde in [16,3] untersucht und ein Vergleich mit [14] und dieser Arbeit zeigt qualitativ die bereits bei der ECL genannten Ergebnisse.

Die C^3L (complementary constant current logic), Bild 3.1d, erhielt ihren Namen, weil sie ursprünglich mit einem pnp-Transistor zur Stromeinprägung vorgeschlagen wurde [17] . Da den Untersuchungen in dieser Arbeit eine Technologie zugrunde liegt, die keinen geeigneten pnp-Transistor bietet, wurde dieser durch den Widerstand R ersetzt.

---

1) Die mit der FECL verwandte symmetrische ECL [92] benötigt ebenfalls keine Referenzquelle, gestattet kleine Hübe und ist sehr schnell. Allerdings muß der Stromschalter hier mit gegenphasigen Signalen angesteuert werden; dies führt i.a. (aufgrund der zusätzlichen Leiterbahnen und der komplexeren Grundgatter) zu einem sehr hohen Platzbedarf. Diese Schaltungstechnik ist daher nur in speziellen Fällen vorteilhaft verwendbar; z.B. lassen sich damit besonders schnelle und dennoch sehr einfache Frequenzteiler aufbauen [92].

In 18 wird ein vergleichbares Schaltungskonzept unter der Bezeichnung STL (Schottky transistor logic) beschrieben. Im Grunde handelt es sich jedoch in beiden Fällen um eine DTL (diode transistor logic), bei der lediglich die Eingangsdioden jeweils dem treibenden Ausgang (Kollektor von T) zugeordnet sind. Diese Zuordnung deutet an, daß die Dioden D_1, D_2 platzsparend zusammen mit T funktionell integriert werden können (Abschn. 4.2.2).

Relativ aufwendig ist der Metallisierungsprozeß für die C^3L, denn für die Clamp-Diode des Schottky-Transistors (D, Bild 3.1g) und die Entkopplungsdioden D_1, D_2 werden unterschiedliche Kontaktmetalle benötigt, da der Hub durch die Differenz der Dioden-Durchlaßspannungen bestimmt wird. Mit Aluminium für D und Titan für D_1, D_2 ergibt sich ein ausreichender Hub von ca. 200mV.

Die TTL (transistor transistor logic), Bild 3.1e, wird in dieser einfachen Form in [19] beschrieben. Besonders kritisch ist bei dieser Schaltung die Wahl des Kontaktmetalls für die Schottky-Dioden (Abschn. 6.6). Für die Untersuchungen in dieser Arbeit wurde Aluminium zugrundegelegt; damit ergibt sich an der Basis von T_2 ein Hub von knapp 200mV. Der Hub am Ausgang ist größer, aber nur ungenau festgelegt, da der H-Pegel durch in Reihe geschaltete gesperrte Transistoren (T_2 und T_1 des belastenden Gatters) eingestellt wird.

Der offene Kollektor am Ausgang ermöglicht ohne zusätzliche Maßnahmen die Verknüpfung mehrerer Gatterausgänge zum WIRED **AND** [4]. Diese Möglichkeit führt bereits bei Schaltungen mittlerer Komplexität zu erheblichen Einsparungen von Gattern (Abschn. 7.3) und damit u.a. zur Verringerung der mittleren Verzögerung.

Die DCTL (direct coupled transistor logic), Bild 3.1f, wurde im Anschluß an einen vorläufigen Vergleich der übrigen Schaltungen untersucht. Die geringe Verzögerungszeit, die mit der NTL durch Parallelschaltung einer Kapazität zu R_1 erreicht wurde, legte die Vermutung nahe, daß ähnlich gute Ergebnisse durch einen sehr kleinen Widerstand R_1 erreicht werden können. Allerdings wird dadurch ein anderes Verfahren zur Vermeidung von Sättigung bzw. Hochstromeffekten erforderlich, z.B. die Verwendung von Clamp-Dioden (Abschn. 3.3). Mit der DCTL, bei der nur ein unbedeutend kleiner Wert für R_1 erforderlich ist und deren Hub durch Verwendung von Titan für die Schottky-Dioden auf ca. 300mV festgelegt wurde, konnte die Vermutung teilweise bestätigt werden.

Zusammenfassend läßt sich die Zusammenstellung der ausgewählten Schaltungskonzepte folgendermaßen charakterisieren:

1) Die beiden gebräuchlichsten Schaltungstypen, ECL und TTL sind vertreten.
2) Varianten der weniger gebräuchlichen Typen DTL (C^3L) und DCTL sind berücksichtigt, wobei die für die DCTL typische Parallelschaltung von Transistoren auch in den Schaltungen nach Bild 3.1a...c enthalten ist.
3) Ferner erfüllen alle Schaltungen die in Abschn. 3.2 genannten Forderungen an schnelle Gatter für hochintegrierte Schaltungen.
4) Dabei sind systematisch fast alle in Abschn. 3.3 erläuterten Verfahren vertreten, mit denen die wichtigste Forderung, Vermeidung von Sättigung und Hochstromeffekten, erfüllt wird.
5) Schließlich werden auch die unterschiedlichen Techniken zur Verzweigung von Signalpfaden verwendet, auf die in Abschn. 3.4 noch eingegangen wird.

3.2 Forderungen an die Schaltungskonzepte

Die Forderungen, die an Konzepte für bipolare Subnanosekunden-Schaltungen zu stellen sind, wurden bereits in der Einleitung kurz angesprochen; sie sollen in diesem Abschnitt näher erläutert werden.

Eine erste grundsätzliche Forderung ist die Vermeidung von Sättigung- bzw. Hochstromeffekten bei den Transistoren. Sättigung nach der klassischen Transistortheorie und verschiedene Hochstromeffekte sind nach heutigem Kenntnisstand nicht klar voneinander abzugrenzen; nähere Aufschlüsse sollen derzeit laufende Forschungsarbeiten am hiesigen Institut für Elektronik geben [20].

Fest steht jedoch, daß die Minoritätenladung eines Transistors oberhalb eines kritischen Wertes I_{CK} des Kollektorstromes I_C drastisch zunimmt und daß I_{CK} mit sinkender CE-Spannung U_{CE} abnimmt. Diese Zunahme der Minoritätenladung soll in dieser Arbeit mit dem Begriff Sättigung umschrieben werden. Will man diese Sättigung und die damit verbundene Erhöhung der Schaltzeit vermeiden, so müssen Schaltungsmaßnahmen getroffen werden, die bei eingeschaltetem Transistor sowohl I_{CK} als auch U_{CE} in geeigneter Weise begrenzen (Abschn. 3.3).

Der funktionale Zusammenhang zwischen I_{CK} und U_{CE}, der in dieser Arbeit verwendet wird (Abschn. 4.3.1), beruht auf Messungen; seine Gültigkeit ist daher entsprechend eingeschränkt.

Weitere Forderungen an die Schaltungskonzepte ergeben sich durch

die Anwendung in Systemen. Will man die Systemverzögerung verringern, so muß man auch den Einfluß der Signalleitungen auf diese Verzögerung ausreichend klein halten. Daraus ergibt sich die zweite Forderung, nämlich die nach einer hohen Packungsdichte. Eine hohe Packungsdichte wird am besten durch hochintegrierte Schaltungen erreicht. Damit erhält man aber gleich die dritte und vierte Forderung: Einerseits sollten möglichst wenige Bauelemente pro Logikfunktion benötigt werden, damit viele Funktionen auf einem Chip integriert werden können; andererseits muß eine geringe Verlustleistung pro Logikfunktion angestrebt werden, um den Kühlungsaufwand in Grenzen zu halten.

Im Falle der digitalen Nachrichtenverarbeitung ist die Systemverzögerung meist von geringerer Bedeutung; hier ist man eher an Verarbeitung hoher Frequenzen interessiert, was im Prinzip auch mit Schaltungen kleinen oder mittleren Integrationsgrades möglich ist. Allerdings entsteht so, verglichen mit den zu ersetzenden analogen Verarbeitungsverfahren, ein erheblicher Mehraufwand, der Vorteile wie bessere Übertragungsqualität und Fortfall von Abgleicharbeiten kaum aufwiegt. Man strebt deshalb in diesem Fall hochintegrierte Schaltungen an, weil sich damit bei ausreichend hoher Stückzahl neben technischen auch wirtschaftliche Vorteile ergeben. Letztenendes ergeben sich also die gleichen Forderungen an die Schaltungskonzepte, wenn auch aus anderen Gründen.

Die angesprochenen Zusammenhänge sollen im folgenden veranschaulicht werden; gleichzeitig wird darauf hingewiesen, wie die genannten Forderungen durch die Schaltungen nach Bild 3.1 erfüllt werden.

Der Aufbau von schnellen Systemen aus diskreten Gattern führt zu Schwierigkeiten, die mit dem Umfang des Systems zunehmen. Einerseits müssen aus Gründen der Störsicherheit Schaltungen mit hohem Spannungshub verwendet werden, was die Umladung von Anschluß- und Leitungskapazitäten erschwert; andererseits ergeben sich u.U. lange Signalleitungen mit entsprechend langen Laufzeiten. Die Grössenordnung dieser Einflüsse soll mit einfachen Beispielen verdeutlicht werden.

Bild 3.2 zeigt einen einfachen Gatterausgang, der durch zwei Gattereingänge belastet wird. Als Betriebsspannung werde U_0=5V gewählt (wie in handelsüblichen TTL-Schaltungen). Für die Anschlußkapazitäten soll C_A = 1 pF, für den L-Pegel U_L=0V und für den Umschaltpunkt, bei dem die Lastgatter umschalten, U*=1,4V (TTL-Wert)

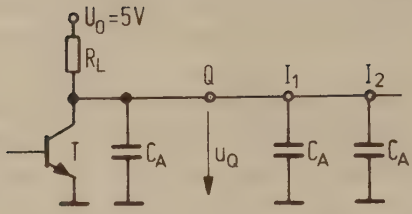


Bild 3.2: Schaltung zur Abschätzung des Einflusses der Anschlußkapazitäten auf die Gatterlaufzeit.

angenommen werden. Berücksichtigt man nur die Anschlußkapazitäten, so wird für das Ansteigen der Ausgangsspannung von U_L auf U* die Zeit t_r benötigt:

$$t_r = 3\, R_L C_A \ln \frac{U_0}{U_0 - U^*} \quad . \tag{3.1}$$

Setzt man als Grenze t_r= 1ns ein, so läßt sich daraus für ein Tastverhältnis von 0,5 die allein für die Ausgangsschaltung benötigte Verlustleistung berechnen[1]:

$$P_Q = \frac{U_0^2}{2R_L} = \frac{3}{2} \frac{U_0^2 C_A}{t_R} \ln \frac{U_0}{U_0 - U^*} = 12{,}3\text{mW} \tag{3.2}$$

Leitungslaufzeiten (t_L) dagegen lassen sich mit hoher Leistung nicht umgehen. Setzt man auch hier wieder die Grenze t_L=1ns ein, so darf die Leitung selbst unter günstigsten (praktisch nicht erreichbaren) Bedingungen l_L=30 cm nicht übersteigen; Leitungslängen dieser Größenordnung sind aber innerhalb eines komplexeren Systems aus Einzelgattern sicher keine Seltenheit. Demnach ist die Anwendung von Subnanosekundenschaltungen nur dann sinnvoll, wenn man entsprechend kurze Leitungen, d.h. eine hohe Packungsdichte erreichen kann.

Erhöht man nun die Packungsdichte dadurch, daß man möglichst viel Logikfunktionen auf einem Chip integriert, so kommt einem die Tatsac entgegen, daß der relativ hohe Leistungsanteil nach (3.2) für inter Verbindungen entfällt. Dennoch wären der Erhöhung der Packungsdichte

1) Zwar ist mit Gegentaktschaltungen ein kleinerer Wert möglich; sol che Schaltungskonzepte haben sich aber aufgrund des erforderlichen hohen Spannungshubes und des hohen Bauelementeaufwandes in schnell hochintegrierten Schaltungen bisher nicht durchgesetzt (s.u.).

enge Grenzen gesetzt, wenn man die für Einzelgatter üblichen (und vorteilhaften) Schaltungskonzepte beibehielte. Einerseits ist der Platzbedarf solcher Gatter auf dem Chip so hoch, daß man rasch die heute wirtschaftlich vertretbare maximale Chipgröße erreichen würde; andererseits haben diese Gatter einen erheblichen Leistungsverbrauch, so daß mit zunehmendem Integrationsgrad Kühlungsprobleme auftreten würden. Demnach müssen Schaltungskonzepte verwendet werden, die sowohl nur wenige Bauelemente als auch eine möglichst geringe Verlustleistung pro Logikfunktion benötigen.

Der geforderte geringe Bauelementeaufwand wird durch alle Schaltungskonzepte nach Bild 3.1 erfüllt: Für die Regeneration der Signale (Spannungsverstärkung) wird in allen Gattern nur ein Transistor und ein Widerstand verwendet, und auch die Verzweigung von Signalen (Abschn. 3.4) wird mit nur einem Bauelement (Transistor oder Diode) je Signalpfad erreicht. Auch für die notwendige Vermeidung der Sättigung (Abschn. 3.3) werden nur wenige Bauelemente benötigt (z.B. R_1, T_3, T_4 in Bild 3.1a, R_1 in Bild 3.1c oder eine Schottky-Diode je Transistor entsprechend Bild 3.1g).

Die Forderung nach geringer Verlustleistung wird durch die Schaltungskonzepte nach Bild 3.1 einerseits deshalb erfüllt, weil die in Einzelgattern üblichen Stufen zur Spannungsverstärkung oder zum Treiben hoher kapazitiver Lasten entfallen. Andererseits können bei der Dimensionierung Freiheitsgrade genutzt werden, die speziell für hochintegrierte Schaltungen gültig sind. Diese Freiheitsgrade sind [3]:

1) Die auftretenden Störprobleme und Toleranzforderungen sind weniger gravierend.
2) Es muß bei Hüben und Versorgungsspannungen nicht mehr auf Kompatibilität mit handelsüblichen Schaltkreisfamilien geachtet werden.
3) Interne Leitungen sind so kurz, daß sich der (verlustleistungsintensive) Abschluß von Leitungen mit ihrem Wellenwiderstand erübrigt.

Bei geschickter Nutzung dieser Vorteile kann die Verlustleistung verglichen mit der handelsüblicher Schaltkreisfamilien drastisch verringert werden, ohne daß die Gatterlaufzeit wesentlich darunter leidet. Diese Möglichkeit soll am Beispiel eines ungesattigten Transistorinverters diskutiert werden:

Für die mittlere Verzögerungszeit t_D des Inverters nach Bild 3.3 gilt unter einigen vereinfachenden Annahmen die Näherung [3]

$$t_D = \frac{R_G + \overline{r}_B}{R_L} \left(\tau_N + R_L C_{Sp}\right). \qquad (3.3)$$

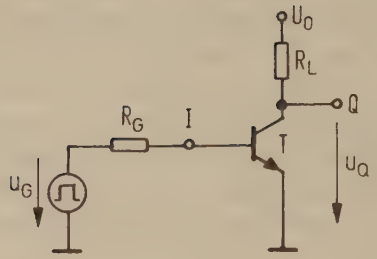


Bild 3.3: Einfache Inverterschaltung.

Darin ist der Transistor T repräsentiert durch einen geeigneten Mittelwert $\bar{r}_B$ des Basisbahnwiderstandes, die Transitzeit τ_N und den durch C_{Sp} gegebenen Einfluß der Sperrschichtkapazitäten.

Angesteuert wird der Inverter mit einer Rechteckspannung u_G, deren Hub ΔU ebenso groß ist, wie der von u_Q. Die Schaltungstechnik zur Einstellung des Hubes und zur Vermeidung der Sättigung bleibt zunächst unberücksichtigt. Dieser Inverter ist Grundbestandteil aller Schaltungen in Bild 3.1, wobei für die C^3L und die TTL der Lastwiderstand durch den Widerstand R eines bzw. mehrerer Lastgatter gebildet wird.

Überträgt man (3.3) auf eine Inverterkette, so gilt in grober Näherung

$$t_D \simeq \frac{k_R R_L + \bar{r}_B}{R_L} (\tau_N + R_L C_{Sp}), \qquad (3.4)$$

wobei k_R eine schaltungsspezifische Konstante ist. Die Verlustleistung des Inverters bei einem Tastverhältnis von 0,5 ist

$$P_0 = \frac{U_0 \Delta U}{k_I R_L} \quad . \qquad (3.5)$$

Darin ist k_I eine Konstante, die u.a. vom Verfahren zur Vermeidung der Sättigung abhängt. Ist der Versorgungsstrom des Gatters konstant (z.B. ECL, FECL) so ist $k_I=1$, schwankt er zwischen Null und einem Maximalwert (z.B. NTL), so ist $k_I=2$.

Legt man (3.4) und (3.5) zugrunde, so kann man also durch Verringerung von Versorgungsspannung U_0 und Hub ΔU die Verlustleistung verringern, ohne t_D zu verändern; gerade in dieser Hinsicht bieten die oben genannten Freiheitsgrade attraktive Möglichkeiten.

Vergleicht man z.B. den typischen Hub (ca. 400mV) und die Versorgungsspannung (1,9V) der TTL in Bild 3.1e mit den Werten (je ca. 5V) eines handelsüblichen TTL-Gatters mit offenem Kollektor am Ausgang und einen Lastwiderstand, so ergibt sich nach (3.5) eine Verringerung von P_0 um den Faktor 33. Da bei den übrigen Schaltungen in Bild 3.1 Hübe und Versorgungsspannungen z.T. noch kleiner sind, ist zu erwarten, daß die Forderung nach einer geringen Verlustleistung von allen Gattern erfüllt werden kann.

3.3 Schaltungstechniken zur Vermeidung von Sättigung und Hochstromeffekten

Im vorigen Abschnitt wurde als grundsätzliche Forderung an bipolare Subnanosekunden-Schaltungen die Vermeidung der Sättigung genannt, wobei unter dem Begriff Sättigung hier sowohl die Sättigung nach der klassischen Transistortheorie als auch verschiedene Hochstromeffekte zusammengefaßt werden sollen. Es müssen also für jeden Transistor einer Schaltung einerseits Maßnahmen getroffen werden, die den Kollektorstrom I_C auf einen Wert unterhalb des kritischen Stromes I_{CK} begrenzen, von dem an die Minoritätenladung im Transistor drastisch ansteigt. Da aber I_{CK} mit sinkender CE-Spannung U_{CE} abnimmt, muß andererseits gleichzeitig U_{CE} auf einen geeigneten Minimalwert begrenzt werden.

Die sinnvollsten Möglichkeiten für die geforderten Begrenzungen sollen am Beispiel des Transistorinverters besprochen werden. Der Transistorinverter sorgt im Gatter für einen Übertragungskennlinienbereich mit einer für die Regeneration von logischen Signalen ausreichend hohen Spannungsverstärkung; er bietet außerdem die den Systementwurf außerordentlich erleichternde Invertierung von logischen Signalen. Deshalb ist der Transistorinverter wesentlichster Bestandteil der meisten heute gebräuchlichen Digitalschaltungskonzepte. Die Ausführungen sollen sich zunächst auf einen Inverter aus einem Transistor T mit einem linearen Lastwiderstand R_L beschränken, nichtlineare Lastelemente werden am Schluß des Abschnittes angesprochen.

In der Schaltung nach Bild 3.4 läßt sich prinzipiell ein Arbeitspunkt außerhalb des Sättigungsbereiches allein durch Einprägen einer geeigneten Spannung U_{BE} oder eines geeigneten Stromes I_B einstellen. In der Praxis führen dabei Exemplarstreuungen und Temperaturschwankungen zu einer erheblichen Unsicherheit. Deshalb wird

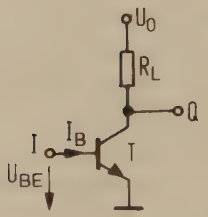


Bild 3.4: Transistorinverter mit ohmscher Last R_L.

grundsätzlich eine Gegenkopplung zur Begrenzung von I_C bzw. U_{CE} eingesetzt. Die beiden Möglichkeiten, Serien- und Parallelgegenkopplung zeigt Bild 3.5.

Im Falle der Seriengegenkopplung wird durch die vorgegebene Spannung U_I die Spannung U_S eingestellt. Damit ergibt sich ein Grenzwert für I_S und damit I_C, der bei geeigneter Dimensionierung überwiegend durch den Gegenkopplungszweipol Z_S bestimmt wird.

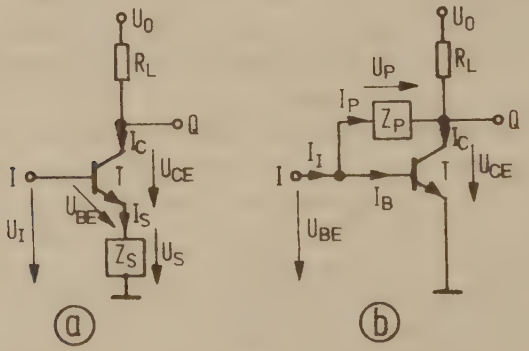


Bild 3.5: Transistorinverter (a) mit Serien-, (b) mit Parallelgegenkopplung.

Bei vorgegebenem U_0 läßt sich nun R_L so bemessen, daß gleichzeitig U_{CE} den zu I_C gehörigen unteren Grenzwert nicht unterschreitet. Im Falle der Parallelgegenkopplung wird durch den vorgegebenen Strom I_I ($\gg I_B$) die Spannung U_P eingestellt. Damit ergibt sich für U_{CE} der Grenzwert

$$U_{CE} = U_{BE} - U_P \quad . \tag{3.6}$$

Auch hier läßt sich der zweite Grenzwert (nun für I_C) durch R_L einstellen.

Grundsätzlich lassen sich auch beide Verfahren kombinieren. Da aber jeweils die Begrenzung des zweiten Parameters ausreichend genau durch Lastwiderstand und Betriebsspannung erfolgen kann, ist der zusätzliche Aufwand einer zweiten Gegenkopplung in der Regel unnötig. In gebräuchlichen Schaltungen wird deshalb darauf verzichtet und auch hier soll jeweils nur ein Gegenkopplungsverfahren verwendet werden, um den Umfang dieser Arbeit in vernünftigen Grenzen zu halten.

Beim Gegenkopplungszweipol besteht in beiden Fällen die Wahl zwischen nichtlinearer und linearer Gegenkopplung. Bei der nichtlinearen Gegenkopplung werden je nach Verfahren bestimmte Strom-Spannungs-Kennlinien bevorzugt.

Bei der Seriengegenkopplung (Bild 3.5a) werden Kennlinien angestrebt, die bei einer vorgegebenen Spannung U_S^* zunächst Spannungsquellencharakter, bei Erreichen des Stromes I_{SH} dagegen Stromquellencharakter aufweisen (Bild 3.6a).
Eine solche Kennlinie hat folgende Vorteile:

1) Bei der Spannung U_S^* wird der Transistor T eingeschaltet. Der differentielle Widerstand des Gegenkopplungszweipoles ist Null, sodaß das Umladen der Kapazitäten des Transistors T allein durch dessen Basisbahnwiderstand und den Generatorinnenwiderstand bestimmt wird und damit schnell erfolgen kann.

2) Der Strom durch T wird nach dem Einschalten unabhängig von Schwankungen der Transistorparameter (z.B. durch Exemplarstreuungen oder Temperaturschwankungen) auf I_{SH} begrenzt.

Bei der ECL (Bild 3.1a) wird die Idealkennlinie sehr gut durch das Netzwerk T_3, T_4, R_1 nachgebildet (Bild 3.6, Kurve b), wobei die Werte U_S^* und I_{SH} durch eine geeignete Referenzschaltung eingestellt werden. In der Umgebung des im Betrieb auftretenden Maximalwertes U_{SH} von U_S wird der Strom I_S auf einen nahezu konstanten Wert I_{SH} begrenzt.

Auch bei der FECL (Bild 3.1b) ergibt sich bei kleinen Schwankungen von U_{BE} und damit von U_{SH} noch eine recht zuverlässige Begrenzung auf I_{SH} (Bild 3.6c); dieser etwas ungünstigere Kennlinienverlauf entsteht durch den Verzicht auf eine Transistorstromquelle (T_4 in Bild 3.1a) und ist nicht kennzeichnend für die FECL.

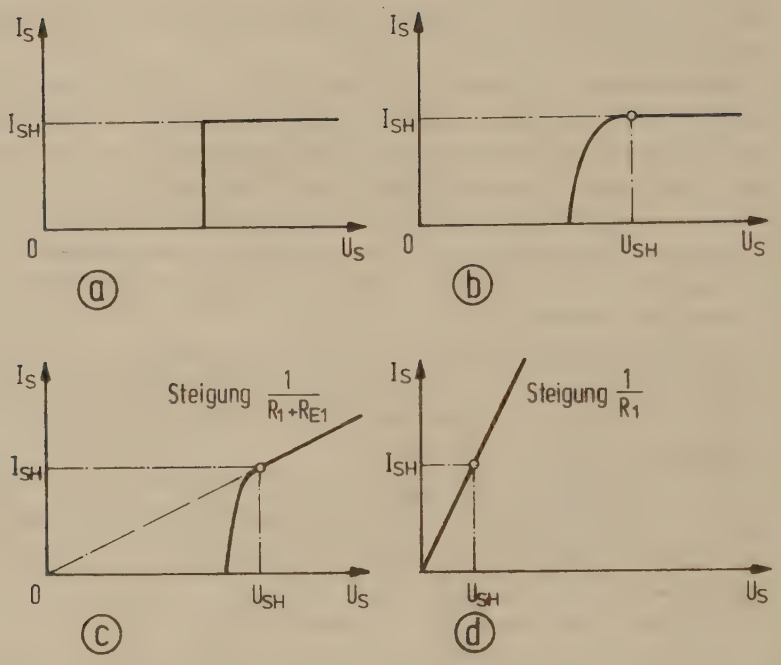


Bild 3.6: Qualitativer Verlauf der I_S-U_S-Kennlinie von Zweipolen Z_S für die Seriengegenkopplung, (a) Idealfall, (b) ECL nach Bild 3.1a, (c) FECL nach Bild 3.1b, (d) NTL nach Bild 3.1c. Die Bilder (b) bis (d) geben etwa die Spannungsverhältnisse für die Schaltungen nach Bild 3.1 wieder.

Sehr schlecht ist die Nachbildung der Idealkennlinie (Bild 3.6a) durch eine lineare Gegenkopplung (Bild 3.6d), wie sie in der NTL verwendet wird. Bereits kleine Schwankungen von U_{SH} führen zu erheblichen Änderungen von I_{SH}. Dies macht eine temperaturabhängige Versorgungsspannung für die NTL erforderlich, sodaß wenigstens temperaturbedingte Schwankungen von U_{SH} (infolge der Temperaturabhängigkeit von U_{BE}) kompensiert werden. Ferner wird durch den relativ hohen Wert des auch im Umschaltpunkt wirksamen Widerstandes R_1 die Schaltgeschwindigkeit verringert. Allerdings läßt sich dieser Nachteil leicht vermeiden, indem man eine kleine Kapazität parallel zu R_1 vorsieht (Abschn. 6.4).

Außerdem unterscheidet sich die NTL von ECL und FECL durch eine geringere Betriebsspannung und dadurch, daß der Versorgungsstrom des Gatters bei gesperrtem Transistor zu Null wird. Bei vorgegebe-

ner mittlerer Verlustleistung führt beides zu niedrigeren Widerstandswerten R_2 und damit im Prinzip zur Verbesserung des Schaltverhaltens. Es lohnt sich daher sicher, auch die lineare Seriengegenkopplung in die vergleichende Untersuchung der Schaltungskonzepte einzubeziehen.

Idealkennlinien für aktive Zweipole zur Parallelgegenkopplung zeigt Bild 3.7a. Analog zur Spannung U_S^* bei der Seriengegenkopplung gibt es hier einen Strom I_P^* (I_{P+}^* oder I_{P-}^*), bei dem der Zweipol Stromquellencharakter hat; bei Erreichen der Spannung U_{PH} ergibt sich dagegen ein Spannungsquellencharakter.

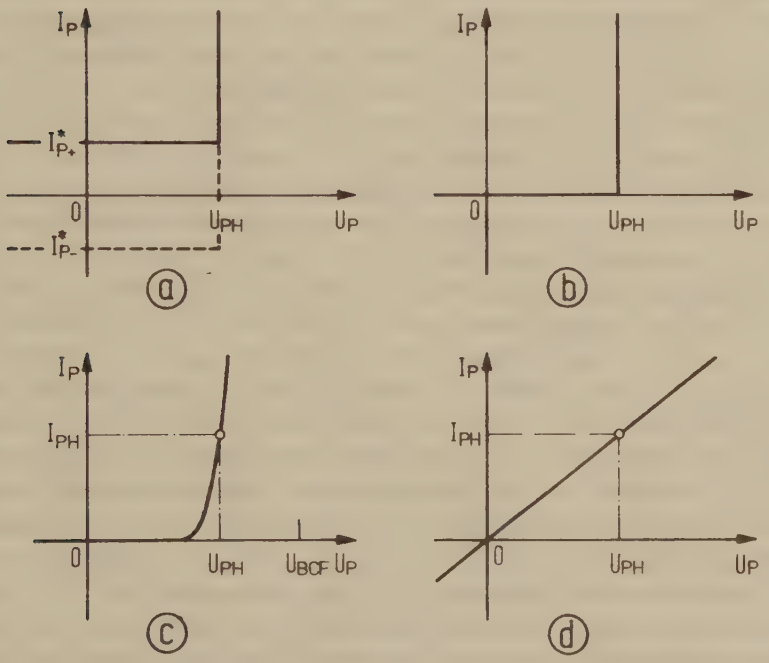


Bild 3.7: Qualitativer Verlauf der I_P-U_P-Kennlinie von Zweipolen Z_P für die Parallelgegenkopplung. Idealkennlinie (a) mit aktivem Zweipol, (b) mit passivem Zweipol; (c) Schottky-Diode als Zweipol, (d) Widerstand als Zweipol.

Ein solcher Kennlinienverlauf hat folgende Vorteile:

1) Während des Schaltvorganges des Transistors ist $U_P < U_{PH}$. Der differentielle Leitwert von Z_P ist dann Null, so daß der vom treibenden Generator abgegebene Strom vollständig zum Umladen der Kapazitäten des Transistors zur Verfügung steht.

2) Nach dem Einschalten wird die BC-Spannung (U_P) des Transistors unabhängig von Schwankungen des Stromes I_P auf U_{PH} begrenzt. Bei hinreichend geringen Schwankungen von U_{BE} wird damit gleichzeitig U_{CE} in der gewünschten Weise begrenzt.

Durch die Wahl von I_P^* wird das Schaltverhalten des Transistors folgendermaßen beeinflußt: Während der Schaltvorgänge steht für den Transistor der Strom $I_B = I_I - I_P^*$ zur Verfügung. Durch einen positiven Wert I_{P+}^* von I_P^* wird daher der Ausschaltvorgang verkürzt, der Einschaltvorgang aber verzögert. Umgekehrt ist es bei negativen Werten I_{P-}^* von I_P^*. Da in der Praxis meist nur der Mittelwert von Einschalt- und Ausschaltdauer von Bedeutung ist und da dieser nur wenig von I_P^* abhängt, verwendet man der Einfachheit halber passive Zweipole Z_P (mit $I_P^*=0$), deren Kennlinie möglichst der in Bild 3.7b entsprechen sollte.

Eine gute Nachbildung dieser Idealkennlinie nach Bild 3.7b erhält man durch Verwendung einer Diode (Bild 3.7c). Schwankungen des im Betrieb auftretenden Maximalwertes I_{PH} von I_P haben nur geringen Einfluß auf den Grenzwert U_{PH}. Es muß allerdings Sorge getragen werden, daß U_{PH} hinreichend weit unter der Durchlaßspannung U_{BCF} der BC-Diode des Transistors liegt, bei der sicher der "klassische" Sättigungsbereich des Transistors beginnt. Es werden daher Schottky-Dioden mit entsprechend kleiner Durchlaßspannung verwendet.

Beispiele für Schaltungen mit der beschriebenen nichtlinearen Parallelgegenkopplung sind die Schaltungen nach Bild 3.1d bis f mit Schottky-Transistoren nach Bild 3.1g. Grundsätzlich sind alle diese Schaltungen auch mit einer linearen Parallelgegenkopplung denkbar, d.h. mit einer Kennlinie nach Bild 3.7d. Ähnlich wie bei der NTL wäre auch hier eine geeignete temperaturabhängige Versorgungsspannung notwendig, um die Schwankungen von U_{PH} in Grenzen zu halten. Hinzu kommt, daß während des Umschaltens ein erheblicher Anteil des Ausgangsstromes des ansteuernden Generators durch den Gegenkopplungszweipol fließt und damit nicht mehr zum Umladen

der Kapazitäten des Transistors zur Verfügung steht. Dieser Nachteil läßt sich nicht analog zur NTL vermeiden, da hier eine (nicht integrierbare) Induktivität nötig wäre. Auch eine Änderung von Versorgungsspannung und Stromverhältnissen zur Erzielung geringerer Widerstandswerte (s.o., Vergleich ECL, FECL-NTL) wird durch die lineare Gegenkopplung nicht ermöglicht. Aufgrund dieser Nachteile gegenüber denen ein Vorteil wie die problemlose Realisierbarkeit von Widerständen nicht ins Gewicht fällt, wurde die lineare Parallelgegenkopplung nur am Beispiel der TTL in geringem Umfang untersucht (Abschn. 6.6.5).

Zusammenfassend kann man an dieser Stelle bestätigen, daß in der Schaltungsauswahl nach Bild 3.1 alle gebräuchlichen Verfahren zur Vermeidung der Sättigung vertreten sind: nichtlineare und lineare Seriengegenkopplung sowie nichtlineare Parallelgegenkopplung (Schottky-Dioden-Technik). Die lineare Parallelgegenkopplung wurde aufgrund gravierender Nachteile ausgelassen.

Bisher waren die Ausführungen auf lineare Lastelemente des Inverters beschränkt (R_L in Bild 3.5, R_2 bzw. R in Bild 3.1). Auch bei der Untersuchung der verschiedenen Schaltungskonzepte (Kap. 6) wurden nichtlineare Lastelemente nicht berücksichtigt, da sie zu keinen wesentlichen Schaltzeitvorteilen beim Einzelgatter führen können. Allerdings ergeben sich u.U. Vorteile im Zusammenhang mit der Vermeidung der Sättigung, die deshalb am Schluß dieses Abschnittes diskutiert werden sollen.

Bei den Schaltungen mit Seriengegenkopplung wird U_{CE} dadurch begrenzt, daß der Grenzwert I_{SH} (Bild 3.6) zu einem begrenzten Spannungsabfall am Lastwiderstand des Inverters führt. Wird I_{SH} größer, was einer Änderung in die ungünstige Richtung gleichkommt, so steigt auch der Spannungsabfall am Lastwiderstand. Damit sinkt U_{CE} und ändert sich also ebenfalls in ungünstiger Weise. Um diesen Zusammenhang zu entschärfen, wäre ein Lastelement wünschenswert, das seinerseits zur Spannungsbegrenzung beiträgt. Diese Funktion kann z.B. eine Diode mit geeigneter Durchlaßspannung parallel zum Lastwiderstand des Inverters erfüllen. Bei der NTL (Bild 3.1c), bei der ein besonders kritischer Zusammenhang zwischen Strom- und Spannungsbegrenzung besteht (s.o.), wäre eine Schottky-Diode parallel zum Lastwiderstand eine Alternative zur temperaturabhängigen Versorgungsspannung.

Im Falle der ECL und der FECL (Bild 3.1 a,b) wird man um

einer entsprechenden Verbesserung willen allein kaum zusätzliche Dioden einsetzen, da hier die Vermeidung der Sättigung wesentlich problemloser ist. Allerdings ergibt sich hier durch zusätzliche Dioden die Möglichkeit, zwei Ausgänge durch WIRED AND miteinander zu verknüpfen (collector dotting, [21 , 4]). Verknüpft man entsprechend Bild 3.8 z.B. die nichtinvertierenden Ausgänge (Q) zweier ECL-Gatter, so ergibt sich eine OR-AND-Funktion:

$$Q = (I_1 + I_2) \cdot (I_1' + I_2'). \tag{3.7}$$

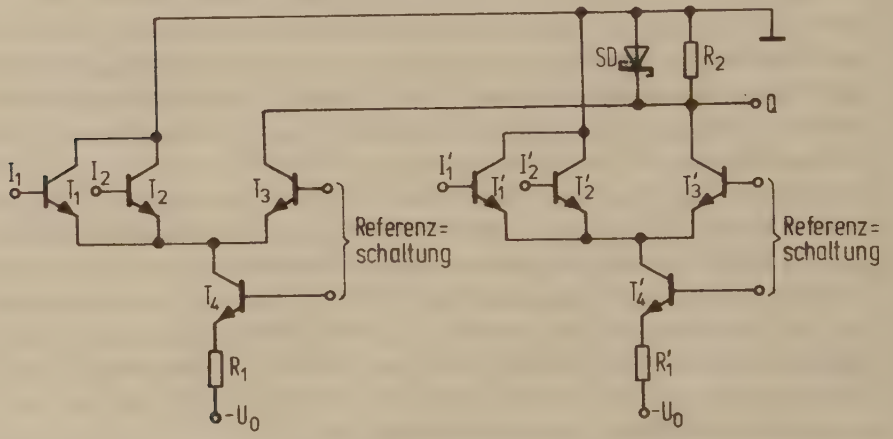


Bild 3.8: Verknüpfung zweier ECL-Gatter zur OR-AND-Funktion. Auf die Ausführung der invertierenden Ausgänge mit den zugehörigen Widerständen R_2 wurde verzichtet.

Diese Funktion wird in komplexen Digitalschaltungen sehr häufig benötigt, so daß erhebliche Einsparungen von Bauelementen und Verkürzungen der Systemverzögerung erwartet werden können.

In dieser Schaltung sorgt die Schottky-Diode SD auch dann für eine ausreichende Spannungsbegrenzung, wenn T_3 und T_3' leiten.

Eine weitere sinnvolle Möglichkeit bei der ECL ist die Verbindung eines invertierenden und eines nichtinvertierenden Ausganges. Die Verbindung von invertierenden Ausgängen ist sinnlos, da wieder nur eine NOR-Funktion entsteht.

Bei der FECL gibt es nur die Bild 3.8 entsprechende Verknüpfungsmöglichkeit; ein invertierender Ausgang darf aufgrund der

Rückkopplung nicht einbezogen werden.

Für Schaltungen mit Parallelgegenkopplung wäre ein Lastelement mit Stromquellencharakter wünschenswert, das den Strom begrenzt, und zwar unabhängig von der Spannungsbegrenzung. Im Prinzip spricht auch nichts dagegen R bzw. R_2 in den Schaltungen nach Bild 3.1d bis f durch einen pnp-Transistor zu ersetzen. Allerdings ermöglicht, wie im Abschn. 6.5 am Beispiel der C^3L gezeigt wird, die zugrundegelegte Technologie keinen geeigneten pnp-Transistor, und auch zusätzliche Verknüpfungsmöglichkeiten (wie bei ECL und FECL mit Schottky-Dioden) ergeben sich nicht. Eine pnp-Stromquelle als Alternative zum Widerstand muß also außer Betracht bleiben.

3.4 Verzweigung von Signalpfaden

Bisher wurde im wesentlichen nur der in allen ausgewählten Schaltungskonzepten vorhandene Transistorinverter betrachtet. Ein Gatter wird daraus erst, wenn man Elemente hinzufügt, die sowohl eine logische Verknüpfung als auch eine Verzweigung von Signalen gestatten.

Für die logische Funktion in einem komplexen Gatternetzwerk ist es dabei gleichgültig, ob diese zusätzlichen Elemente dem Ein- oder Ausgang des Inverters zugeordnet sind. Diese Behauptung läßt sich anhand von Bild 3.9 leicht beweisen: es zeigt einen Ausschnitt aus

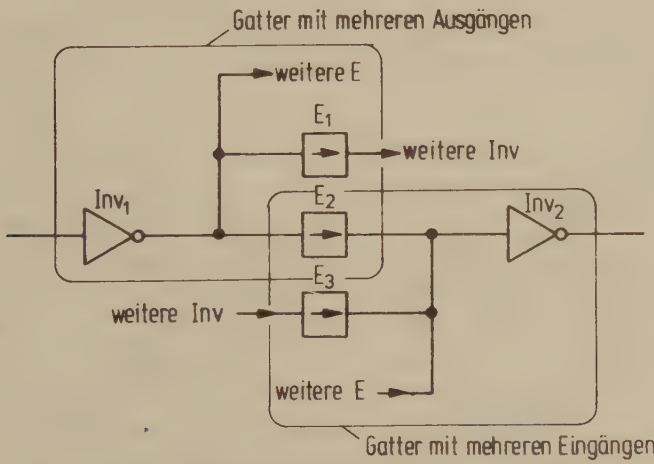


Bild 3.9: Aufteilung eines Gatternetzwerkes in Inverter- und Entkopplungsfunktionen. Oft sind diese Funktionen teilweise zusammengefaßt; z.B. sind die parallel geschalteten Transistoren in Bild 3.1a, b, c, f Entkopplungselemente und gleichzeitig Teil des Inverters.

einem Gatternetzwerk, das Inverter Inv und Entkopplungsbausteine E enthält. An die Entkopplungsbausteine wird folgende Forderung gestellt: Logische Information kann nur in Pfeilrichtung übertragen werden, d.h. es besteht die Möglichkeit, die Ausgänge mehrerer Entkopplungsbausteine zu verbinden und damit deren Eingangssignale zu verknüpfen, wobei die Art der Verknüpfung von der Art der Entkopplungsbausteine abhängt. Da das Ergebnis der Verknüpfung keinen (logischen) Einfluß auf die Eingänge der Entkopplungsbausteine hat, kann jedes Inverter-Ausgangssignal beliebig verzweigt werden.

Wie im Bild gezeigt wird, besteht das Netzwerk je nach Wahl der Schnittstelle (Eingang oder Ausgang des Inverters) aus Gattern mit mehreren Eingängen oder mehreren Ausgängen. Aufgrund dieser willkürlichen Wahlmöglichkeit genügt es, überwiegend die üblicheren eingangsseitigen Verknüpfungen zu diskutieren. Dabei wird sich zeigen, daß in der Schaltungsauswahl nach Bild 3.1 auch bezüglich der Verknüpfungsmöglichkeiten alle technisch sinnvollen Möglichkeiten vertreten sind.

Als Bauelemente für die Entkopplungsbausteine stehen Widerstände, Kondensatoren, Dioden (vorzugsweise Schottky-Dioden) und Transistoren zur Verfügung. Widerstandsnetzwerke sind für schnelle Schaltungen ungeeignet, da jeweils nur ein kleiner Teil des Stromes bzw. der Spannung am Eingang des Netzwerkes zur Ansteuerung des Inverters genutzt wird. Kondensatoren allein ermöglichen keine statische Signalübertragung. Es verbleiben also Dioden und Transistoren.

Bild 3.10 zeigt die zwei Möglichkeiten für ein Schottky-Dioden-Netzwerk zwischen zwei Invertern. Beide Möglichkeiten, NOR- und NAND-Gatter

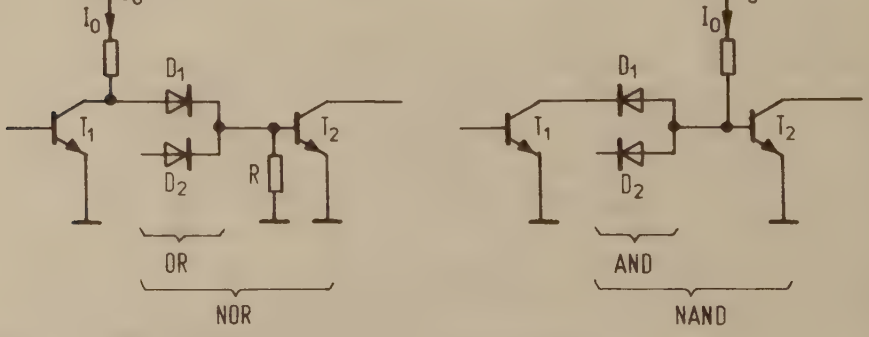


Bild 3.10: Entkopplung durch Schottky-Dioden.

sind für den Logikentwurf gleichwertig; ansonsten weist jedoch das NOR-Gatter eine Reihe von Nachteilen gegenüber dem NAND-Gatter auf:

1) Die Versorgungsspannung U_0 muß im Falle des NOR-Gatters größer sein als die Summe der Durchlaßspannungen eines BE-Übergangs (T_2) und einer Diode (D_1). Beim NAND-Gatter genügt ein Wert oberhalb der BE-Durchlaßspannung. Der anhand von (3.5) diskutierte Wunsch nach einer geringen Versorgungsspannung ist also mit dem NOR-Gatter schlechter erfüllbar.

2) Es wird zum schnellen Ausschalten des Transistors T_2 ein zusätzlicher Widerstand R benötigt.

3) Beim NOR-Gatter steht nur ein Teil des Versorgungsstromes I_0 zum Einschalten des Transistors zur Verfügung; der Rest fließt ungenutzt über R ab. Bei gleicher Versorgungsspannung und gleicher Verlustleistung pro Inverter (bzw. Gatter) ist also beim NOR-Gatter eine höhere Einschaltdauer zu erwarten.

4) Eine Verkürzung der Ausschaltdauer des NOR-Gatters durch Verringerung von R geht immer zu Lasten der Einschaltdauer. Dagegen wird im Falle des NAND-Gatters der Transistor T_2 durch eine niederohmige Quelle (D_1, eingeschalteter T_1) schnell ausgeschaltet.

Dies sind die Hauptgründe für eine fast ausschließliche Verwendung des NAND-Gatters. Und auch diese Arbeit soll sich deshalb bezüglich der Entkopplung durch Dioden auf dieses Konzept beschränken; es ist in Bild 3.1 durch die C^3L vertreten, wobei dort die Dioden aus Platzgründen jeweils dem Ausgang des treibenden Inverters zugeordnet sind.

Wesentlich vielfältiger sind die Möglichkeiten der Entkopplung durch Transistoren; allerdings müssen auch hier einige ausgeschlossen werden. Die einzig sinnvolle Möglichkeit der Entkopplung durch Serienschaltung zeigt Bild 3.11.

Dieses Konzept benötigt einen hohen H-Pegel, damit (auch bei mehreren Eingängen) der obere Transistor T_1 noch durchgeschaltet werden kann, und einen niedrigen L-Pegel, damit auch der untere Transistor T_2 noch gesperrt werden kann. Die Forderung nach einem geringen Hub kann also nicht erfüllt werden. Weitere Probleme ergeben sich, wenn der obere Eingang I_1 eines Gatters und der untere Eingang I_3 eines anderen Gatters gemeinsam angesteuert werden sollen, wie gestrichelt in Bild 3.11 dargestellt ist. Ohne zusätzliche Maßnahmen würde annähernd der gesamte zur Ansteuerung zur Verfügung

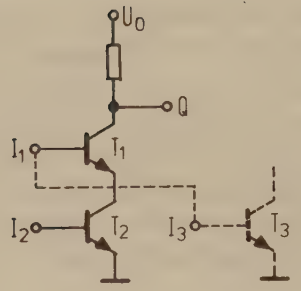


Bild 3.11: Logische Verknüpfung durch Serienschaltung von Transistoren.

stehende Strom in I_3 fließen. Abhilfe könnte man durch relativ große Basisvorwiderstände schaffen, die aber die Schaltzeiten nachteilig beeinflussen. Die Serienschaltung wird daher in dieser Form praktisch nicht eingesetzt[1].

Bild 3.12 zeigt die Möglichkeiten der Entkopplung durch Parallelschaltung von Transistoren. In praktischen Schaltungen werden auch tatsächlich alle drei verwendet. Die Parallelschaltung von BC-Strecken (Bild 3.12a bzw. d) wird in handelsüblichen TTL-Schaltungen verwendet. Sie ist durch die TTL-Schaltung nach Bild 3.1e vertreten. Die Parallelschaltung von CE-Strecken (Bild 3.12b) wird in einer Vielzahl bekannter Schaltungskonzepte verwendet. Entsprechend oft ist sie auch in Bild 3.1 vertreten.

Die Entkopplung von Ausgängen (Q_1, Q_2) durch Parallelschaltung von BE-Strecken (Bild 3.12c bzw. e) wird in I^2L-Schaltungen verwendet [22,23]. Da hier die Sättigung der Transistoren eine Voraussetzung für die Entkopplung ist, kommt dieses Konzept für Subnanosekundenschaltungen nicht infrage.

---

1) Die Verwendung der seriellen logischen Verknüpfung beschränkt sich auf die ECL (series gating [3, 4, 5, 7]). Hier wird die Signalverarbeitung in zwei (oder mehr) Spannungsebenen durchgeführt, und man umgeht die genannten Probleme dadurch, daß beim Übergang von einer Ebene (z.B. I_1 in Bild 3.11) auf die andere (z.B. I_3) eine Pegelverschiebung, etwa durch eine Diode oder einen Emitterfolger, vorgenommen wird.

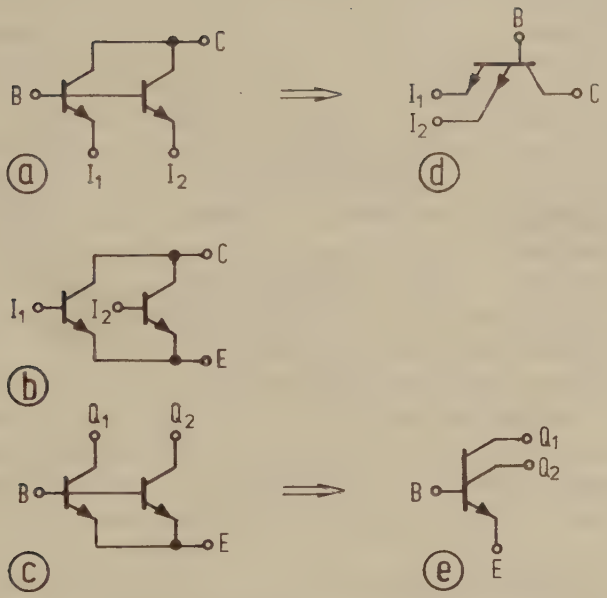


Bild 3.12: Entkopplung durch Parallelschaltung (a) der BC-Strecken, (b) der CE-Strecken, (c) der BE-Strecken. Im Fall a haben die Transistoren gemeinsame B- und C-Zonen (d), im Fall c gemeinsame B- und E-Zonen (e).

4 Voraussetzungen für den Schaltungsentwurf und die Optimierung

4.1 Vorbemerkung

Bild 4.1 zeigt in Form eines Flußdiagramms das in dieser Arbeit verwendete Vorgehen zur Minimierung der Gatterlaufzeit t_D.

Um den Aufwand für ein solches Verfahren in realistischen Grenzen zu halten, müssen vorweg die meisten Variablen festgelegt oder stark eingeschränkt werden. Eine Einschränkung der Variablen "Schaltungskonzept", die ohnehin nicht kontinuierlich veränderbar ist, wurde bereits in Kap. 3 vorgenommen. Ausgangspunkt für das Minimierungsverfahren ist also jeweils ein fest vorgegebenes Schaltungskonzept bzw. dessen Grundgatter.

Eine weitere Einschränkung ist die Festlegung von Versorgungsspannung U_0 und Hub ΔU; sie erfolgt individuell für jedes Schaltungskonzept, wobei jeweils ein geeigneter Kompromiß zwischen kleinen Werten für Laufzeit und Verlustleistung eines Gatters einerseits und ausreichender Störsicherheit andererseits zu finden ist (Kap. 6).

Für die verbleibende Optimierung der soweit dimensionierten Gatter bezüglich minimaler Gatterlaufzeit sind nun eine Reihe von Voraussetzungen und Hilfsmitteln nötig, die ebenfalls Einschränkungen beinhalten.

Zunächst wird eine Basistechnologie vorgegeben (Abschn. 4.2), die dem heutigen Stand der Technik entspricht und damit bereits Einschränkungen mit sich bringt. Um den Einfluß dieser Technologie auf das dynamische Verhalten des Gatters bestimmen zu können, müssen einerseits für schnelle Schaltungen geeignete Modelle der Bauelemente vorgegeben werden (Abschn. 4.3). Andererseits müssen geeignete Verfahren zur Berechnung der elektrischen Parameter dieser Modelle aus den technologischen Daten zusammengestellt werden (Abschn. 4.4).

Schließlich wird noch ein Optimierungsverfahren benötigt, das mit möglichst geringem Aufwand die minimale Gatterlaufzeit liefert (Abschn. 4.5). Zur Bestimmung der Gatterlaufzeit aus den elektrischen Bauelementeparametern im Rahmen der Optimierungsprozedur wird noch ein geeignetes Verfahren zur dynamischen Schaltungssimulation benötigt. Da die Verwendungsmöglichkeit des für diese Arbeit entwickelten Simulationsverfahrens weit über diese Arbeit hinausreicht, wird es gesondert in Kap. 5 beschrieben.

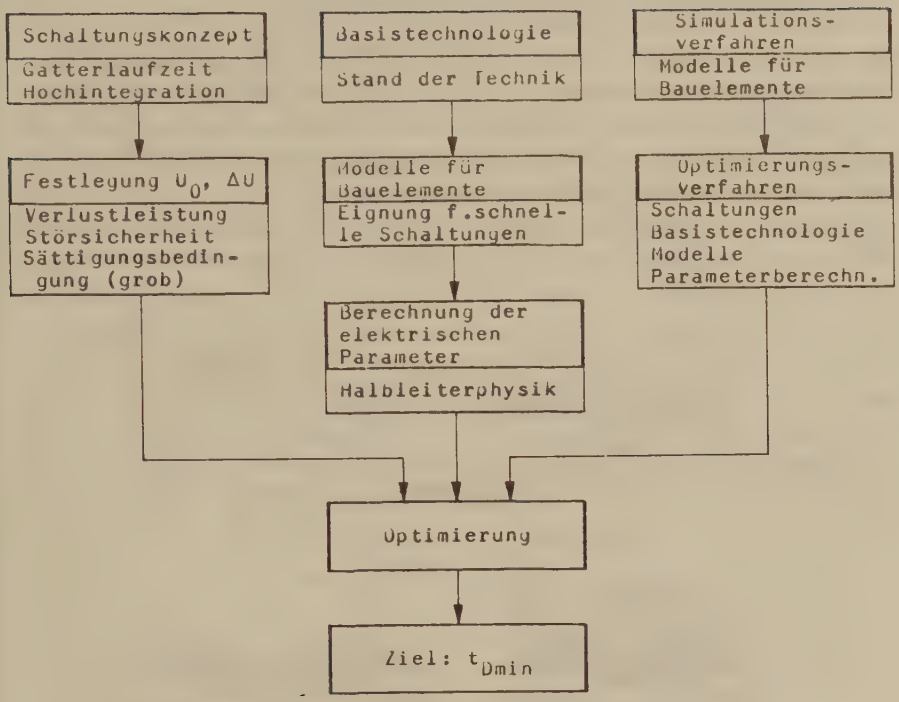


Bild 4.1: Vorgehen bei der Bestimmung der minimalen Gatterlaufzeit t_{Dmin}. Bei den einzelnen Schritten sind die wichtigsten Gesichtspunkte angegeben, die beim Anstreben einer minimalen Gatterlaufzeit zu beachten sind.

4.2 Basistechnologie

Die zum Teil willkürliche Auswahl der Basistechnologie mag auf den ersten Blick recht unbefriedigend erscheinen. Allerdings sollte man bedenken, daß die Entwicklung neuer technologischer Verfahren weit über den Rahmen dieser Arbeit hinausgehen würde.

Wesentlich sinnvoller ist es, eine moderne Technologie für schnelle Schaltungen herauszugreifen und bei der Anwendung dieser Technologie auf die ausgewählten Schaltungskonzepte Parameter zugrunde zu legen, die heute für schnelle Schaltungen typisch sind. Aus den Ergebnissen kann man dann Hinweise dafür ableiten, in welcher Richtung die Silizium-Planartechnik vorzugsweise weiterentwickelt werden sollte (Kap. 8).

4.2.1 Besondere Merkmale der Basistechnologie

Um dem Leser die Einordnung der für diese Arbeit ausgewählten Technologie zu erleichtern, soll die Beschreibung der besonderen Merkmale der Basistechnologie mit einem kurzen Überblick über die gebräuchlichsten integrierten Si-npn-Transistorstrukturen gekoppelt werden; eine breitere Übersicht gibt [4] .

Bild 4.2 zeigt qualitativ die beiden heute üblichen vertikalen Transistorstrukturen und die dazugehörigen Dotierungsprofile.

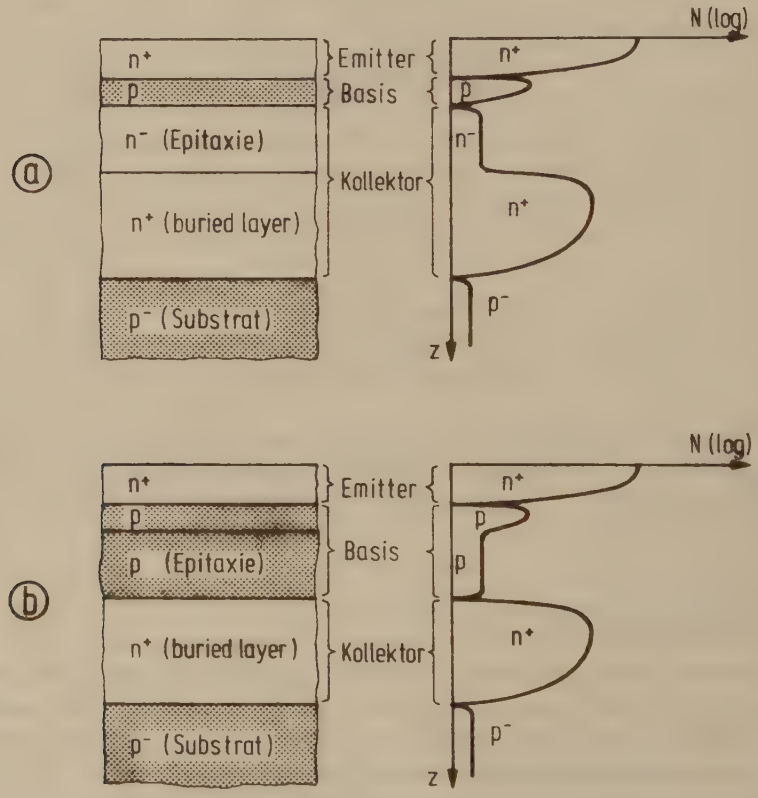


Bild 4.2: Gebräuchliche vertikale Transistorstrukturen und dazugehörige Dotierungsprofile. (a) Epitaktischer Kollektor, (b) epitaktische Basis.

Die Struktur mit epitaktischer Basis [24 - 26, 30] nach Bild 4.2b ist weniger gebräuchlich. Außerdem konnten einerseits der Literatur keine hinreichenden Angaben über das Sättigungs- (bzw. Hochstrom-) Verhalten dieser Struktur entnommen werden und andererseits standen am hiesigen Institut für Elektronik nicht die technologischen Verfahren zur Verfügung, die eigene Untersuchungen ermöglichen könnten. Es wurde daher die wesentlich häufiger verwendete Struktur nach Bild 4.2a für diese Arbeit zugrundegelegt.

Leichter fiel die Auswahl der horizontalen Strukturmerkmale. Von den beiden üblichen Emitterstrukturen nach Bild 4.3 wurde der Vollemitter gewählt, bei dem für n^+-Diffusion bzw.-Implantation und Al-Kontaktierung das gleiche Oxidfenster verwendet wird. Das ermöglicht schmälere Emitterstreifen und damit kleinere Basisbahnwiderstände bei gleicher Emitterfläche (bzw. kleinere minimale Emitterflächen und entsprechend kleinere BE-Sperrschichtkapazitäten).

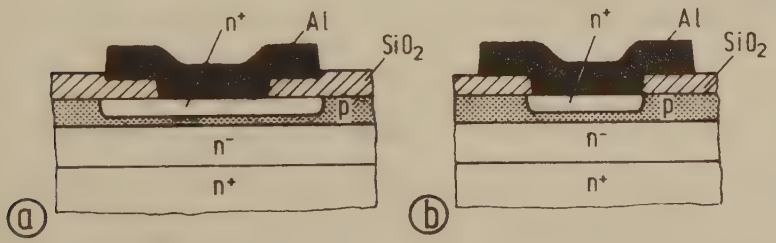


Bild 4.3: Emitterstrukturen. (a) Standardemitter, (b) Vollemitter (washed emitter).

Die gebräuchlichsten Isolationsverfahren sind in Bild 4.4 am Beispiel eines npn-Transistors mit einem Basiskontakt dargestellt[26]. Von diesen Verfahren erlaubt das nach Bild 4.4c die kleinsten Transistorstrukturen und damit bei geringer Verlustleistung die schnellsten Schaltungen. Auf die Probleme bei der technologischen Realisierung, die einerseits durch den Oxidwall, andererseits durch die seitliche Begrenzung auch der Emitterzone hervorgerufen werden, soll hier nicht eingegangen werden. Da diese Probleme heute lösbar sind [29 - 31], soll dieses im Sinne hoher Geschwin-

digkeit und geringen Platzbedarfs günstigste Isolationsverfahren zugrundegelegt werden.

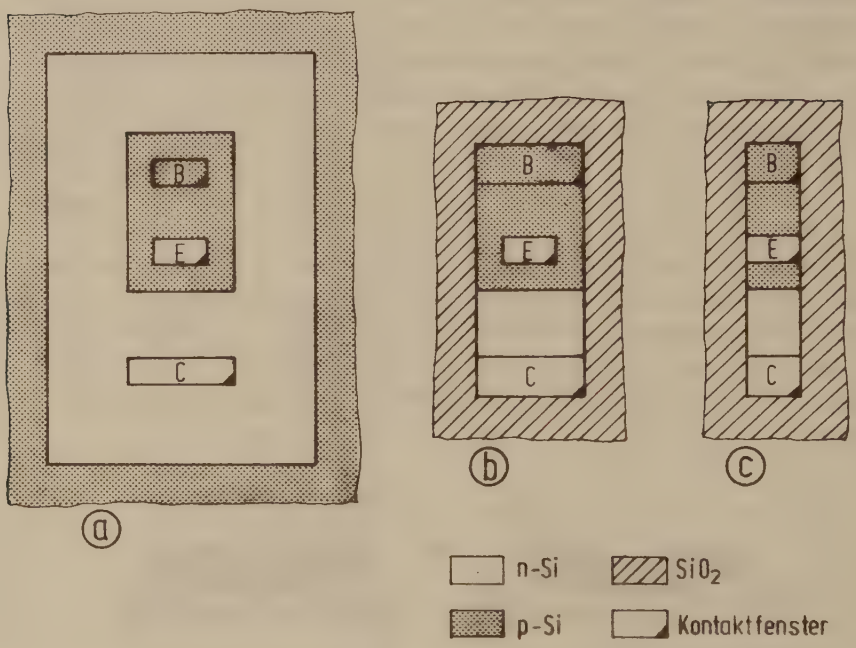


Bild 4.4: Isolationsverfahren, Draufsicht auf einen Transistor mit einem Basiskontakt. (a) p^+-Isolation, (b) Oxidwall-Isolation mit Begrenzung der Basiszone, (c) Oxidwall-Isolation mit Begrenzung der Emitterzone. Unterdiffusionen und die laterale Ausweitung des Oxidwalles an der Oberfläche (Oxidschnabel[27-29]) sind nicht dargestellt; letztere macht auch die größere Streifenbreite für B- und C-Kontakt in (b) und (c) erforderlich.

Weiter können zusätzlich noch eine tiefe n^+-Diffusion, die vom Kollektorkontakt bis zur vergrabenen n^+-Schicht (buried layer, Bild 4.2) reicht, und eine niederohmige p^+-Zone im Bereich der äußeren Basis (vom Basiskontakt bis nahe an die Emitterzone) verwendet werden. Beide Maßnahmen verringern Bahnwiderstände, ohne die Sperrschichtkapazitäten bzw. den Platzbedarf nennenswert zu verändern; sie sind deshalb zur Herstellung schneller Schaltungen üblich und werden auch in dieser Arbeit vorgegeben.

Schließlich noch eine Bemerkung zu den Widerstandsstrukturen:

Bei den weitaus meisten integrierten Bipolarschaltungen wird zur Herstellung der Widerstandsschicht die Basisdiffusion bzw. -implantation verwendet, die u.U. durch eine n^+-Schicht abgedeckt wird, die gleichzeitig mit den Emittern hergestellt wird [4] . In dieser Arbeit wurde eine gesonderte Implantation für die Widerstände zugrundegelegt, und zwar aus folgenden Gründen:

1) Der Schichtwiderstand kann in der Form an die Verlustleistung angepaßt werden, daß Widerstände, deren parasitäre Kapazitäten die Schaltzeit nachteilig beeinflussen, eine quadratische Widerstandsschicht erhalten. Sie weisen dann ein kleines Produkt aus Fläche und Toleranz auf.

2) Durch geeignete technologische Maßnahmen kann der Temperaturkoeffizient der Widerstände eingestellt werden [32] . Von dieser Möglichkeit wurde in dieser Arbeit insofern Gebrauch gemacht, als die Widerstände der Einfachheit halber als temperaturunabhängig betrachtet wurden

4.2.2 Strukturmaße und spezifische elektrische Parameter

Bild 4.5 zeigt schematisch einen Schnitt durch einen Transistor (mit einem Basiskontakt), der die Basistechnologie repräsentiert. Das Bild enthält zusammenfassend die in Abschn. 4.2.1 beschriebenen besonderen Merkmale und soll zur Verdeutlichung der folgenden Ausführungen dienen. Um Verwirrungen mit den Begriffen Länge, Breite und Tiefe zu vermeiden, werden in dieser Arbeit laterale Maße in Längsrichtung dieses Schnittes mit x, senkrecht zum Schnitt mit y und vertikale Maße mit z oder in Anlehnung an gebräuchliche Bezeichnungen mit w bezeichnet. (Es sei darauf hingewiesen, daß x häufig in anderen Arbeiten für vertikale Maße verwendet wird.)

Zunächst sollen die vorgegebenen vertikalen Maße des Transistors sowie die z.T. damit verbundenen spezifischen elektrischen Parameter besprochen werden. Sie sind in Tab. 4.1 zusammengestellt. Bei der Definition der Größen wird auf Bild 4.5 bezuggenommen.

Im folgenden sollen die Gründe für die Festlegung dieser Grössen näher erläutert werden.

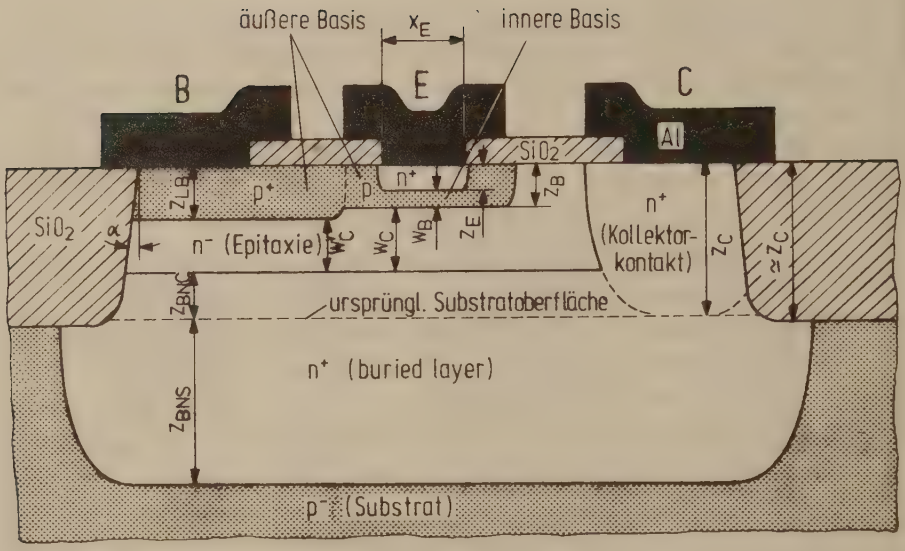


Bild 4.5: Schematische Darstellung des Schnittes durch einen Transistor mit einem Basiskontakt. Details wie die größere Eindringtiefe der p-Basis unter dem Emitter (emitter dip [4]), Oxidstufen und der über das Si ragende Oxidschnabel des Isolationswalls [27–29] werden hier und auch im folgenden nicht dargestellt.

Die mit den Prozeßschritten zur Herstellung von Basis, Leitbasis und Emitter verbundenen Größen mußten aus folgenden Gründen von der Optimierung ausgeschlossen werden:

1) Die Zusammenhänge zwischen den Prozeßdaten und den Dotierungsprofilen einerseits und zwischen Dotierungsprofilen und elektrischen Parametern andererseits sind nur unzureichend bekannt. Die Entwicklung von Verfahren zur Berechnung dieser Zusammenhänge ist eine noch recht junge Disziplin (Prozeßsimulation, process modeling [34]); und insbesondere bei sehr schnellen Transistoren versagen die derzeit bekannten Verfahren. Man ist daher weitgehend auf Messungen angewiesen, was vom Aufwand her eine Einbeziehung von Basis und Emitter in die Optimierung verbietet.

2) Die Prozeßschritte zur Herstellung von Basis, Leitbasis und Emitter können nur unter erheblichem Aufwand geändert werden. Optimierungsverfahren, das diese Prozeßschritte als Variable einschließt, wäre daher aus wirtschaftlichen Gründen ohne praktische Bedeutung.

Tab.4.1: Vorgegebene vertikale Maße und spezifische elektrische Parameter (bei 300K), die die Basistechnologie reprasentieren.

Größe	Symbol	Wert/Bereich
Eindringtiefen:		
n^+-Emitter	z_E	0,2µm
p -Basis (unter Emitter)	z_B	0,3µm
p^+-Leitbasis	z_{LB}	0,4µm
n^+-buried layer in p^--Substrat	z_{BNS}	2,5µm
effektive Epitaxiedicke	w_C	0,5µm
Tangens des Isolationsoxidkantenwinkels	$\tan\alpha$	0,3
Transitzeit	τ_N	25ps
flächenspezifische EB-Kapazität (Mittelwert f. Boden u. Rand bei x_E= 2µm und U_{BE}= 0)	C'_{EBO}	2,5fF/µm^2
Schichtwiderstände:		
innere Basis (unter n^+-Emitter)	r_{sBi}	8kΩ/□
p -Basis (äußere)	r_{sBa}	1kΩ/□
p^+-Leitbasis	r_{sLB}	150Ω/□
n^+-buried layer	r_{sBN}	20Ω/□
n^+-Kollektorkontakt	r_{sDN}	10Ω/□
spezifische Widerstände:		
Epitaxieschicht	ϱ_C	0,2...2Ωcm
Substrat	ϱ_S	20Ωcm

Aus diesen Gründen wurden für Basis und Emitter in dieser Arbeit strukturelle und elektrische Daten festgelegt, die für schnelle Digitalschaltungen typisch sind und die durch Messungen an Transistoren bestätigt werden konnten, die am hiesigen Institut für Elektronik hergestellt wurden [33] .

Die Prozeßdaten zur Herstellung des buried layer, der tiefen Kollektorkontakt-Diffusion und der seitlichen Oxidwall-Isolation wurden ebenfalls festgelegt, da sie für das dynamische Verhalten der Bauelemente von untergeordneter Bedeutung sind.

Bei der Festlegung der effektiven Epitaxiedicke w_C (unterhalb der Emitterzone zwischen Basis und buried layer) mußte ein Kompromiß geschlossen werden. Einerseits erlaubt ein geringerer Wert für w_C höhere Stromdichten und damit kleinere Transistoren bzw. Sperrschichtflächen, andererseits muß ausgeschlossen werden, daß

Basis und buried layer einander berühren, denn dies würde zu einer drastischen Erhöhung der flächenspezifischen BC-Kapazität führen. Es wurden daher ein Wert gewählt, der mit vertretbaren Mitteln heute gerade noch gut reproduzierbar ist. Dieser Wert ergibt nur bei einigen der untersuchten Schaltungen ein Durchgreifen der BC-Raumladungszone bis zum buried layer - und das auch nur nahe dem Maximalwert des spezifischen Widerstandes ϱ_C der Epitaxieschicht (s.u.). Außerdem erlaubt der gewählte Wert für w_C noch die Erstellung eines einfachen Modells für das Sättigungsverhalten der Transistoren [3,9], das der klassischen Transistortheorie entspricht und durch Messungen bestätigt werden konnte [20,16].

Der spezifische Widerstand ϱ_C der Epitaxieschicht kann einerseits sehr leicht variiert werden und hat andererseits einen erheblichen Einfluß auf die Dimensionierung und damit auf das dynamische Verhalten der Transistoren. Es lag daher nahe, ϱ_C bzw. die Epitaxie-Dotierungskonzentration N_C in dieser Arbeit als eine der Optimierungsvariablen zu verwenden.

Allerdings mußten für ϱ_C Grenzwerte vorgegeben werden. Ein oberer Grenzwert für ϱ_C ist deshalb sinnvoll, weil mit zunehmendem ϱ_C die Reproduzierbarkeit von ϱ_C selbst und über die Ausdiffusion des buried layer (s.u.) und der Basis in die Epitaxieschicht auch die Reproduzierbarkeit von w_C schlechter wird. Hinzu kommt, daß eine wesentliche Verringerung von C'_{CB} durch Erhöhung von ϱ_C aufgrund des Durchgreifens der Raumladungszone bis zum buried layer ohnehin nicht mehr möglich ist.

Als untere Grenze für ϱ_C wurde ein für schnelle Schaltungen typischer Wert ϱ_{Cmin} gewählt. Eventuelle technologische Probleme, die beim Unterschreiten von ϱ_{Cmin} auftreten könnten, konnten in dieser Arbeit nicht untersucht werden. Ein wesentliches elektrisches Problem ist die mit sinkendem ϱ_C zunehmende Erhöhung des Schichtwiderstandes der inneren Basis (unterhalb der Emitterzone).

Die folgende Abschätzung der für w_C= 0,5 µm notwendigen Ausgangsdicke der Epitaxieschicht zeigt, daß unter Berücksichtigung des für ϱ_C gewählten Bereiches die Reproduzierbarkeit von w_C kaum Probleme aufwerfen dürfte.

Die ursprüngliche Epitaxiedicke z_C und damit die notwendigen Werte für die Dicke des Isolationsoxides ($\simeq z_C$) ergeben sich durch eine schnell konvergierende iterative Rechnung aus den Werten der Tab. 4.1. Der letzte Durchlauf dieser Rechnung soll im folgenden zunächst für ϱ_C= 0,2Ωcm skizziert werden.

Die geringsten Beiträge zur Verringerung von z_C auf den effek-

tiven Wert w_C werden durch die Ausdiffusion des buried layer während des Aufwachsens der Epitaxieschicht [36] und die Abtragung von Si durch Oxidation hervorgerufen. Diese Beiträge sollen daher vernachlässigt werden.

Aus $\varrho_S = 20\Omega cm$ (bzw. einer Substratkonzentration $N_S = 6 \cdot 10^{14} cm^{-3}$), $z_{BNS} = 2{,}5\mu m$ und $r_{sBN} = 20\Omega/\square$ ergibt sich nach Irvin [35,4] für den buried layer an der ursprünglichen Substratoberfläche eine Konzentration $N_{OBN} = 5 \cdot 10^{19} cm^{-3}$. Diese kann als Randwert zur Abschätzung der Ausdiffusion des buried layer in die Epitaxieschicht nach einer erfc-Funktion herangezogen werden. $\varrho_C = 0{,}2\Omega cm$ entspricht einer Konzentration $N_C = 3{,}5 \cdot 10^{16} cm^{-3}$. Ausgehend von [4]

$$\frac{N_C}{N_{OBN}} \simeq \operatorname{erfc} \frac{z_{BNC}}{L_{DBNC}} \tag{4.1}$$

kann mit Hilfe von Tabellen [28,37] aus dem Konzentrationsverhältnis N_C/N_{OBN} und der für die Ausdiffusion maßgeblichen Diffusionslänge L_{DBNC} die Ausdiffusion bestimmt werden:

$$z_{BNC} \simeq 3{,}4 L_{DBNC} \quad (\varrho_C = 0{,}2\Omega cm) \; . \tag{4.2}$$

Ausgangspunkt für die letzte Iteration sei eine Epitaxiedicke

$$z_C = 1{,}3\mu m \; , \tag{4.3}$$

ein gleich dickes Isolationsoxid und eine entsprechend tiefe Kollektorkontaktzone. Das Isolationsoxid läßt sich durch feuchte Oxidation bei 900°C und einer Dauer $t_1 = 900min$ erzeugen [28,4]. Legt man einen As-dotierten buried layer zugrunde, so ist während t_1 die Diffusionskonstante $D_1 = 1{,}1 \cdot 10^{-16} cm^2/s$ und man erhält

$$L_{D1} = 2\sqrt{D_1 t_1} = 0{,}049\mu m \tag{4.4}$$

als Beitrag zur Diffusionslänge L_{DBNC}.

Für die Kollektorkontaktzone werde eine P-Dotierung mit Gauß-Verteilung zugrundegelegt, die bei $z_C = 1{,}3\mu m$ die Konzentration N_C hat. Mit r_{sDN} (Tab. 4.1) ergibt sich daraus nach Irvin eine Oberflächenkonzentration $N_{ODN} = 3{,}5 \cdot 10^{20} cm^{-3}$ und eine Diffusuionslänge

$$L_{DDN} = z_C / \sqrt{\ln(N_{ODN}/N_C)} \; . \tag{4.5}$$

Nach [28] ist in einem weiten Temperaturbereich die Diffusionskonstante für As etwa um den Faktor 10 kleiner als die für P und man erhält einen weiteren Beitrag zu L_{DBNC}:

$$L_{D2} = L_{DDN}/\sqrt{10} = 0{,}135\mu m \; . \tag{4.6}$$

Mit (4.4), (4.6) und

$$L_{DBNC} = \sqrt{L_{D1}^2 + L_{D2}^2} \tag{4.7}$$

ergibt sich aus (4.2)

$$z_{BNC} \simeq 0{,}49\mu m \ . \tag{4.8}$$

Addiert man dazu w_C und z_B, so erhält man $z_C \simeq 1{,}3$ µm; ein weiterer Rechengang ist also nicht erforderlich.

Führt man die gleiche Rechnung mit $\varrho_C = 2\,\Omega cm$ ($N_C = 2{,}5 \cdot 10^{15} cm^{-3}$) durch, so erhält man $z_{BNC} \simeq 0{,}57$ µm. Man erkennt daraus zweierlei:
1) Man muß bei Erhöhung von ϱ_C die ursprüngliche Epitaxiedicke geringfügig erhöhen, um w_C konstant zu halten;
2) eine effektive Epitaxiedicke von $w_C = 0{,}5$ µm ist noch recht genau definiert, denn ein Vergleich der Werte von z_{BNC} für $N_C = 3{,}5 \cdot 10^{16} cm^{-3}$ bzw. $2{,}5 \cdot 10^{15} cm^{-3}$ zeigt, daß der Konzentrationsanstieg von der Epitaxie zum buried layer gemessen an w_C relativ steil ist.

Die letzte Kenngröße des Dotierungsprofils ist der spezifische Widerstand ϱ_S des Substrats. Strebt man eine minimale Gatterlaufzeit an, so müßte ϱ_S möglichst groß werden. Allerdings ergeben sich mit steigendem ϱ_S einige Probleme: Der Abstand der Bauelemente voneinander muß nicht nur an die ca. mit $\sqrt{\varrho_S}$ zunehmende Weite der Raumladungszone im Substrat angepaßt werden, sondern auch an die stark zunehmende Ungenauigkeit. Es wurde daher ein Wert gewählt, der einerseits noch gut reproduzierbar ist, andererseits aber so groß ist, daß die Substratkapazitäten nur noch einen untergeordneten Einfluß auf die Gatterlaufzeit haben.

Die lateralen Abmessungen der Bauelemente basieren auf folgender, heute herstellungstechnisch realistischen Grundlage:

1) Grundmaße:
   Kastermaß für Maskenränder 0,5 µm,
   minimale Streifenbreite 2 µm (Oxidfenster, Leiterbahnabstand),
   minimale Breite von Oxidfenstern, die an das Isolationsoxid grenzen, 3 µm,
   minimale Streifenlänge 4 µm,
   Mindestabstand zwischen unterschiedlichen Metallen 1 µm (Ti,Al).

2) Justiertoleranzen:
zwischen aufeinander folgenden Maskierungsschritten 1 µm,
zwischen nicht aufeinander folgenden Maskierungsschritten 1,5 µm,
zwischen buried layer und Isolationsoxid 1,5 µm.

3) Justierfolge, orientiert an möglichen Bezugskanten und besonders kritischen Abständen:
Isolationsoxid auf buried layer,
Kollektorkontakt auf Isolationsoxid,
Leitbasis auf Kollektorkontakt,
Basis auf Kollektorkontakt,
Emitter auf Leitbasis,
Kontaktfenster (außer Emitter) auf Leitbasis,
Aluminium auf Emitter,
Titan (falls nötig) auf Kontaktfenster.

4) Unterdiffusionen (laterale Eindringtiefe):
buried layer 2 µm,
Kollektorkontakt 1 µm,
Leitbasis 0,5 µm,
Basis $\simeq 0$,
Emitter $\simeq 0$.
D.h. es wurden ca. 80% der vertikalen Eindringtiefe eingesetzt und auf ganze Vielfache des unter 1) genannten Rastermaßes von 0,5 µm gerundet. Dies kommt der Tatsache entgegen, daß die Unterdiffusion für eine implantierte Basis und insbesondere für einen implantierten Emitter sehr gering ist.

Aus diesen Grundlagen ergeben sich die im Sinne kurzer Schaltzeiten angestrebten Minimalmaße der Bauelemente;
Ausnahmen sind:

1) Die Emittermaße werden im Rahmen der Optimierung variiert (Abschn. 4.5.1) und sind lediglich nach unten begrenzt.

2) Der Abstand zwischen Basis bzw. Leitbasis und Kollektorkontakt wurde 1 µm größer gewählt als notwendig. Das ändert einerseits kaum das dynamische Verhalten der Transistoren, ermoglicht aber andererseits die in Abschn. 8.2 beschriebene lineare Verkleinerung aller Maskenmaße.

3) Widerstandsstrukturen wurden größer als notwendig gewählt, um hinreichend enge Toleranzen zu erreichen.

4) Für die Streifenbreiten der Schottky-Dioden wird der 1,5-fache Wert der Emitterstreifenbreite (x_E in Bild 4.5) verwendet, was in Abschn. 4.5.1 begründet wird.

4.2.3 Strukturen der verwendeten Bauelemente

Aus den in Abschnitt 4.2.2 angegebenen Strukturmaßen ergeben sich die in den Bildern 4.6 bis 4.10 zusammengestellten Bauelemente, die in den Schaltungen nach Bild 3.1 verwendet werden.

In den Bildern wurde die Oxidoberfläche nur schematisch dargestellt, der Maßstab wurde senkrecht zur Oberfläche um den Faktor zwei gedehnt.

Die Maße des Diffusionsfensters für den buried layer entsprechen den Abständen der Oxidwälle an der Si-Oberfläche (x und y in Bild 4.6). Damit ist gewährleistet, daß auch bei extremer Fehljustierung (1,5 µm) der buried layer unter Berücksichtigung der Unterdiffusion immer noch den Oxidwall berührt. Dies ist dann notwendig, wenn an der gesamten Grenzfläche zwischen Si und Isolationsoxid ein sog. channel stopper eindiffundiert wird. Der channel stopper ist eine p-Schicht, die Inversionskanäle und damit Kurzschlüsse an der Grenzfläche zwischen schwach p-dotiertem Substrat und SiO_2 verhindert. Würde diese p-Schicht nicht durch den buried layer unterbrochen, so könnten Kurzschlüsse zwischen den Basen benachbarter Transistoren entstehen.

Darüber hinaus ist in y-Richtung diese Breite des buried layer notwendig, um (insbesondere bei Fehljustierung und minimaler Emitterstreifenlänge) einen hinreichend kleinen äußeren Kollektorbahnwiderstand zu erreichen (Abschn. 4.4.4).

Die Breite des Oxidwalls zwischen zwei Bauelementen (an der Oberfläche 8 µm, Bild 4.6c) ergibt sich aus der Summe der Unterdiffusion der buried layer (2 x 2 µm) und der seitlichen Ausdehnungen der Raumladungszonen vom buried layer in das Substrat ($\leq$2 x 2 µm bei einer Sperrspannung $\leq$ 1,6 V).

In Bild 4.7 wurden die Transistoren durch eine Schottky-Clamp-Diode ergänzt. Sie erhielt ein separates Oxidfenster mit hinreichenden Abständen von Oxidwall und Leitbasis. Man erreicht so, daß die Diodenfläche unabhängig von der durch Justierfehler schwanken-

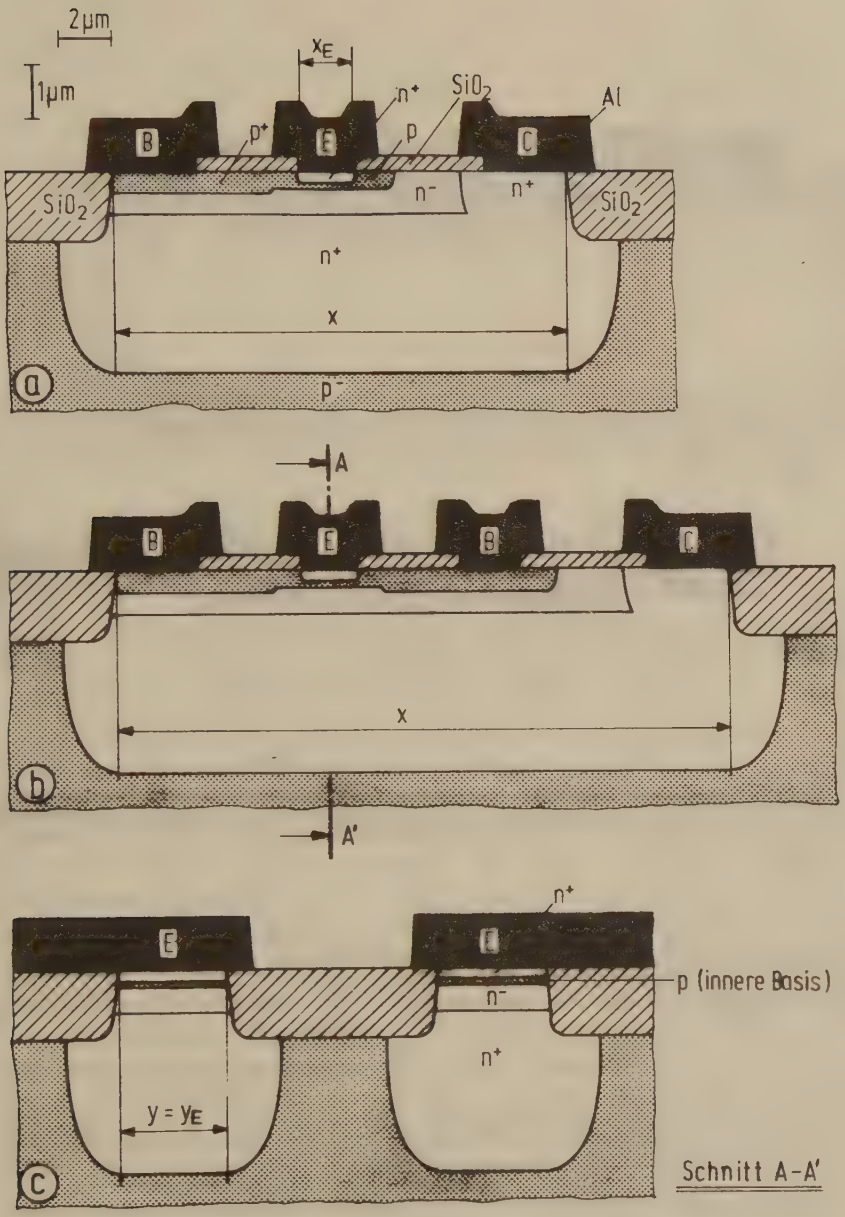


Bild 4.6: Schnitt durch Transistoren mit minimaler Emitterstreifenbreite x_E= 2 µm. (a) Ein Basiskontakt, (b) zwei Basiskontakte; (c) Schnitt A-A' durch zwei nebeneinander liegende Transistoren mit minimaler Emitterstreifenlänge y_E= 4 µm.

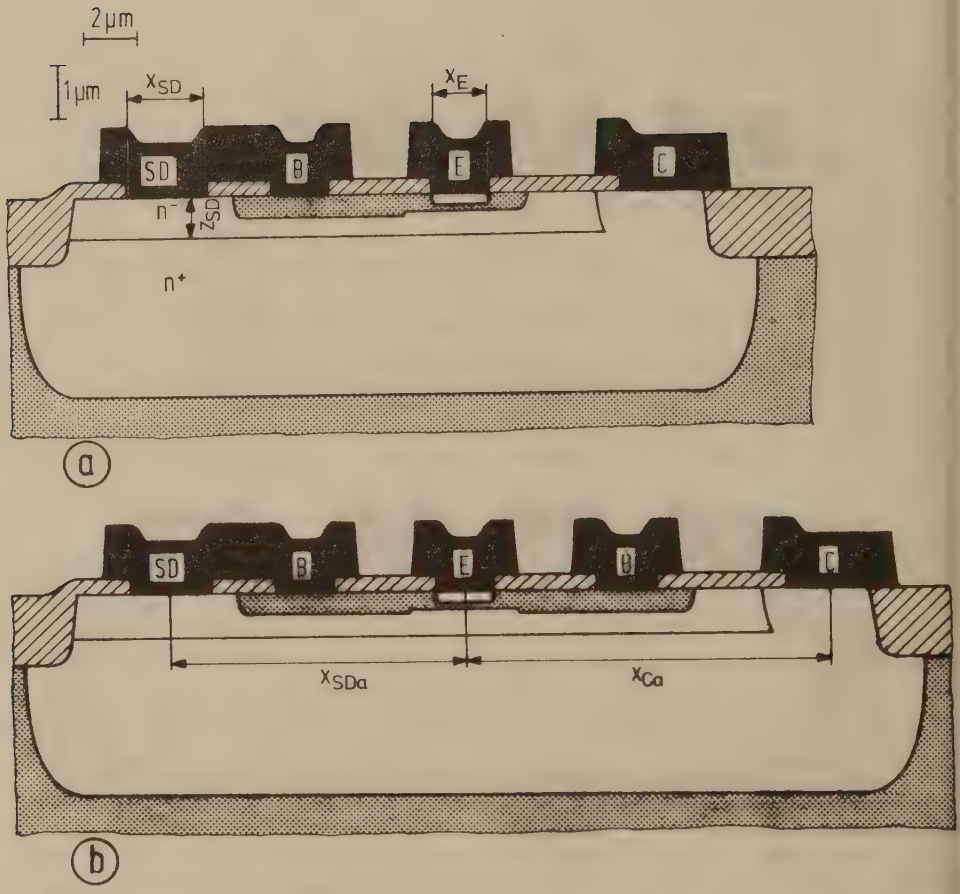


Bild 4.7: Schnitt durch Schottky-Transistoren mit minimaler Emitterstreifenbreite x_E = 2 µm und optimaler Schottky-Dioden-Breite x_{SD} = 1,5 x_E. (a) Ein Basiskontakt, (b) zwei Basiskontakte.

den Lage des Oxidfensters zum Oxidwall und zur Leitbasis wird. Dies ist deshalb notwendig, weil bei den in dieser Arbeit untersuchten Schaltungen die Diodenfläche einen z.T. erheblichen Einfluß auf die logischen Spannungspegel hat.

Bild 4.8 zeigt den Eingangstransistor für ein TTL-Gatter mit zwei Eingängen (T_1 in Bild 3.1e). Der verglichen mit Bild 4.7 größere Abstand der Schottky-Diode von der Basiszone wird durch den erforderlichen Abstand zwischen den Al-Flecken auf SD und E_1 bestimmt.

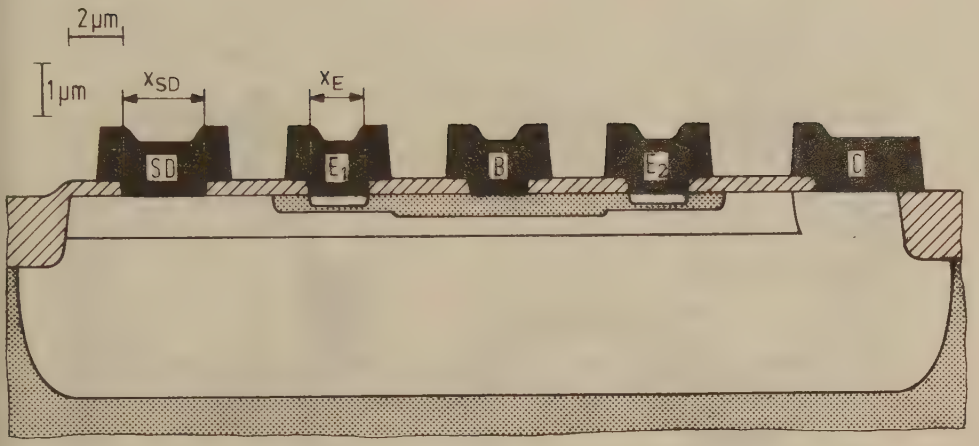


Bild 4.8: Schnitt durch einen Schottky-Transistor mit zwei Emittern minimaler Streifenbreite x_E= 2 µm und einem Basiskontakt[1].

Bei den C^3L-Transistoren im Bild 4.9 entfällt der Kollektorkontakt und damit die zu seiner Herstellung erforderliche Maske. Dafür wird allerdings eine separate Maske zur Strukturierung der Titan-Schottky-Dioden benötigt. Durch die unterschiedlichen Breiten von Al und Ti auf den Schottky-Dioden ergibt sich bei einer Fehljustierung von 1,5 µm zwischen Al und Ti immer noch der gewünschte Abstand von 1 µm zwischen Al und Ti benachbarter Dioden.

Bild 4.10 zeigt einen typischen Widerstand der Länge l_R=10 µm. Die Breite b_R senkrecht zur Schnittebene (meist 10 µm) wird durch den Abstand der Oxidwälle bestimmt. Die Kontaktierung der n^--Zone kann für mehrere Widerstände gemeinsam erfolgen. Da bei der C^3L eine tiefe Kontaktzone nicht zur Verfügung steht, würde dort die n^--Zone über eine flache n^+-Zone kontaktiert, die gleichzeitig mit den Emittern hergestellt wird.

1) Um bei beiden Emittern noch einen kleinen Basisbahnwiderstand zu erreichen, wurden die Emitter zu beiden Seiten des Basiskontakts angeordnet. Zwar ist hier der Basisbahnwiderstand von untergeordneter Bedeutung, aber dennoch würde er zu groß, wenn sich zwischen Basis und Emitter ein weiterer Emitter und damit ein Basisbahnwiderstandselement mit dem hohen Schichtwiderstand r_{sBi} der inneren Basis befände.

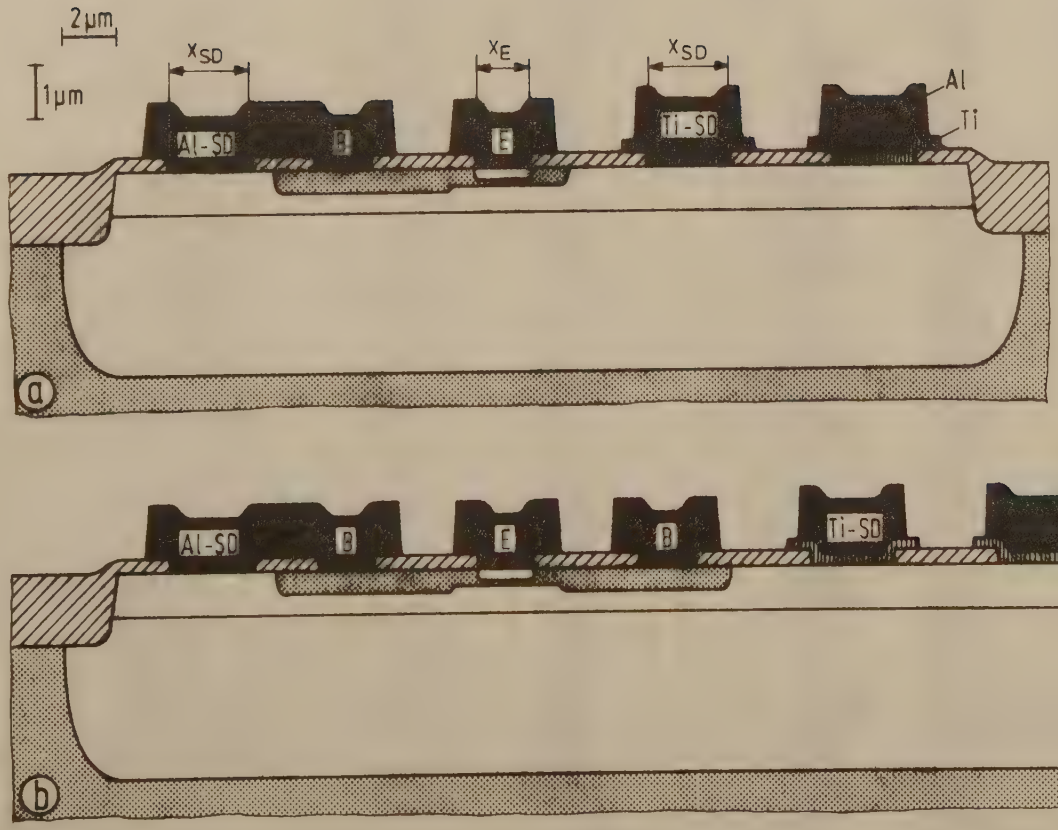


Bild 4.9: Schnitt durch C^3L-Transistoren mit minimaler Emitterstreifenbreite x_E=2 µm und zwei funktionell integrierten Ti-Schottky-Dioden. (a) Ein Basiskontakt, (b) zwei Basiskontakte.

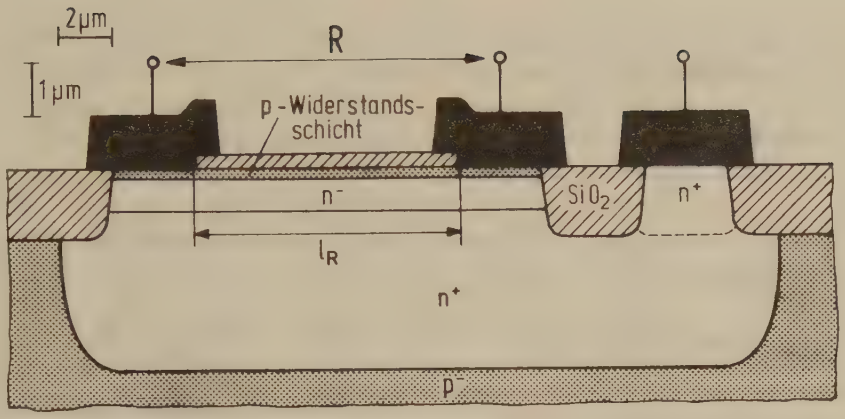


Bild 4.10: Schnitt durch einen Widerstand mit Kontaktierung der n⁻-Insel über den buried layer und eine tiefe n⁺-Kontaktzone (entspr. Kollektorkontakt).

4.3 Modelle der verwendeten Bauelemente

In modernen Verfahren zur Schaltungssimulation werden meist Bauelementemodelle verwendet, die einen möglichst breiten Anwendungsbereich erschließen und daher entsprechend kompliziert sind. Beispielsweise reichen die in gebräuchlichen Netzwerkanalysenprogrammen implementierten Transistormodelle vom (modifiziertem) Ebers-Moll-Modell [38,4] mit 12 Parametern bis zum erweiterten Gummel-Poon-Modell [39] mit 28 Parametern [40]. Dennoch sind solche Modelle für viele Anwendungen schlecht oder garnicht geeignet. Beispielsweise ist einerseits das Ebers-Moll-Modell zur Simulation sehr komplexer Schaltungen mit vertretbarem Aufwand oft noch zu kompliziert, andererseits reichen die 28 Parameter des Gummel-Poon-Modells oft nicht aus, den zweidimensionalen Charakter des Transistors sowie Sättigungs- und Hochstromverhalten hinreichend genau nachzubilden.

Aus derartigen Gründen sind in den letzten Jahren Bestrebungen zu beobachten, Modelle an die anwendungsspezifischen Bedürfnisse anzupassen. So werden einerseits Makromodelle entwickelt, die eine grobe Nachbildung ganzer Schaltungsteile zur wirtschaftlichen Simulation sehr komplexer Schaltungen ermöglichen [41]. Andererseits gibt es Analyseprogramme, die die auf physikalisch-techno-

logischen Daten basierenden Gleichungen der Bauelemente und die Netzwerkgleichungen simultan lösen [42] . Derartige Programme sind heute und in naher Zukunft allerdings noch auf einfache Schaltungen und sehr konventionelle Technologien beschränkt.

Der angedeuteten Tendenz zur Spezialisierung folgend sind die in den nächsten Abschnitten beschriebenen Modelle speziell auf die Simulation schneller (ungesättigter) Bipolarschaltungen zugeschnitten.

4.3.1 Transistor-Modelle

Wie in [3,43] durch Vergleich von Simulation und Messung an realen Gattern am Beispiel demonstriert werden konnte, genügen relativ einfache Transistor-Modelle zur Simulation schneller Bipolarschaltungen, falls man deren Parameter geeignet wählt.

Zur Erklärung dieser Tatsache sollen im folgenden die in dieser Arbeit verwendeten Modelle aus einem erweiterten Ebers-Moll-Modell "entwickelt" werden.

Bild 4.11 zeigt das Ersatzschaltbild nach einem erweiterten Ebers-Moll-Modell, wie es häufig in modernen Netzwerkanalyseprogrammen (z.B. SPICE 2 [53]) verwendet wird. (Das ebenfalls häufig verwendete Gummel-Poon-Modell läßt sich durch ein ähnliches Ersatzschaltbild beschreiben.) Die meisten Elemente dieses Ersatzschaltbildes sind bei der Simulation schneller Schaltungen überflüssig:

1) Da bei schnellen Schaltungen die Sättigung ausgeschlossen werden muß, können alle den Inversbetrieb (Index I) betreffenden Elemente entfallen (D_{I1}, D_{I2}, C_{DI}, D_I, i_I, i_{EAI}).
2) Bei schnellen Schaltungen strebt man einerseits kleine Sperrschichtflächen und hohe Ströme, also große Stromdichten an; das durch D_{N1} und D_{I1} beschriebene Verhalten bei sehr kleinen Strömen braucht also nicht berücksichtigt zu werden (d.h. D_{N1} entfällt).
3) Andererseits müssen Hochstromeffekte (ebenso wie die Sättigung) ausgeschlossen werden (d.h. D_{N2} entfällt).
4) Der Emitterbahnwiderstand r_E ist meist (nicht nur bei schnellen Transistoren) vernachlässigbar; außerdem kann er ohnehin nicht sehr zuverlässig gemessen werden.

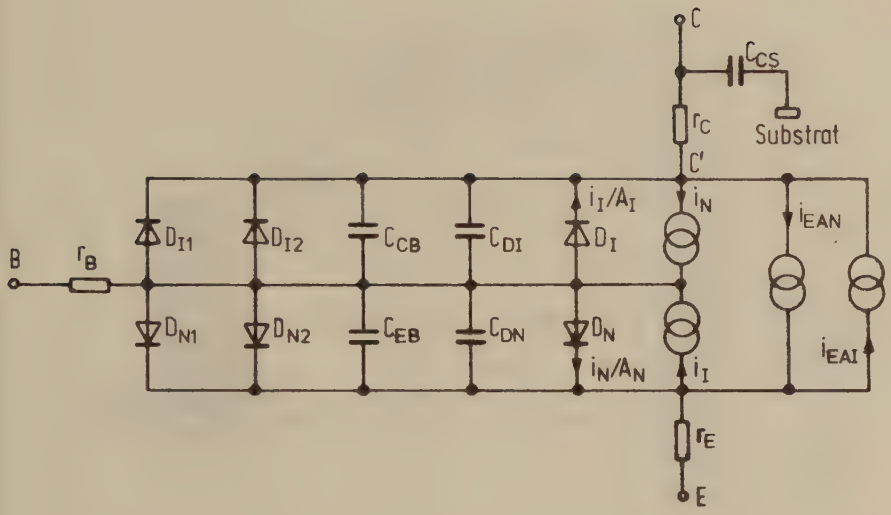


Bild 4.11: Ersatzschaltbild nach einem erweiterten Ebers-Moll-Modell für einen integrierten Transistor. Index N bzw. I kennzeichnen den Normal- bzw. Inversbetrieb. In dieser Schaltung beschreiben
D_N, D_I die idealen exponentiellen Strom-Spannungs-Kennlinien der pn-Übergänge,
D_{N1}, D_{I1} das nichtideale Verhalten bei sehr kleinen Strömen,
D_{N2}, D_{I2} das bei sehr großen Strömen,
i_{EAN}, i_{EAI} den Early-Effekt,
C_{DN}, C_{DI} Diffusionskapazitäten,
C_{CB}, C_{EB}, C_{CS} Sperrschichtkapazitäten und
r_C, r_B, r_E Bahnwiderstände.

5) Der durch i_{EAN} und i_{EAI} nachgebildete Early-Effekt spielt erst bei Spannungsänderungen von mehreren Volt eine Rolle; da die Hübe schneller Digitalschaltungen klein sind, können diese Stromquellen entfallen.

Das Ersatzschaltbild nach Bild 4.11 reduziert sich also auf das nach Bild 4.12, mit dem schnelle Schaltungen ebensogut simuliert werden können.

Allerdings birgt bereits das Ersatzschaltbild nach Bild 4.11 und damit auch das nach Bild 4.12 eine Reihe von Unzulänglichkeiten - speziell für die Simulation schneller Schaltungen. Diese sollen anhand des Transistors nach Bild 4.6a, der in Bild 4.13 nochmals vergrößert dargestellt ist, erläutert werden; dort sind die Ersatzschaltbildelemente, die zur Nachbildung verteilter Ele-

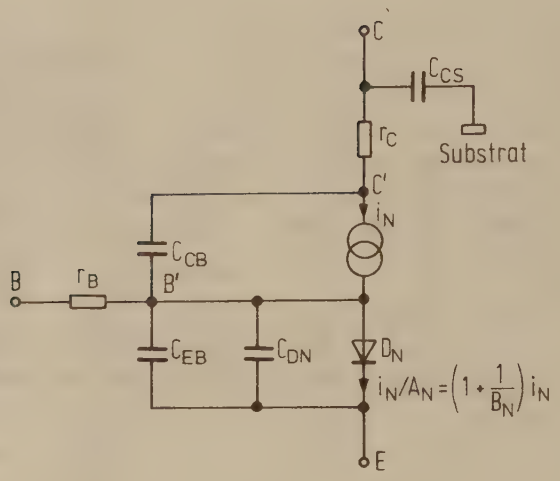


Bild 4.12: Auf schnelle Schaltungen zugeschnittene Vereinfachung des Ersatzschaltbildes nach Bild 4.11.

mente dienen, so eingezeichnet und untereinander verbunden, daß die tatsächlichen Verhältnisse deutlicher werden. Zur Schaltung nach Bild 4.12 ergeben sich demnach folgende Unterschiede:

1) Der Kollektorbahnwiderstand ist aufgeteilt in einem inneren Anteil r_{Ci} durch die Epitaxieschicht und einen äußeren Anteil

$$r_{Ca} = r_{Ca1} + r_{Ca2} \simeq r_{Ca1} \qquad (4.9)$$

durch buried layer bzw. Kollektorkontakt, wobei der Einfluß des Kollektorkontaktes i.a. vernachlässigt werden kann. Der größere äußere Anteil C_{CBa} von C_{CB} greift zwischen r_{Ca} und und r_{Ci} an und ist mit einem meist vernachlässigbaren Bahnwiderstand

$$r_{CB} = r_{CB1} + r_{CB2} \qquad (4.10)$$

durch Epitaxieschicht bzw. buried layer versehen. Würde man auf die Aufteilung von C_{CB} und r_C verzichten, so sollte in Bild 4.12 zumindestens C_{CB} direkt am Kollektor C angreifen, da r_{Ca} erheblich kleiner ist als r_{Ci}.

2) Auch der Angriffspunkt von C_{CB} an B' ist in Bild 4.12 falsch gewählt: Erstens liegt die elektrische Mitte des inneren Bahnwiderstandes r_{Bi} unterhalb des Emitters und zweitens liegt die elektrische Mitte des ohnehin kleineren äußeren Basisbahnwi-

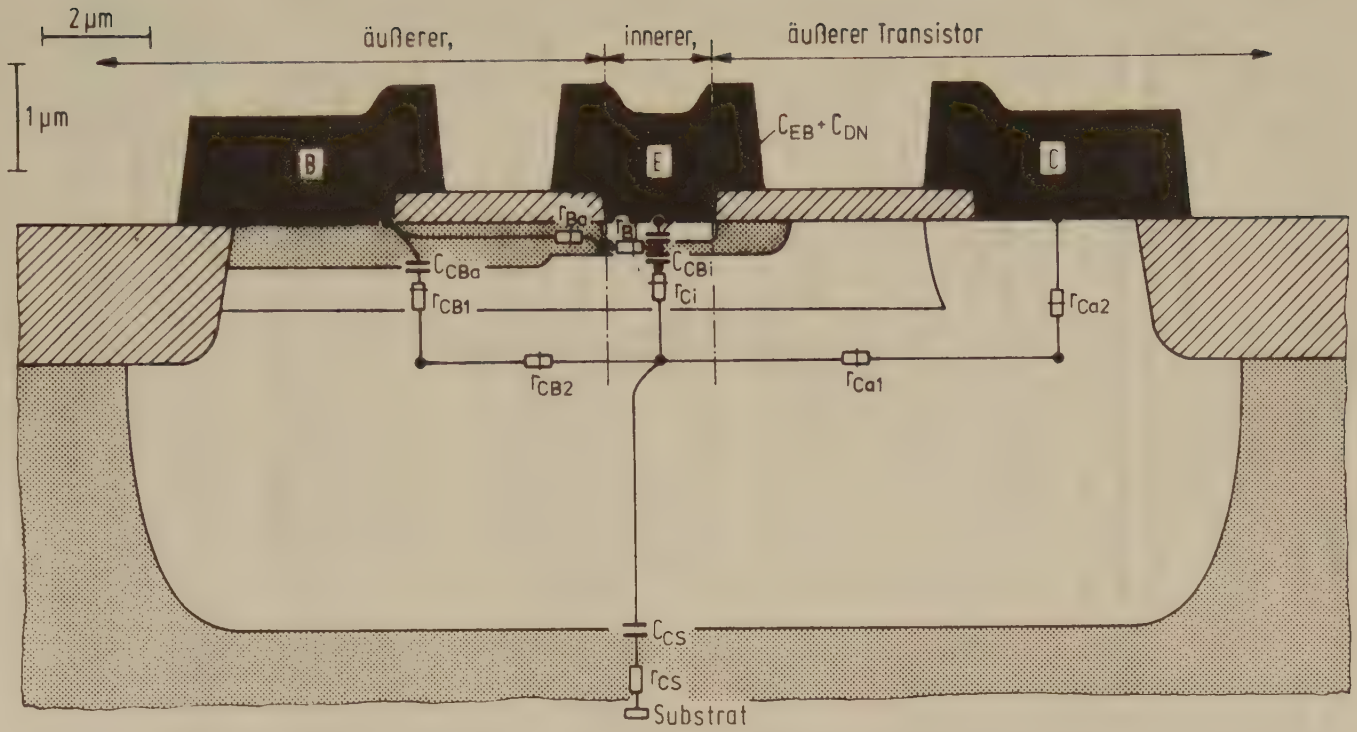


Bild 4.13: Schnittbild eines Transistors mit einem Basiskontakt (vgl. Bild 4.6a). Die eingezeichneten Bahnwiderstände erhielten etwa in der elektrischen Mitte zwischen ihren Anschlußpunkten einen Querstrich, die Kapazitäten sind etwa in den Schwerpunkten ihrer Flächen eingezeichnet.

derstandes r_{Ba} aufgrund der niederohmigen Leitbasis in der Nähe des Emitters; da aber der größte Anteil von C_{CBa} unter der Leitbasis liegt, wäre es sinnvoller, C_{CB} in Bild 4.12 mit dem äußeren Basisanschluß B zu verbinden.

3) Als weitere, wenn auch unerhebliche Ergänzung ist in Bild 4.13 noch ein Substratbahnwiderstand r_{CS} berücksichtigt, der allerdings in der Praxis schwer zu erfassen ist und meist auch vernachlässigt wird.

Bild 4.14 zeigt das am häufigsten in dieser Arbeit verwendete Ersatzschaltbild, das o.g. Verbesserungen gegenüber Bild 4.12 aufweist.

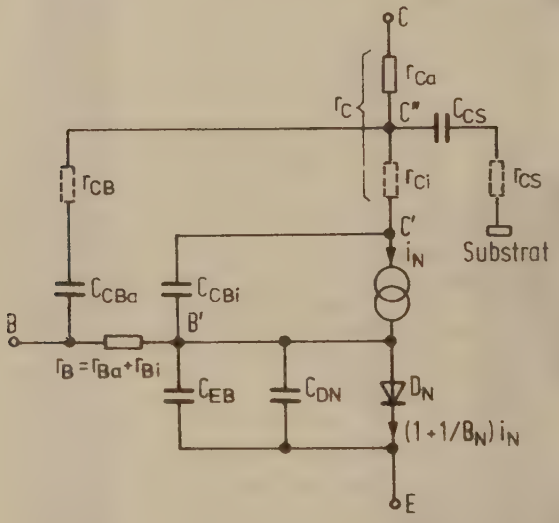


Bild 4.14: Verbessertes Transistorersatzschaltbild. In dieser Arbeit werden r_{CB} und r_{CS} vernachlässigt; der Einfluß von r_{Ci} wird durch eine Korrektur von C_{CBi} berücksichtigt(Abschn. 4.4.2), sodaß im Ersatzschaltbild auch r_{Ci} entfallen kann.

Eine weitergehende Verbesserung dieses Ersatzschaltbildes ist solange sinnlos, wie der zweidimensionale Charakter des inneren Tranistors (Bild 4.13) nicht besser nachgebildet wird, als dies mit einzelnen Elementen möglich ist. Zwar wurden in dieser Arbeit für den inneren Basisbahnwiderstand nach [44] Mittelwerte berech-

net, die eine recht genaue Simulation der Gatterlaufzeit ermöglichen; dieses Verfahren hat aber eine Reihe von (allerdings wenig gravierenden) Nachteilen:

1) Für Ein- und Ausschaltvorgang müssen unterschiedliche Werte des Basisbahnwiderstandes eingesetzt werden. Das ist einerseits umständlich und andererseits in Fällen, wo Ein- und Ausschaltvorgang nicht getrennt betrachtet werden können (z.B. bei Flipflops), nicht möglich. Allerdings ergibt sich meist eine ausreichende Genauigkeit, wenn man den Mittelwert (zwischen Ein- und Ausschaltvorgang) einsetzt.

2) Zur Berechnung des Basisbahnwiderstandes für den Ausschaltvorgang wird der Wert des inneren Kollektorstroms (i_N in Bild 4.14) zum Ende des betrachteten Zeitintervalls benötigt. Dieser ist aber vor der Simulation nicht bekannt, sodaß ein iteratives Verfahren notwendig wird, das allerdings extrem schnell konvergiert.

3) Die Form der Schaltflanken wird u.U. ungenau nachgebildet, was aber für die Beurteilung von Gattern meist unbedeutend ist.

Es lag daher nahe, nach Möglichkeiten zur Nachbildung des zweidimensionalen Charakters des inneren Transistors zu suchen. Eine sehr einfache Möglichkeit wurde in [45,46] beschrieben und in [47] untersucht. Dort wird der innere Transistor lateral in zwei Abschnitte unterteilt, was erhebliche Verbesserungen in allen drei o.g. Punkten ergibt: Man erhält recht genaue Ergebnisse sowohl für die Gatterlaufzeit als auch für die Form der Schaltflanken und braucht die Einstellung der Parameter nicht mehr an den Schaltvorgang anzupassen.

Bild 4.15 zeigt das Ersatzschaltbild eines solchen Zwei-Transistor-Modells. Die Aufteilung des inneren Transistors in T_{i1} und T_{i2} im Flächenverhältnis 4:6 wurde aus [45,46] übernommen. Danach gilt

$$i_{N1} = 0{,}4 I_S \exp\frac{u_{B'E1}}{U_T} \quad , \quad i_{N2} = 0{,}6 I_S \exp\frac{u_{B'E2}}{U_T} \tag{4.11}$$

(I_S Sättigungsstrom des ganzen Transistors, U_T Temperaturspannung) und

$$r_{Bi1} = 0{,}15 r_{Bi0} \quad , \quad r_{Bi2} = 0{,}5 r_{Bi0} \tag{4.12}$$

mit

$$r_{BiO} = \frac{r_{sBi}}{n_B^2}\,\frac{x_E}{y_E} \qquad (4.13)$$

(r_{sBi} Schichtwiderstnad d. inneren Basis, n_B Anzahl der Basiskontakte, x_E bzw. y_E Emitterstreifenbreite bzw. -länge).

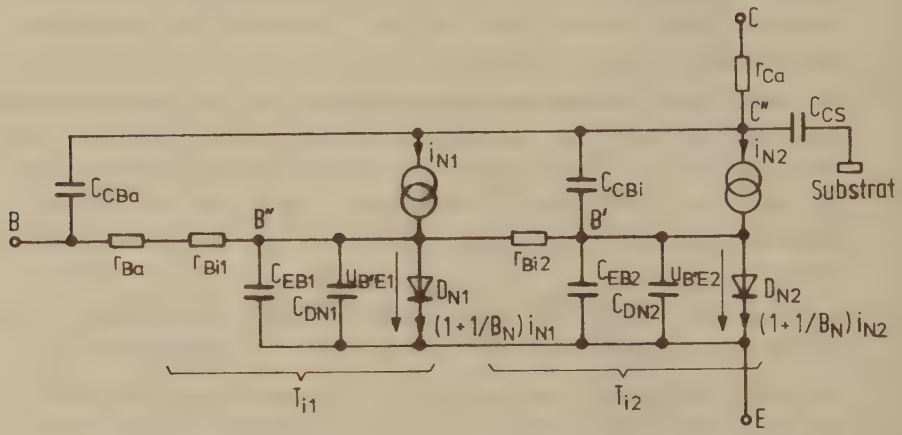


Bild 4.15: Ersatzschaltbild des Zwei-Transistor-Modells mit zwei inneren Teiltransistoren T_{i1}, T_{i2}.

Die Diffusionskapazität und die EB-Kapazität werden ebenfalls im Verhältnis 4:6 aufgeteilt; bei C_{CBi} wurde aufgrund des geringen Einflusses der Einfachheit halber auf eine Aufteilung verzichtet.

Voraussetzung für die Gültigkeit der Ersatzschaltbilder nach Bild 4.12, 4.14 und 4.15 ist, wie bereits erwähnt, der Ausschluß der Sättigung (genauer Sättigung und Hochstromeffekte). Das Modell zur Beschreibung der Sättigung wurde [3,90] entnommen. Dort wird als Maß für die Sättigung der Sättigungsgrad s als Quotient aus Überschußladung Q_S und Ladung ohne Sättigung $\tau_N I_C'$ definiert:

$$s = Q_S/\tau_N I_C' \; . \qquad (4.14)$$

Bei kleinen Werten von s ($i_I \ll i_N$, Bild 4.11) ergibt sich für den inneren Kollektorstrom I_C'

$$I_C' \approx i_N - i_I/A_I \approx i_N = I_S \exp\,(U_{B'E}/U_T) \; . \qquad (4.15)$$

Für die Überschußladung gilt

$$Q_S \sim \exp(U_{B'C'}/U_T) \quad . \tag{4.17}$$

Daraus folgt:

$$s \sim \exp(-U_{C'E}/U_T) \quad . \tag{4.18}$$

Der Sättigungsgrad steigt danach mit fallendem $U_{C'E}$ drastisch an. Dieser Anstieg erfolgt zwar mit geringer werdender effektiver Epitaxiedicke weniger stark als nach (4.18), es bleibt aber zunächst die Tatsache bestehen, daß bei konstanter Temperatur s allein eine Funktion von $U_{C'E}$ ist [3, 16, 90].

Danach wurde in dieser Arbeit folgendes Modell zugrunde gelegt: Für s wird ein hinreichend kleiner Wert (5...10%) zugrundegelegt, der für einen vorgegebenen Grenzwert $U_{C'E} = U_{C'ES}$ nur geringfügig von der Technologie abhängt. Für diesen bei s = const nur noch temperaturabhängigen Grenzwert wurde

$$U_{C'ES} = U_{C'ES}(300K) + 0{,}4mV/K \quad , \tag{4.19}$$

$$U_{C'ES}(300K) = 110mV \tag{4.20}$$

eingesetzt. Bei diesen Zahlenwerten ist es zulässig, für r_{Ci} (Bild 4.13) den Wert einzusetzen, der sich durch Dotierung N_C, die effektive Dicke w_C der Epitaxieschicht unter dem inneren Kollektor und die (feldstärkeabhängige) Beweglichkeit ergibt.

Es muß allerdings deutlich darauf hingewiesen werden, daß sich bei dem in dieser Arbeit verwendeten Wert $w_C = 0{,}5$ µm bereits die Grenzen dieses einfachen Modells für die Sättigung abzeichneten. Insbesondere bei hochohmiger Epitaxieschicht ($\varrho_C = 2\,\Omega$cm) sinkt $U_{C'ES}$ für s = const [20] . Diese Abweichung kann zwar für $w_C = 0{,}5$ µm noch toleriert werden; quantitative Schlüsse auf das Verhalten der Transistoren bei geringeren Werten von w_C sind aber heute noch nicht möglich.

4.3.2 Schottky-Dioden-Modell

Zur Beschreibung der in dieser Arbeit zugrundegelegten Schottky-Dioden genügt ein sehr einfaches Modell. Es wird durch das Ersatzschaltbild im Bild 4.16 und durch die folgenden Gleichungen und Zahlenwerte beschrieben.

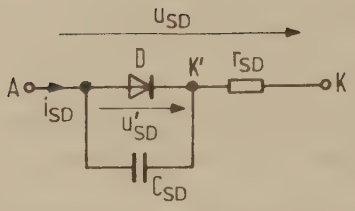


Bild 4.16: Ersatzschaltbild einer Schottky-Diode aus trägheitsloser Diode D, Sperrschichtkapazität C_{SD} und Bahnwiderstand r_{SD}, der sich aus einem Anteil r_{SDi} in der Epitaxieschicht und einem Anteil r_{SDa} im buried layer zusammensetzt.

Auf eine Substratkapazität wurde verzichtet, da in dieser Arbeit die Schottky-Dioden immer auf der äußeren Kollektorzone eines Transistors untergebracht sind (Bild 4.7 bis 4.9); d.h. es genügt eine entsprechende Vergrößerung der Substratkapazität C_{CS} des Transistors.

Die Diode D wird beschrieben durch [4]

$$U'_{SD} = m\Phi_B - mU_T \ln \frac{A_{SD} R^* T^2}{I_{SD}} \qquad (4.21)$$

(A_{SD} Diodenfläche, T absolute Temperatur). Für R* kann nach [48] die Richardson-Konstante für freie Elektronen eingesetzt werden:

$$R^* = R = 120 A cm^{-2} K^{-2} . \qquad (4.22)$$

Weiter wurden m=1,05 und für die Barrierenhöhe Φ_B bei Titan-Dioden 490mV, bei Aluminium-Dioden 690mV eingesetzt. Diese Zahlenwerte stimmen etwa mit der Literatur überein [49,50] und wurden auch durch Messungen an Dioden bestätigt, die am hiesigen Institut für Elektronik hergestellt worden waren. Zur Berechnung der Temperaturabhängigkeit wurden diese Zahlenwerte als konstant angenommen. Wie durch Messungen gezeigt werden konnte, ergibt sich dann ein nur etwas zu hoher Betrag für den Temperaturkoeffizienten von U'_{SD} [4].

Die Diode D in Bild 4.16 wurde für diese Arbeit als trägheitslos angenommen; dies wird durch die Ergebnisse umfangreicher Schaltzeitmessungen an Schottky-Dioden mit für die Integration geeigneten Metallen bestätigt [91]. Bei diesen Messungen wurden Hochstromeffekte erst bei wesentlich höheren Stromdichten beobachtet, als sie in den Schottky-Dioden der untersuchten Schaltungen auftreten.

Während der Literatur bezüglich des Hochstromverhaltens von Schottky-Dioden nur unzureichende Zusammenhänge entnommen werden konnten [48,51,52], stützt das nachfolgend beschriebene Modell die o.g. Meßergebnisse wenigstens im interessierenden Stromdichtebereich.

Diesem Modell liegen folgende Annahmen zugrunde:

1) Die Epitaxieschicht unter dem Metall-Si-Kontakt ist homogen dotiert (N_C) und der n^--n^+-Übergang zum buried layer sei ein Sprung von N_C auf eine Donatorkonzentration $N_D \to \infty$.

2) Rekombination wird vernachlässigt; man liegt damit auf der sicheren Seite, denn die Rekombination würde zur Verringerung einer eventuellen Minoritätenladung beitragen [52] .

3) Neutralität im Bahngebiet (Epitaxieschicht), d.h. für Löcher- bzw. Elektronenkonzentration p bzw. n gilt

$$p = n - N_C \quad . \tag{4.23}$$

Beschränkt man sich auf die Stromdichte, bei der gerade Hochstromeffekte einsetzen, so ist dieser Ansatz gerechtfertigt.

4) Die Löcherstromdichte sei

$$j_p = 0 \quad . \tag{4.24}$$

Nahe am unter 1) angenommenen n^--n^+-Übergang entsteht ein Feld, das für $j_p=0$ sorgt; wegen 2) gilt dann im gesamten Bahngebiet $j_p=0$.

5) Die Driftsättigung wird nicht berücksichtigt; einerseits wird bei den infrage kommenden Dioden der Flachbandzustand $U'_{SD}=U_D$ (Diffusionsspannung) erreicht, bevor die Driftsättigung eine erhebliche Rolle spielt, andererseits läßt sich zeigen, daß bei keiner der in dieser Arbeit untersuchten Schaltungen die Stromdichte so hoch wird, daß der Flachbandzustand erreicht wird. Letzteres gewährleistet gleichzeitig die Gültigkeit von (4.21).

6) Am Metall-Si-Übergang gilt [51]

$$p = p_0 \frac{j}{j_S} \quad , \quad p_0 = \frac{n_i^2}{N_C} \tag{4.25}$$

mit der Stromdichte j und der Sättigungsstromdichte der Diode:

$$j_S = R^* T^2 \exp \frac{-\Phi_B}{U_T} \quad . \tag{4.26}$$

Im folgenden sind q der Betrag der Elementarladung, μ_p bzw. μ_n die (nach Ann. 5 konstanten) Beweglichkeiten der Löcher bzw. Elektronen, E die elektrische Feldstärke und z der Abstand von der Si-Oberfläche. Aus den Beziehungen

$$j_p = q\mu_p(pE - U_T\frac{dp}{dz}) = 0 \quad , \tag{4.27}$$

$$j_n = q\mu_n(nE + U_T\frac{dn}{dz}) = j \tag{4.28}$$

ergibt sich unter Berücksichtigung von (4.23) und

$$\frac{dp}{dz} = \frac{dn}{dz} \tag{4.29}$$

aus Annahme 3 die Gleichung

$$\frac{j}{q\mu_n U_T} = \frac{2n-N_C}{n-N_C}\frac{dn}{dz} \quad . \tag{4.30}$$

Aus (4.23) und (4.25) ergibt sich für z=0 der Anfangswert

$$n = n_0 = N_C + p_0 \quad , \tag{4.31}$$

der zur Lösung von (4.30) führt:

$$\frac{jz}{q\mu_n U_T} = 2(n-N_C-p_0) + N_C \ln\frac{n-N_C}{p_0} \quad . \tag{4.32}$$

Für diese Arbeit genügt es zu wissen, bei welcher Stromdichte Hochstromeffekte einsetzen. An dieser Grenze ist sicher noch die überschüssige Elektronendichte $\Delta n = n - N_C$ wesentlich kleiner als N_C, andererseits können merkliche Hochstromeffekte erst für $p = n - N_C \gg p_0$ auftreten. Zur Betrachtung der Grenze kann (4.32) also folgendermaßen vereinfacht werden:

$$\frac{jz}{q\mu_n U_T} \approx N_C \ln\frac{n-N_C}{p_0} \quad . \tag{4.33}$$

Damit ergibt sich der Verlauf von Δn im Bahngebiet

$$\Delta n = n - N_C = p_0 \exp\frac{jz}{q\mu_n U_T N_C} \quad , \tag{4.34}$$

aus dem sich durch Integration über die Länge z_{SD} des Bahngebietes die Speicherladung Q_{SD} berechnen läßt. Aus dieser ergibt sich unter Verwendung von (4.25) und

$$r_{SDi} = \frac{1}{q\mu_n N_C}\frac{z_{SD}}{A_{SD}} \tag{4.35}$$

die Speicherzeitkonstante

$$\tau_{SD} = \frac{Q_{SD}}{I_{SD}} = \frac{qn_i^2 z_{SD}}{N_C j_S}\frac{U_T}{r_{SDi} I_{SD}}\left(\exp\frac{r_{SDi} I_{SD}}{U_T} - 1\right) . \tag{4.36}$$

Um die Größenordnung von τ_{SD} zu verdeutlichen, soll der in dieser Arbeit bezüglich τ_{SD} ungünstigste Fall als Beispiel verwendet werden; es ist der Transistor T_2 eines TTL-Gatters (Bild 3.1e) mit einer Verlustleistung von 0,037mW. Dort liegt bei T=350K am Bahnwider-

stand $r_{SD} \simeq r_{SDi}$ der Al-Clamp-Diode eine Spannung von $r_{SD} I_{SD} \simeq 45mV$. Setzt man $N_C = 2{,}5 \cdot 10^{15} cm^{-3}$ und $z_{SD} = 0{,}9\mu m$ ein, so ergibt sich aus (4.36)

$$\tau_{SD} \simeq 9{,}5ps \quad . \tag{4.37}$$

Dieser Wert ist gemessen an der Gatterlaufzeit dieser Schaltung von 680 ps vernachlässigbar.

Eine direkte experimentelle Überprüfung von (4.36) ist recht schwierig, es gibt aber eine einfache indirekte Prüfungsmöglichkeit. Die Erhöhung der Elektronendichte nach (4.34) muß außer zu einer Speicherladung auch zu einer Modulation von r_{SDi} führen.

Löst man (4.27) nach dp/dz auf und setzt dies unter Verwendung von (4.29) in (4.28) ein, so erhält man durch Umstellen

$$E = \frac{j}{q\mu_n (2n - N_C)} \quad . \tag{4.38}$$

Löst man (4.34) nach n auf und setzt dies in (4.38) ein, so erhält man die Feldstärke E als Funktion von z. Durch Integration [37] von E von der Si-Oberfläche (z=0) bis zum buried layer ($z=z_{SD}$) erhält man die Spannung an diesem Bahngebiet und daraus den modulierten Bahnwiderstand

$$r'_{SDi} = \frac{1}{I_{SD}} \int_0^{z_{SD}} E dz \simeq r_{SDi} \left[1 - \frac{U_T}{r_{SDi} I_{SD}} \ln\left(1 + \frac{2p_0}{N_C} \exp \frac{r_{SDi} I_{SD}}{U_T}\right)\right]. \tag{4.39}$$

In diesem Ergebnis wurde wieder $p_0 \ll N_C$ angenommen. Eine Reihe von Messungen an verschiedenen Al-Schottky-Dioden zeigte, daß der Einsatzpunkt für die Modulation von r_{SDi} sowie dessen Temperaturabhängigkeit durch (4.39) recht gut wiedergegeben werden. Ein Beispiel für diese Messungen zeigt Bild 4.17. Man erkennt, daß für $I_{SD} > 2{,}5mA$ die Meßkurve von der mit r_{SDi}=const berechneten abweicht, also eine Widerstandsmodulation auftritt. Die mit (4.38) berechnete Kurve folgt dagegen der Meßkurve noch bis ca. $I_{SD} = 3{,}5mA$. Die zunehmende Abweichung oberhalb 3,5mA war aufgrund der Voraussetzungen für (4.33) zu erwarten, da diese eine Einschränkung auf nur schwache Widerstandsmodulation bedeuten.

Messungen an Ti-Schottky-Dioden ergaben erwartungsgemäß, daß im Gültigkeitsbereich von (4.21) keine Widerstandsmodulation auftritt.

Schließlich zeigte noch ein Vergleich mit den Meßwerten in [52], daß (4.39) auch auf Dioden mit anderen Kontaktmetallen

anwendbar ist. Man darf also schließen, daß auch (4.36) gilt und damit das einfache Ersatzschaltbild in Bild 4.16 ausreicht.

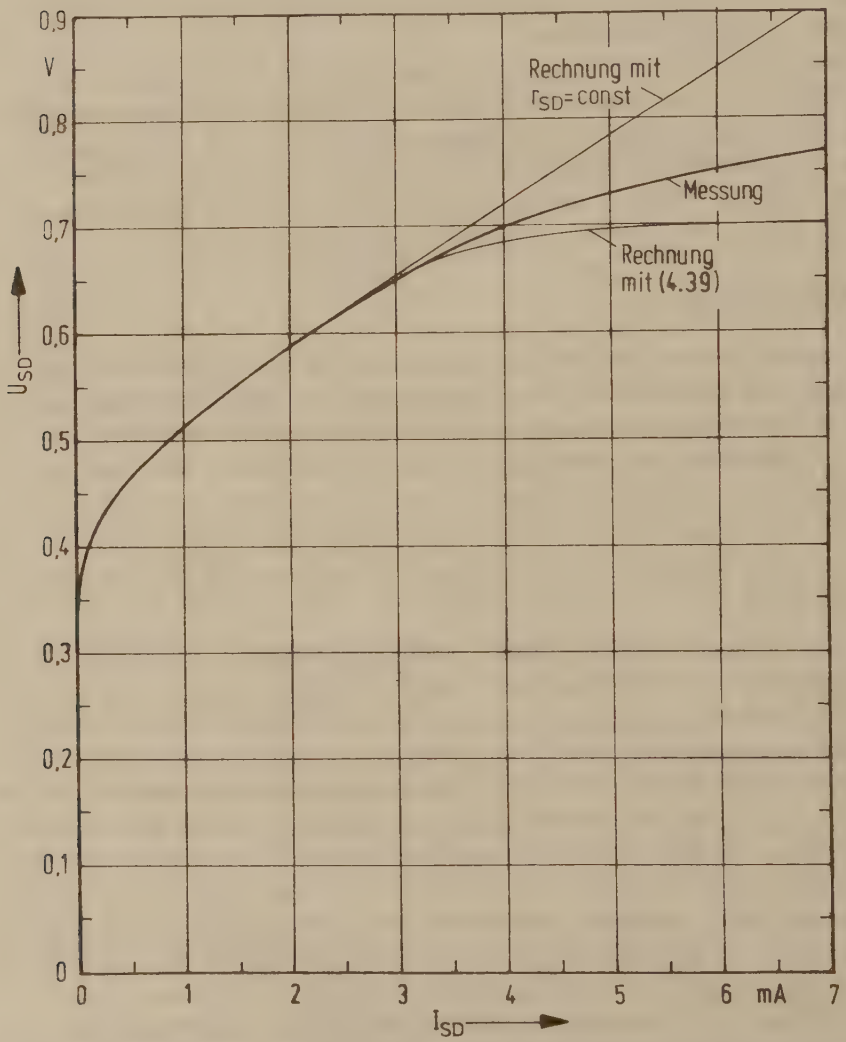


Bild 4.17: Gemessene und berechnete Spannungs-Strom-Kennlinien einer Al-Schottky-Diode mit $N_C=2\cdot10^{16}cm^{-3}$, $r_{SD}=57\Omega$ ($r_{SDi}=55\Omega$) bei T=296,3K; die Diode wurde auf n^+-Substrat hergestellt.

4.4 Berechnung der elektrischen Bauelementeparameter

4.4.1 Programm zur Dimensionierung und Berechnung der Bauelemente

Für die Dimensionierung der Transistoren (und ggf. Schottky-Dioden) zur Vermeidung der Sättigung sowie zur Berechnung der Elemente der Ersatzschaltbilder (Abschn. 4.3) auf der Grundlage der vorgegebenen Basistechnologie (Abschn. 4.2) wurde ein BASIC-Programm entwickelt. Dieses Programm soll hier nur in groben Zügen beschrieben werden.

Der Programmaufbau ist in Bild 4.18 angegeben. Das Programm ist modular aufgebaut, was eine relativ leichte Anpassung an andere Anwendungen, andere Modelle, andere Basistechnologien oder neue Erkenntnisse der Bauelementetheorie erlaubt. Außerdem können die in sich geschlossenen Blöcke auch für andere Bauelementeberechnungen verwendet werden. Um diese Flexibilität nutzbar zu machen, wird das Programm unter Berücksichtigung der in Abschn. 4.4.2 bis 4.4.4 angegebenen Berechnungsverfahren im Anhang A 1 detailliert beschrieben.

Das Programm besteht aus einem Hauptprogramm, das sequentiell abläuft und einer Unterprogrammbibliothek, die Routinen enthält, die mehrfach im Hauptprogramm benötigt werden oder die aus verschiedenen Gründen leicht auswechselbar sein sollen.

Nach dem Start werden einige Voreinstellungen zur Programmsteuerung vorgenommen. Zu diesen Voreinstellungen gehört auch die Auswahl unter den Transistoren nach Bild 4.6 bis 4.9.

Die nachfolgende Eingabe ist in zwei Blöcke aufgeteilt; im ersten werden Schaltungsdaten wie Ströme und Spannungen eingegeben, im zweiten variable Daten wie Anzahl der Basiskontakte, Emitterstreifenbreite und spezifischer Widerstand der Epitaxieschicht.

Durch diese Aufteilung hat man die Möglichkeit, die Schaltungsdaten aus dem vorhergehenden Lauf zu übernehmen, sodaß im Zuge einer Optimierung nur die variablen Daten bei jedem Lauf erneut eingegeben werden müssen.

Der Konstantenblock enthält die meisten durch die Basistechnologie vorgegebenen Konstanten, z.B. Strukturdaten und Schichtwiderstände. Er wurde an dieser Stelle angeordnet, weil er bereits einige Daten aus dem vorhergehenden Block einbeziehen soll, um Speicherplatz zu sparen.

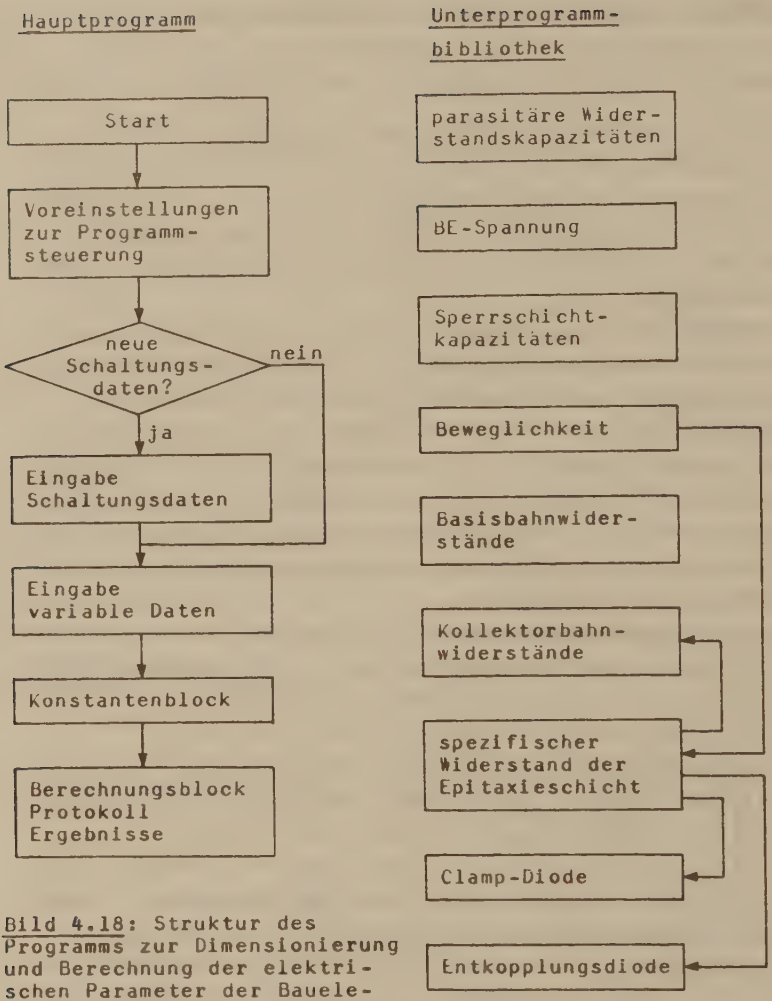


Bild 4.18: Struktur des Programms zur Dimensionierung und Berechnung der elektrischen Parameter der Bauelemente.

Der Berechnungsblock enthält einige einfache Umrechnungen, steuert die Dimensionierung und Berechnung der Bauelemente mit Hilfe der Unterprogramme, protokolliert Eingabedaten und liefert Ergebnisse.

Die Anordnung der Unterprogramme in Bild 4.18 entspricht der Reihenfolge im Programm und hat lediglich "historische" Gründe. Bezüglich der verwendeten Formeln und Rechenverfahren sei auch hier wieder auf den Anhang A1 verwiesen; allerdings werden die

Grundlagen für diese Berechnungen, soweit sie für das Verständnis notwendig sind, in den folgenden Abschnitten beschrieben.

4.4.2 Sperrschichtkapazitäten

Grundlage für die Berechnung von Sperrschichtkapazitäten C ist hier, wie in den meisten gebräuchlichen Verfahren der Netzwerkanalyse, die Beziehung

$$C = C_0(1-U/U_D)^{-1/n} \qquad (4.40)$$

(U Spannung in Durchlaßrichtung). Die Sperrschichtkapazität wird also durch drei Kennwerte charakterisiert: die Kapazität C_0 bei U=0, die Diffusionsspannung U_D und den reziproken Exponenten n, der bei realen Sperrschichten zwischen den Werten 2 für einen abrupten und 3 für einen linearen pn-Übergang liegt. Diese Kennwerte sollen zunächst für die im Rahmen dieser Arbeit vorkommenden Sperrschichten diskutiert werden, wobei jeweils für C_0 der flächenspezifische Wert C_0' betrachtet wird. Die Berechnung der Flächen auf der Grundlage von Bild 4.6 bis 4.10 kann der Programmbeschreibung im Anhang A 1 entnommen werden.

Für parasitäre Kapazitäten C_R von Widerständen, Schottky-Dioden-Kapazitäten C_{SD}, CB-Kapazitäten C_{CB} und Substratkapazitäten C_{CS} wurde ein abrupter pn-Übergang (bzw. Metall-n-Übergang) angenommen, d.h. n=2 eingesetzt. Bei Schottky-Dioden ist diese Annahme in idealer Weise erfüllt. Für CB-Übergänge und damit gleichzeitig für parasitäre Kapazitäten von Widerständen konnte die Zulässigkeit der Annahme durch Messungen bestätigt werden [16] . Bei Substratkapazitäten kann ein abrupter Übergang deshalb angenommen werden, weil die entsprechende Raumladungszone aufgrund der schwachen Substratdotierung und der ständig anliegenden Sperrspannung immer sehr weit in das Substrat reicht.

Für die Diffusionsspannungen wurden Schätzwerte eingesetzt: 650 mV für C_{CS} und 700 mV für C_{CB} und C_R. In diesen Schätzwerten ist grob das Verhältnis (N_C/N_S) der Konzentrationen enthalten, die überwiegend U_D bestimmen.

Bei Schottky-Dioden würde ein konstanter Schätzwert für U_D zu erheblichen Ungenauigkeiten führen, da hier zur schwachen Abhängigkeit von N_C noch eine starke Abhängigkeit von der Barrierenhöhe Φ_B hinzukommt. Es wurde daher als Schätzwert

$$U_D = \Phi_B - 180mV \qquad (4.41)$$

mit Φ_B aus (4.21) verwendet. Dieser Wert liegt etwas höher, als der Wert, der sich (über den in dieser Arbeit betrachteten Bereich von N_C gemittelt) aus dem Bändermodell für die Schottky-Diode ergibt [54] . Dadurch wird grob berücksichtigt, daß die in (4.21) eingesetzte effektive Barrierenhöhe Φ_B gegenüber der bei der Ausbildung der Sperrschicht maßgeblichen Barrierenhöhe Φ_{B0} bereits verringert ist. Diese Verringerung wird in erster Linie durch die Bildkraft der Metalloberfläche (zum Si hin) hervorgerufen [54] .

Die Werte C'_0 der oben genannten Kapazitäten wurden aus der Konzentration N im Si-Teil der Schottky-Diode bzw. im schwach dotierten Teil des abrupten pn-Überganges berechnet [4] ; der Einfluß des stärker dotierten Teils wurde vernachlässigt:

$$C'_0 = \sqrt{\frac{q\,\varepsilon_{Si}\,N}{2U_D}} \quad . \qquad (4.42)$$

Für Substratkapazitäten ergibt sich aus (4.42) mit $\varepsilon_{Si}=11,7\varepsilon_0$ ($\varepsilon_0=8,85\cdot10^{-14}F/cm$) und $N=N_S=6\cdot10^{14}cm^{-3}$

$$C'_{CS0} = 0,087fF/\mu m^2 \quad . \qquad (4.43)$$

Entsprechend erhält man für CB-Kapazitäten und parasitäre Kapazitäten von Widerständen bzw. für Schottky-Dioden

$$C'_{CB0} = C'_{R0} = 0,109\sqrt{N_C/(10^{15}cm^{-3})}\ fF/\mu m^2 \quad , \qquad (4.44)$$

$$C'_{SD0} = 0,922\cdot10^{-10}\sqrt{(N_C/cm^{-3})/(U_D/mV)}\ pF/\mu m^2 \quad . \qquad (4.45)$$

(Die Darstellung von (4.43) bis (4.45) ist bereits auf das im Anhang A1 beschriebene Programm zugeschnitten).

Die Kennwerte von BE-Kapazitäten lassen sich, wie bereits in Abschn. 4.2.2 erwähnt, nicht berechnen. Hier wurden Werte eingesetzt, die auf Messungen basieren [33]:

$$n = 2,7 \quad , \qquad (4.46)$$

$$U_D = 900mV \quad , \qquad (4.47)$$

$$C'_{EB0} = 2.5fF/\mu m^2 \quad . \qquad (4.48)$$

Dabei ist C'_{EB0} der Mittelwert aus Rand- und Bodenanteil eines Emitterstreifens der Breite $x_E=2\mu m$ (vgl. Tab. 4.1). Um auch für andere Streifenbreiten realistische Werte für C_{EB} zu erhalten, wurde folgendes Modell verwendet: Aufgrund der zur Si-Oberfläche hin zunehmenden p-Dotierungskonzentration der Basis steigt entsprechend die flächenspezifische BE-Kapazität an den Rändern der

n^+-Emitterzone zur Oberfläche hin an. Aus diesem Grunde wurden die Ränder der Emitterzonen durch senkrechte Flächen ersetzt, deren flächenspezifische Kapazität um den Faktor drei höher ist als die des Bodens der Emitterzone. Mit der Eindringtiefe z_E=0,2µm des Emitters und x_E=2µm ergibt sich dann aus (4.48) für den Boden allein

$$C'_{EBBO} = 1{,}875 fF/\mu m^2 . \qquad (4.49)$$

Im Rahmen dieser Arbeit wurde ein Analogsimulationsverfahren entwickelt (Kap. 5), das eine Reihe erheblicher Vorteile gegenüber der gebräuchlichen Simulation mit dem Digitalrechner aufweist (Abschn. 5.2). Allerdings wäre bei diesem Verfahren der Aufwand für die Berücksichtigung der Nichtlinearität der Sperrschichtkapazitäten nicht vertretbar. Es müssen daher geeignete konstante Mittelwerte $\bar{C}$ der spannungsabhängigen Kapazitäten C berechnet und bei der Simulation eingesetzt werden.

Bei den parasitären Kapazitäten der Widerstände genügt dazu ein recht simples Verfahren, da sie nur einen geringen Einfluß auf das dynamische Verhalten eines Gatters haben und da sich im Betrieb der Term $(1-U/U_D)$ in (4.40) nur wenig ändert. Zur Berechnung der Sperrschichtkapazität zwischen p-Widerstandsschicht und n^--Zone (Bild 4.10) wird deshalb lediglich der über den betrachteten Schaltvorgang eines Gatters gemittelte Wert der Spannung in der Mitte dieser Sperrschicht bestimmt. Mit dieser Spannung, der flächenspezifischen Kapazität C'_{R0} aus (4.44) und der Sperrschichtfläche wird mittels (4.40) die Sperrschichtkapazität berechnet. Ihr Einfluß auf das Schaltverhalten wird bei der Simulation durch eine um den Faktor 3 kleinere Kapazität parallel zum Widerstand berücksichtigt (Eingangskapazität einer entsprechenden homogenen RC-Leitung bei niedrigen Freqenzen).

Etwas komplizierter ist die Mittelwertbildung bei den Sperrschichtkapazitäten von Transistoren und Schottky-Dioden, denn erstens haben diese einen erheblichen Einfluß auf die Gatterlaufzeit und zweitens schwankt hier die Spannung U in (4.40) während des Schaltvorganges oft zwischen Werten nahe U_D und Werten unter Null, was eine erhebliche Änderung des Terms $(1-U/U_D)$ in (4.40) bedeutet.

Bei der Mittelwertbildung geht man nun von der Vorstellung aus, daß für den Einfluß von Kapazitäten auf einen Schaltvorgang in erster Linie die dabei auftretende Ladungsänderung verantwortlich ist. Ist zu Beginn des Schaltvorganges $U=U_1$ und nach dessen Ab-

schluß $U=U_2$, so kann man demnach den wirksamen Mittelwert $\overline{C}$ folgendermaßen berechnen :

$$\overline{C} = \frac{\Delta Q}{U_2-U_1} = \frac{1}{U_2-U_1} \int_{U_1}^{U_2} C dU \quad . \tag{4.50}$$

Durch Integration von (4.40) ergibt sich daraus

$$\overline{C} = - C_0 U_D \frac{(1-U_2/U_D)^{(1-1/n)} - (1-U_1/U_D)^{(1-1/n)}}{(1-1/n)(U_2-U_1)} \quad . \tag{4.51}$$

Durch die Mittelwertbildung entstehen zweifellos Simulationsfehler, die im folgenden diskutiert werden sollen.

Bei C_{CS} ergeben sich für die beiden logischen Zustände eines Gatters ohnehin nur geringfügige Unterschiede der Kapazität nach (4.40). Die Mittelwertbildung führt hier nur zu sehr geringfügigen Fehlern und ist deshalb bei den meisten Verfahren der Netzwerkanalyse üblich, z.B. [53] .

Der Einfluß der Mittelwertbildung bei C_{CB} und C_{EB} läßt sich selbst qualitativ kaum abschätzen. Sicher ist nur, daß dieser Einfluß bei C_{CB} i.a. geringer ist, als bei C_{EB}. Das liegt hauptsächlich daran, daß während des größten Teils der Umladung von C_{EB} der Ladestrom von der Spannung an C_{EB} abhängt; dagegen ist während des größten Teils der Umladung von C_{CB} der Ladestrom etwa konstant.

Deshalb wurde von den in Kap. 6 untersuchten Schaltungen diejenige herausgesucht, bei der der relative Einfluß $(dt_D/d\overline{C}_{EB})/(t_D/\overline{C}_{EB})$ von $\overline{C}_{EB}$ auf die Gatterlaufzeit t_D für jede Verlustleistung am größten ist. Es ist die C^3L (Bild 3.1d, Bild 6.34). Ihr Schaltverhalten wurde mit dem Netzwerkanalyseprogramm SPICE 2 [53] simuliert. Dabei wurden eine Verlustleistung von 0,05 mW pro Gatter und für fan in wie fan out jeweils zwei zugrundegelegt. Für C_{EB} wurde entweder eine nichtlineare Kapazität oder ihr Mittelwert nach (4.51) eingesetzt. Für die übrigen Kapazitäten wurden Mittelwerte verwendet, einerseits um den Einfluß der Mittelwertbildung bei C_{EB} zu isolieren, andererseits um einen Vergleich zur Analogsimulation zu ermöglichen.

Bild 4.19 zeigt ein einzelnes Gatter und Tab. 4.2 das Eingabeprotokoll für die simulierte Kette aus fünf Gattern. Das fan out wurde durch eine gesteuerte Stromquelle, das fan in durch gesperrte Ti-Schottky-Dioden nachgebildet.

Die Simulationsergebnisse sind Bild 4.20 zu entnehmen. Liest man die Verzögerungszeiten bei 700 mV ab, so ergibt sich für

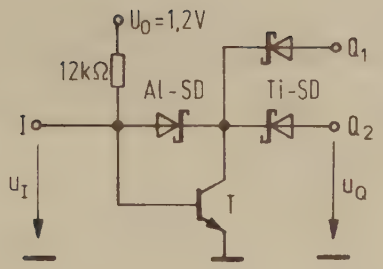


Bild 4.19: C^3L-Gatter mit 0,05 mW Verlustleistung.

lineare EB-Kapazitäten

t_{Df} = 870ps, t_{Dr} = 110ps, t_D = 490ps,

für nichtlineare EB-Kapazitäten

t_{Df} = 850ps, t_{Dr} = 100ps, t_D = 475ps.

Aus dem Vergleich der beiden Ergebnisse darf man schließen, daß der Einfluß der Nichtlinearität von C_{EB} sehr gering ist, denn die relative Genauigkeit der beiden Simulationen (in Verhältnis zueinander) ist deshalb als sehr hoch einzuschätzen, weil sich in beiden Fällen die gleiche Anzahl von Zeitschritten und Iterationen ergab.

Zum Schluß dieses Abschnitts sollen noch zwei Besonderheiten bei der Berechnung der CB-Sperrschichtkapazitäten erläutert werden: erstens die Berücksichtigung des Durchgriffs der CB-Raumladungszone bis zum buried layer und zweitens eine Korrektur der inneren CB-Sperrschichtkapazität in der Form, daß der Einfluß des inneren Kollektorbahnwiderstandes r_{Ci} auf das Schaltverhalten berücksichtigt wird.

Der Durchgriff wird nur bei der äußeren CB-Sperrschichtkapazität C_{CBa} näherungsweise berücksichtigt, einerseits weil C_{CBa} i.a. der größte Anteil von C_{CB} ist, andererseits weil der größte Teil der Fläche von C_{CBa} einen geringeren Abstand w_C' zum buried layer hat als die Fläche von C_{CBi} (w_C in Bild 4.5). Für w_C' ergibt sich aus Bild 4.5 und Tab. 4.1

Tab. 4.2: Eingabeprotokoll für die Kette aus fünf Gattern nach Bild 4.19 mit linearen Sperrschichtkapazitäten. Für die Simulation mit nichtlinearer EB-Kapazität wurde die mit + beginnende Zeile durch die am Schluß stehende Zeile ausgetauscht.

```
*****  15:12:80 ********  SPICE 2E.3 (20APR79)  ********  22:08:54

C3L MIT LINARER EB-KAPAZITAET

     INPUT LISTING                          TEMPERATURE =  27.000 DEG C

******************************************************************************



.WIDTH IN=72
.OPT=ACCT,LIST,NODE,LIMPTS=401

*MODELLE                                                        1)
.MODEL DAL D(IS=4.517P,RS=808,N=1.05,CJO=4.6F,M=0.001,PB=9)
.MODEL DTI D(IS=7.875N,RS=754,N=1.05,CJO=6.1F,M=0.001,PB=9)
.MODEL T NPN(BF=10K,BR=0,IS=6.77E-18,RB=1.83K,TF=25P,CCS=26.4F,
+ MC=0.001,PC=9,CJE=44.0F,ME=0.001,PE=9)                  CJC=2.9F,

*GATTER MIT FAN OUT =2 DURCH GESTEUERTE STROMQUELLE
.SUBCKT C3L(1 2 3)
D1(1 4)DAL
CCBA(1 4)11F
D2(0 1)DTI
Q(4 1 0)T
R(2 1)12K
C(2 1)11.1F
V(4 5)
F(4 0)V,1
D3(3 5)DTI
RK(3 5)240K
.ENDS C3L

*GATTERKETTE
X1(1 2 3)C3L
X2(3 2 4)C3L
X3(4 2 5)C3L
X4(5 2 6)C3L
X5(6 2 0)C3L
V0(2 0)DC 1.2
DI(1 7)DTI
VI(7 0)PULSE(0.333,0.792,0,500P,500P,4N)

.TRAN 20P,8N
.PRINT TRAN V(1),V(3),V(4),V(5),V(6)
.PLOT TRAN V(4),V(5)
.END
```

```
+ MC=0.001,PC=9,CJE=24.7F,ME=0.370,PE=0.9)
```

---

1) Der Wert Null wird von SPICE 2 nicht akzeptiert.

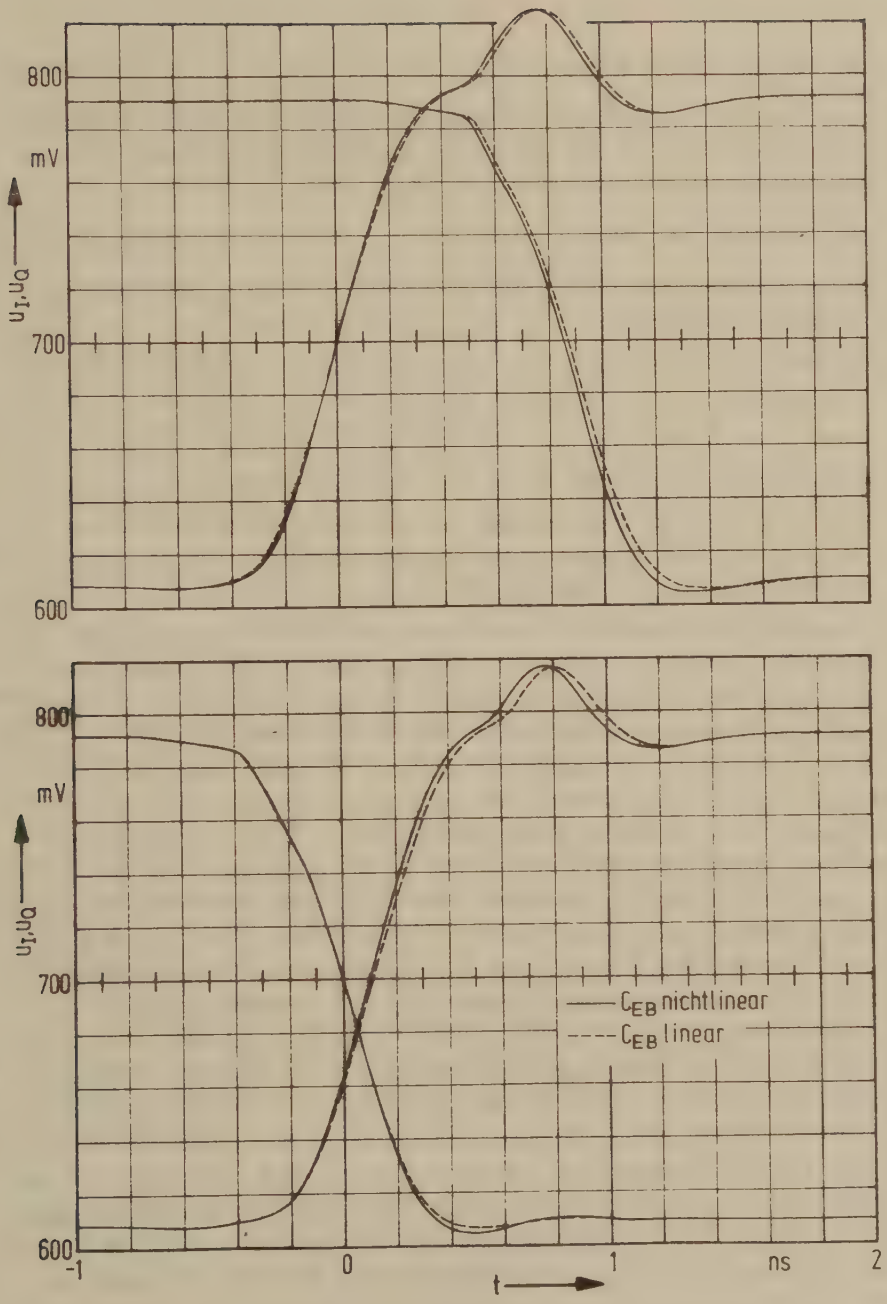


Bild 4.20: Simulierte Eingangs- und Ausgangsspannungen eines Gatters nach Bild 4.19.

$$w_C' = w_C + z_B - z_{LB} = 0{,}4\mu m \ . \qquad (4.52)$$

Um den Durchgriff bei der Mittelwertbildung richtig zu berücksichtigen, wird zunächst die Durchgreifspannung U_{DG}, bei der die Raumladungszone die Weite w_C' erreicht, berechnet:

$$U_{DG} = U_D - q\, w_C'^2 N_C / 2\varepsilon_{Si} \ . \qquad (4.53)$$

Für die Mittelwertbildung wird anschließend eine Fallunterscheidung vorgenommen:

1) Im Falle U_1, $U_2 > U_{DG}$ tritt kein Durchgriff auf und die Mittelwertbildung erfolgt nach (4.51).

2) Im Falle U_1, $U_2 < U_{DG}$ ergibt sich eine konstante Kapazität, die man erhält, indem man in (4.40) $U = U_{DG}$ einsetzt.

3) Im Falle $U_1 < U_{DG} < U_2$ erfolgt die Integration in (4.50) von U_1 bis U_{DG} mit der konstanten Kapazität $C(U=U_{DG})$ und von U_{DG} bis U_2 mit der spannungsabhängigen Kapazität nach (4.40).

Vergleicht man Bild 4.13 und 4.14, so stellt man fest, daß der Teil von C_{CB}, der in Bild 4.13 rechts von der Emitterzone liegt eigentlich durch eine Teilkapazität zwischen den Knoten C" und B' in Bild 4.14 nachgebildet werden müßte. Da aber die Zeitkonstante aus r_B und dieser Teilkapazität vernachlässigbar klein ist, wird dieser Teil zu C_{CBa} geschlagen. (Bei einem Transistor mit zwei Basiskontakten entfällt diese Überlegung.) Einen erheblich größeren Einfluß auf das Schaltverhalten des Transistors hat der Anteil C_{CBi} unterhalb der Emitterzone. Zwar sind auch die Zeitkonstanten $r_B C_{CBi}$ und $r_{Ci} C_{CBi}$ sehr klein, es kommt aber hier die Tatsache hinzu, daß der Spannungshub an C_{CBi} aufgrund des Spannungsabfalls an r_{Ci} bei eingeschaltetem Transistor u.U. erheblich größer ist als der an C_{CBa}. Würde man C_{CBi} ebenfalls zu C_{CBa} schlagen, so kann sich aufgrund der relativ großen Ladungsänderung in C_{CBi} ein erheblicher Fehler ergeben. Da auch für C_{CBi} ein Mittelwert $\bar{C}_{CBi}$ eingesetzt wird, kann man diesen Einfluß von r_{Ci} durch eine geeignete Vergrößerung auf $\bar{C}^*_{CBi}$ berücksichtigen. Man kann dann bei der Simulation $r_{Ci}=0$ setzen. Den vergrößerten Mittelwert erhält man auf einfache Weise, indem man bei der Berechnung von ΔQ in (4.50) den tatsächlich an C_{CBi} auftretenden Spannungshub zugrundelegt, ΔQ aber auf einen um den Spannungsabfall $r_{Ci} I_C$ an r_{Ci} verringerten Hub bezieht. Ist U_2 die Spannung an C_{CBi} bei eingeschaltetem

Transistor, U_1 die bei gesperrtem, so wird aus (4.51)

$$\overline{C}^* = - C_0 U_D \frac{(1-U_2/U_D)^{(1-1/n)} - (1-U_1/U_D)^{(1-1/n)}}{(1-1/n)(U_2-U_1-r_{Ci}I_C)} \quad . \tag{4.54}$$

4.4.3 Basisbahnwiderstände

Der Basisbahnwiderstand r_B besteht aus einem linearen äußeren Teil r_{Ba} und einem inneren Teil r_{Bi}, der sich während der Schaltvorgänge ändert.

Der äußere Basisbahnwiderstand r_{Ba} läßt sich für einen einzelnen Basiskontakt folgendermaßen berechnen:

$$r_{Ba} = r_{sLB}\frac{x_{LB}}{y_E} + r_{sBa}\frac{x_{Ba}}{y_E} \quad . \tag{4.55}$$

Darin sind r_{sLB} bzw. r_{sBa} die Schichtwiderstände der äußeren Basis für die p^+- bzw. p-Zone (Bild 4.5) und x_{LB} bzw. x_{Ba} die dazugehörigen Längen; y_E ist die Länge des Emitterstreifens (Bild 4.6). Anstelle der vier Konstanten r_{sLB}, x_{LB}, r_{sBa} und x_{Ba} wird im Programm (Anhang A1) der Einfachheit halber nur die Konstante $r_{Ba}y_E$ eingesetzt. Für die Basistechnologie ergibt sich mit x_{LB}=3µm und x_{Ba}=1µm und den Schichtwiderständen aus Tab. 4.1

$$r_{Ba}y_E = r_{sLB}x_{LB} + r_{sBa}x_{Ba} = 1450\Omega\mu m \quad . \tag{4.55a}$$

Für das am weitaus häufigsten in dieser Arbeit verwendete Transistorersatzschaltbild nach Bild 4.14 werden Mittelwerte von r_{Bi} benötigt, die den zweidimensionalen Charakter des Transistors ausreichend gut wiedergeben.

Der Mittelwert r_{Biaus}, der die Zeit t_D richtig wiedergibt, die benötigt wird, um den Strom i_N eines Transistors (Bild 4.14) vom Ausgangswert I'_{Cein} auf den Wert i_N (t_D) zu verringern, wurde entsprechend [44] berechnet. Danach gilt für einen Transistor mit zwei Basiskontakten

$$r_{Biaus} = \frac{2r_0}{1-v_i}\left[\frac{1}{\eta}\ln\frac{\cos vx'_0}{\cos v} - (1-x'_0)v_i\right] \tag{4.56}$$

mit

$$v_i = i_N(t_D)/I'_{Cein} \quad , \tag{4.57}$$

$$r_0 = \frac{r_{sBi} x_E}{8 y_E} \quad , \tag{4.58}$$

$$\eta = \frac{r_0 I'_{Cein}}{B_N U_T} \quad \text{(statischer Randverdrängungsfaktor)}, \tag{4.59}$$

$$x'_0 = \frac{1}{v} \operatorname{arc\,tan}(v_i \tan v) \tag{4.60}$$

und der Hilfsgröße v aus

$$v \tan v = \eta \tag{4.61}$$

Diese Gleichungen können auf einfache Weise auch für einen Transistor mit einem Basiskontakt herangezogen werden: Man führt die Rechnung für einen Transistor mit zwei Basiskontakten und doppelten Werten x_E, I'_{Cein} und $i_N(t_D)$ aus und erhält dann den gewünschten Wert r_{Biaus} durch Verdoppelung des Ergebnisses dieser Rechnung (Anhang A1).

Der Mittelwert r_{Biein} für den Einschaltvorgang eines Transistors wurde durch Simulation experimentell ermittelt. Dazu wurde für den einschaltenden Transistor eines Gatters entweder ein mit zehn Teiltransistoren nachgebildetes zweidimensionales Transistormodell oder ein Einzeltransistor nach Bild 4.14 eingesetzt. Dann wurde r_{Biein} beim Einzeltransistor so eingestellt, daß sich für beide Fälle die gleiche Einschaltverzögerung ergab. Durch diese vergleichende Simulation konnte für verschiedene Gatter nach Bild 3.1 gezeigt werden, daß man dann, wenn r_{Biein} einen merklichen Einfluß auf die Gatterlaufzeit hat,

$$r_{Biein} = \frac{1}{4} r_{Bi0} \tag{4.62}$$

mit r_{Bi0} aus (4.13) einsetzen darf.

4.4.4 Kollektor- und Schottky-Dioden-Bahnwiderstände

Der Einfluß von Kollektorbahnwiderständen r_C und Bahnwiderständen r_{SD} von Schottky-Dioden auf das dynamische Verhalten eines Gatters ist relativ gering. Diesbezüglich würde also eine grobe Näherung für r_C und r_{SD} genügen.

Wesentlich kritischer ist der Einfluß dieser Widerstände bei

der Dimensionierung von Transistoren und Schottky-Dioden zwecks Vermeidung der Sättigung bei den Transistoren. Es ist deshalb wichtig, den jeweils größten Anteil dieser Widerstände möglichst genau zu berechnen. Dieser größte Anteil ist sowohl bei r_C als auch bei r_{SD} der durch die Epitaxieschicht gegebene Widerstand r_{Ci} (Bild 4.13) bzw. r_{SDi}. Es mußte also ein geeignetes Verfahren zur Berechnung des spezifischen Widerstandes ϱ_C der Epitaxieschicht einschließlich seiner Abhängigkeit von Dotierung N_C, Temperatur T und Stromdichte j entwickelt werden.

Zu diesem Zweck wurde zunächst eine geeignete Näherung für die Driftbeweglichkeit μ_n von Elektronen als Funktion von N_C, T und der elektrischen Feldstärke E auf der Basis von Meßergebnissen aus der Literatur [55–58] erarbeitet. Diese Näherung ist durch folgende Beziehungen gegeben:

$$\mu_{n0} = \left(\frac{\mu_{max}-\mu_{min}}{1+n^{0,72}} + \mu_{min}\right)\left(\frac{T}{300K}\right)^{\frac{-2.5}{1+n^{0,35}}} \tag{4.63}$$

mit

$$\mu_{max} = 1350 cm^2/Vs \ , \tag{4.64}$$

$$\mu_{min} = 60\ cm^2/Vs \ , \tag{4.65}$$

$$n = N_C/(8.5\cdot10^{16}cm^{-3}) \tag{4.66}$$

und

$$\mu_n = \frac{\mu_{n0}}{\sqrt{1+(\mu_{n0}E/v_{sat})^2}} \tag{4.67}$$

mit der Sättigungsdriftgeschwindigkeit

$$v_{sat} = (1,38\cdot10^7 - 1,1\cdot10^4\frac{T}{K})\frac{cm}{s} \ . \tag{4.68}$$

Diese Zusammenhänge wurden mit einer wesentlich komplizierteren, auf einer größeren Anzahl von Literaturstellen basierenden Näherung [59] verglichen. Dabei zeigten sich kaum nennenswerte Abweichungen zwischen beiden Verfahren.

Mit (4.63) bis (4.68) kann der spezifische Widerstand ϱ_C der Epitaxieschicht explizit aus N_C, T und j berechnet werden: Setzt man

$$E = \varrho_C j \,, \tag{4.69}$$

$$\varrho_C = \frac{1}{q\mu_n N_C} \tag{4.70}$$

in (4.67) ein, so erhält man auf einfache Weise

$$\varrho_C = \frac{1}{\mu_{n0}\sqrt{(qN_C)^2 - (j/v_{sat})^2}} \,. \tag{4.71}$$

Mit (4.71) und den Maßen aus Bild 4.5 bis 4.7 ergeben sich also die inneren Bahnwiderstandsanteile

$$r_{Ci} = \varrho_C \frac{w_C}{x_E y_E} \,, \tag{4.72}$$

$$r_{SDi} = \varrho_C \frac{z_{SD}}{x_{SD} y_E} \,, \tag{4.73}$$

wobei ϱ_C jeweils für die entsprechende Stromdichte j berechnet wird.

Für die äußeren Bahnwiderstandsanteile r_{Ca} (vgl. (4.9)) und r_{SDa} wird

$$r_{Ca} = r_{sBN} \frac{x_{Ca}}{y_E} \,, \tag{4.74}$$

$$r_{SDa} = r_{sBN} \frac{x_{SDa}}{y_E} \,, \tag{4.75}$$

mit r_{sBN} aus Tab. 4.1 und x_{Ca} bzw. x_{SDa} z.B. nach Bild 4.7b eingesetzt. Darin ist die Verwendung von y_E als effektive Widerstandsbreite trotz der relativ großen Unterdiffusion (Bild 4.6c) insofern legitim, als y_E die Breite des Diffusionsfensters für den buried layer ist und somit dessen Integral der Dotierungskonzentration über den Widerstandsquerschnitt bestimmt.

Voraussetzung für die Gültigkeit von (4.72) bis (4.75) ist eine ausreichend kleine Fehljustierung des buried layer gegenüber dem Isolationsoxid. Da sich eine solche Fehljustierung besonders stark bei r_C auswirkt, wird dieser Einfluß auch nur für r_C anhand von Bild 4.21 grob abgeschätzt. Dabei werden folgende Vereinfachungen vorgenommen:

1) Die Ausdiffusion des buried layer in die Epitaxieschicht wird vernachlässigt ($z_{BNC}=0$ in Bild 4.5).

2) Für die vertikale Eindringtiefe des buried layer in das Substrat wird der Wert der Unterdiffusion eingesetzt ($z_{BNS}=z'_{BNS}=2\mu m$).

3) Am Rand des buried layer wird für die Dotierungskonzentration eine radiale Gauß-Verteilung angenommen:

$$N = N_{OBN}\exp(-r^2/L^2_{DBNS}) \qquad (4.76)$$

mit

$$N_{OBN} = 5\cdot10^{19}cm^{-3} \qquad (4.77)$$

(vgl. Abschn. 4.4.2) und der Diffusionslänge

$$L_{DBNS} = z'_{BNS}/\sqrt{\ln(N_{OBN}/N_S)} = 0{,}59\mu m \; . \qquad (4.78)$$

4) Für die Driftbeweglichkeit μ_n wird ein konstanter Wert eingesetzt, denn Bereiche, die so hoch dotiert sind, daß μ_n merklich kleiner als μ_n ($N=N_C$) ist, tragen kaum zum Übergangswiderstand zwischen BC-Sperrschicht und buried layer bei.

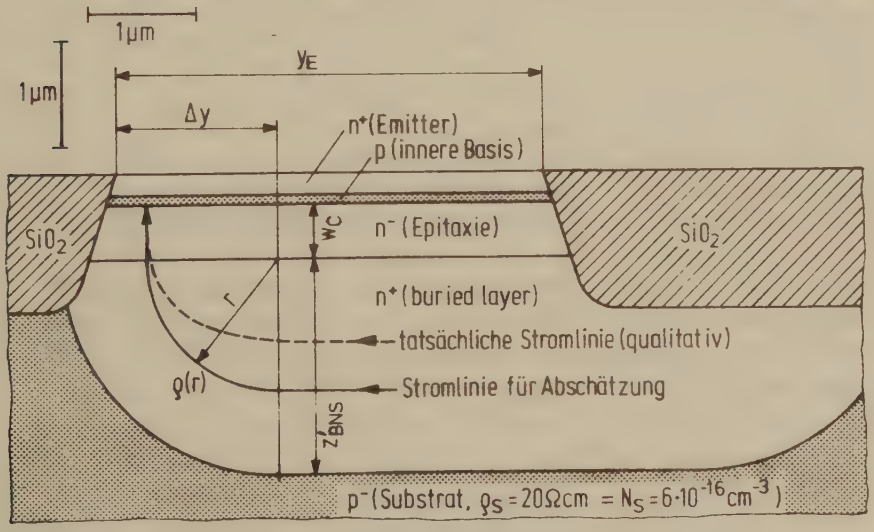


Bild 4.21: Querschnitt durch einen Transistor mit einem um $\Delta y=1,5\mu m$ fehljustierten buried layer. Vereinfachte Darstellung ohne Metallisierung und Ausdiffusion des buried layer in die Epitaxieschicht.

5) Die Stromlinien von der BC-Sperrschicht zum buried layer verlaufen am Rand des buried layer auf einem Kreisbogen konstanter Dotierungskonzentration. Der tatsächliche Verlauf ist sicher flacher und führt somit zu einem geringeren Übergangswiderstand (Bild 4.21).

Der Leitwert zwischen BC-Übergang und buried layer sei ohne Fehljustierung nach (4.72)

$$g_{Ci} = \frac{1}{r_{Ci}} = \frac{x_E y_E}{\varrho_C w_C} \quad . \tag{4.79}$$

Bei Fehljustierung um Δy erhält man

$$g'_{Ci} = \frac{1}{r'_{Ci}} = \int_{r=0}^{r=\Delta y} dg + \frac{x_E (y_E - \Delta y)}{\varrho_C w_C} \tag{4.80}$$

mit

$$\frac{1}{dg} = \varrho_C \frac{w_C}{x_E dr} + \varrho(r) \frac{\pi}{2} \frac{r}{x_E dr} \quad . \tag{4.81}$$

Mit (4.76) und der Annahme 4 wird daraus bei Normierung auf r_{Ci} nach (4.79)

$$\frac{r'_{Ci}}{r_{Ci}} = \left(1 - \frac{\Delta y}{y_E} + \frac{1}{y_E} \int_0^{\Delta y} \frac{dr}{1 + \frac{\pi r N_C}{2 w_C N_{OBN}} \exp \frac{-r^2}{L^2_{DBNS}}} \right)^{-1} \tag{4.82}$$

Diese Beziehung wurde für den ungünstigsten Fall ($N_C = 3{,}5 \cdot 10^{16} cm^{-3} \hat{=} \varrho_C = 0{,}2 \Omega cm$ und $y_E = 4 \mu m$) numerisch ausgewertet; das Ergebnis zeigt Bild 4.22. Man liest daraus ab, daß durch die in Abschn. 4.4.2 genannte maximale Fehljustierung $\Delta y = 1{,}5 \mu m$ des buried layer gegenüber dem Isolationsoxid der Fehler unter 3,5% liegt. Die Fehljustierung braucht deshalb bei der Dimensionierung der Transistoren nicht berücksichtigt zu werden.

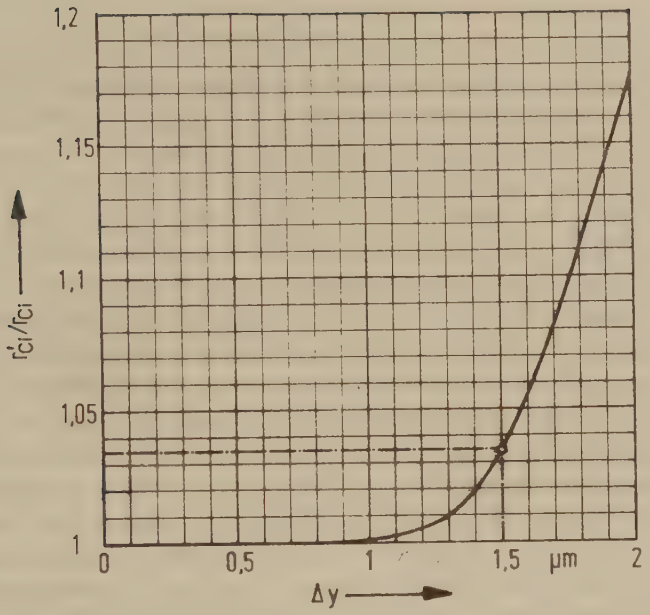


Bild 4.22: Innerer Kollektorbahnwiderstand r'_{Ci} als Funktion der Fehljustierung Δy des buried layer, normiert auf den Wert r_{Ci} bei $\Delta y=0$. Die Kurve wurde für $\varrho_C=0,2\Omega cm$ und $y_E=4\mu m$ aus (4.82) berechnet.

4.5 Optimierungsverfahren

Zu Beginn einer jeden Schaltungsoptimierung muß ein Optimierungsziel definiert werden, d.h. eine oder mehrere Schaltungseigenschaften, die erreicht werden sollen. Um möglichst nahe an dieses Ziel zu gelangen, wird zunächst eine skalare Zielfunktion formuliert, die die Abweichungen der Schaltungseigenschaften vom Optimierungsziel beschreibt. Häufig verwendet man die bewertete Quadratsumme der einzelnen Abweichungen als Zielfunktion [60, 61]. Das Optimierungsproblem reduziert sich dann darauf, mit Hilfe einer geeigneten Optimierungsroutine iterativ das globale Minimum der Zielfunktion zu finden. Dabei sind allerdings Nebenbedingungen z.B. für die technische Realisierbarkeit zu berücksichtigen. Meist werden diese Nebenbedingungen in die Optimierungsroutine einbezogen; es kann aber auch von Vorteil sein, sie in geeigneter Weise in die Zielfunktion einzuarbeiten [62] .

In dieser Arbeit ist das Ziel die Gatterlaufzeit $t_D=0$. Damit kann direkt die Gatterlaufzeit als Zielfunktion verwendet werden.

Die zu berücksichtigenden Nebenbedingungen sind technologische Grenzen, die strikt eingehalten werden müssen (Abschn. 4.2) und die Vermeidung der Sättigung, die deshalb strikt eingehalten werden soll, weil eine geringfügige Änderung einer Variablen über den zur festgelegten Sättigungsgrenze gehörigen Wert hinaus zu einer erheblichen Erhöhung von t_D führt; außerdem kann die Abhängigkeit des Sättigungsgrades von den übrigen Variablen nicht ausreichend genau beschrieben werden (Abschn. 4.3.1). Die Nebenbedingungen werden deshalb hier in der Optimierungsroutine berücksichtigt und man erhält ein iteratives Optimierungsverfahren nach Bild 4.23. Die Grundlagen für die Blöcke der Zielfunktion wurden bereits besprochen: Die Parameterberechnung erfolgt auf der Basis der in Abschn. 4.3 angegebenen Modelle nach den in Abschn. 4.4 erläuterten Verfahren. Das Simulationsverfahren ist zunächst offen. Es muß lediglich die in Abschn. 4.3 angegebenen Modelle der Bauelemente berücksichtigen. Dies kann z.B. durch ein geeignetes Programm auf dem Digitalrechner geschehen (Beispiel in Abschn. 4.4.2, Tab. 4.2 und Bild 4.20) oder, wie in Kap. 5 beschrieben wird, durch Analogsimulation. Die Grundlagen für die Optimierungsroutine werden in den folgenden zwei Abschnitten besprochen.

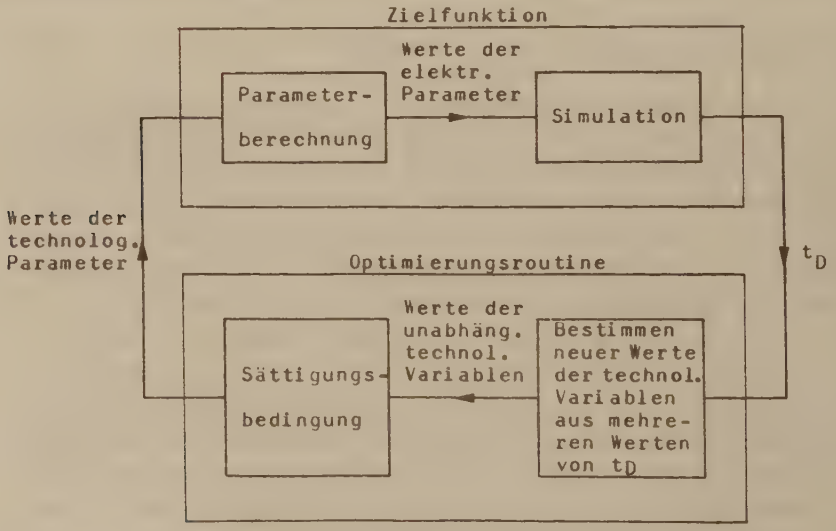


Bild 4.23: Schematische Darstellung des Verfahrens zur Minimierung der Gatterlaufzeit t_D .

4.5.1 Wahl der Optimierungsvariablen

In diesem Abschnitt soll der Übersichtlichkeit halber die Wahl der Optimierungsvariablen und ihre Begründung zusammengefaßt bzw. vervollständigt werden. Tab. 4.3 gibt eine Übersicht über die möglichen Variablen, nach der die Auswahl der zur Optimierung zu nutzenden Variablen leicht fällt.

Bei einer ersten Gruppe von Variablen ist die Festlegung trivial. So führt z.B. ein möglichst geringer Abstand zwischen Basiskontakt und Emitterrand selbstverständlich zur kürzesten Gatterlaufzeit. Solche Variablen werden bereits in Tab. 4.3 nicht berücksichtigt.

Bei den übrigen Variablen sollte man das Verhältnis zwischen Aufwand und Nutzen berücksichtigen. Ist dieses Verhältnis ungünstig, so werden die entsprechenden Variablen festgelegt: Emitter- und Basisprofil werden festgelegt weil hier eine freie Wahl wirtschaftlich nicht vertretbar wäre und weil der Einfluß auf t_D nicht ausreichend genau berechenbar ist. Die effektive Epitaxieschichtdicke sollte bei Leistungen, wo ihr Einfluß auf t_D groß ist, gering sein; sie wird daher auf den kleinstmöglichen Wert festgelegt, der sowohl eine reproduzierbare Einstellung als auch eine ausreichend genaue Berechnung des Einflusses auf t_D gestattet. Die Widerstandsmaße haben nur einen geringen Einfluß auf t_D und können deshalb so festgelegt werden, daß sich keine Toleranzprobleme ergeben. Auch die Streifenbreite der Schottky-Dioden beeinflußt t_D nur wenig. Deshalb wird am Schluß dieses Abschnittes eine grobe analytische Optimierung des Verhältnisses zwischen der Streifenbreite der Schottky-Dioden und der des Emitters vorgenommen.

Eine weitere Gruppe von Variablen sollte möglichst klein sein, um einen geringen Wert für t_D zu ermöglichen. Für diese Gruppe ergeben sich untere Grenzen durch das Schaltungskonzept und/oder die Forderung nach ausreichender Störsicherheit (Kap. 6). Zu diesen Variablen gehören die Versorgungsspannung und der Spannungshub.

Variabel bleiben danach die Größen Schaltungskonzept, spezifischer Widerstand der Epitaxieschicht ϱ_C, Breite x_E und Länge y_E des Emitterstreifens und die Anzahl n_B der Basiskontakte. Eine Sonderstellung als Variable nimmt das Schaltungskonzept ein. Da im Vergleich der Konzepte die Gatterlaufzeit nicht das einzige Kriterium dür die Auswahl ist, beschränkt sich das Optimierungsergebnis nicht auf die schnellste Schaltung. Vielmehr wird die

Tab. 4.3: Zusammenstellung der möglichen Optimierungsvariablen und ihrer Eigenschaften mit Hinweisen auf die Festlegung ihrer Werte.

Mögliche Variable	Symbol	Charakteristik	Einfluß auf t_D	Einstellbarkeit	Festlegung in Kap. bzw. Abschnitt
Schaltungskonzept	-	diskontinuierlich	+	+	3
Versorgungsspannung	U_0	kontinuierlich	+	+	6
Spannungshub	ΔU	kont./diskont.*	+	+/-*	6
Emitterprofil		kontinuierlich	+	-	4.2.2, Tab.4.1
Basisprofil		kontinuierlich	+	-	"
eff. Epitaxiedicke	w_C	kontinuierlich	+/-**	o	"
spez. Widerstand der Epitaxieschicht	ϱ_C	kontinuierlich	+	+	
Widerstandsmaße		kontinuierlich	-	+	4.2.3, Bild 4.10
Emitterstreifenlänge (=Transistorbreite y)	y_E	kontinuierlich	+	+	
Emitterstreifenbreite	x_E	kontinuierlich	+	+	
Schottky-Dioden-Streifenbreite	x_{SD}	kontinuierlich	-	+	
Anzahl Basiskontakte	n_B	diskontinuierlich	+	+	

* je nach Schaltungskonzept
** je nach Verlustleistung

+ groß bzw. leicht
o mittelmäßig
- gering bzw. schwierig

Optimierung für die im Kap. 3 beschriebenen Schaltungskonzepte getrennt durchgeführt, um einen Vergleich unter Einschluß mehrerer Auswahlkriterien zu ermöglichen. Das bedeutet aber, daß das Schaltungskonzept im Rahmen einer Optimierung fest vorgegeben ist.

Die verbleibenden Optimierungsvariablen n_B, ϱ_C, x_E, y_E zeichnen sich dadurch aus, daß sie besonders einfach einstellbar sind und einen großen Einfluß auf t_D haben. Es müssen allerdings Grenzen dieser Parameter berücksichtigt werden: Für n_B wird 1 oder 2 eingesetzt. Eine größere Anzahl von Basiskontakten bringt keine nennenswerten Vorteile. Für ϱ_C (300K) wurde in Abschn. 4.2.2, Tab. 4.1 der Bereich

$$0{,}2\Omega cm \leq \varrho_C \leq 2\Omega cm \tag{4.83}$$

festgelegt, der dem Bereich der Dotierungskonzentration

$$3.5\cdot10^{16}cm^{-3} \geq N_C \geq 2.5\cdot10^{15}cm^{-3} \tag{4.84}$$

entspricht. Für die lateralen Emittermaße wurden in Abschn. 4.2.3 untere Grenzen festgelegt:

$$x_E \geq 2\mu m\ , \tag{4.85}$$

$$y_E \geq 4\mu m\ . \tag{4.86}$$

Die einzige bisher nicht festgelegte Variable ist die Schottky-Dioden-Streifenbreite x_{SD}. Sie hat zwar nur einen geringen Einfluß auf t_D, dennoch wird eine geeignete Größenordnung für diese Streifenbreite benötigt. Soll der durch die Ersatzschaltung in Bild 4.24 dargestellte Schottky-Transistor an der Sättigungsgrenze arbeiten, so läßt sich das Verhältnis

$$x = \frac{x_{SD}}{x_E} \tag{4.87}$$

analytisch grob optimieren, wenn ϱ_C frei wählbar ist.
Nimmt man an, daß die Emittermaße konstant sind, so ist $C_{EB}+C_{DN}$ konstant und auch die Änderung von C_{CS} mit x_{SD} kann vernachlässigt werden. Die kürzeste Gatterlaufzeit erhält man mit diesem Transistor dann, wenn die Summe $C_{CB}+C_{SD}$ ein Minimum annimmt. Legt man für den flächenspezifischen Wert C' von C_{CB} und C_{SD} die Näherung

$$C' = k/\sqrt{\varrho_C} \tag{4.58}$$

zugrunde, so gilt mit (4.87)

$$C = C_{CB}+C_{SD} = k(y_E x_B + y_E x_E x)/\sqrt{\varrho_C} \quad . \tag{4.89}$$

Darin ist x_B die Länge der Basiszone, d.h. auch die von C_{CB}.

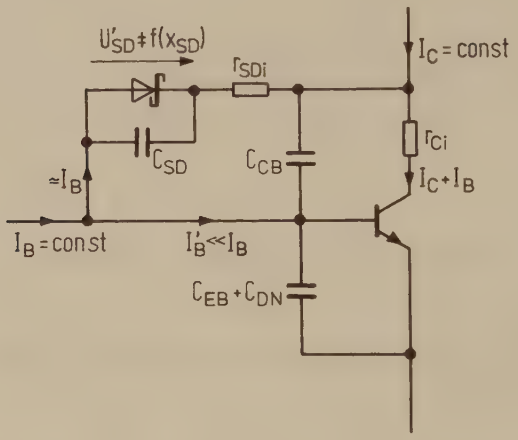


Bild 4.24: Stark vereinfachte Ersatzschaltung eines Schottky-Transistors.

Vernachlässigt man die geringe Abhängigkeit der Spannung U'_{SD} von x_{SD}, so darf man annehmen, daß die Summe U der Spannungen an r_{Ci} und r_{SDi} unabhängig von ϱ_C ist, wenn der Transistor an der Sättigungsgrenze betrieben wird:

$$U = \frac{\varrho_C}{x_E y_E}\left[w_C(I_C+I_B)+\frac{z_{SD}}{x} I_B\right] = \text{const} \quad . \tag{4.90}$$

Löst man diese Gleichung nach ϱ_C auf und setzt sie in (4.89) ein, so erhält man C als Funktion von x. Das Minimum dieser Funktion wird bei

$$x = \frac{z_{SD}}{4k_I w_C}\left(\sqrt{1-8\frac{x_B}{x_E}\frac{w_C}{z_{SD}}k_I}-1\right) \tag{4.91}$$

mit

$$k_I = \frac{I_C + I_B}{I_B} \tag{4.92}$$

erreicht. Setzt man für die verschiedenen Schaltungen k_I entsprechend dem Stromverhältnis an der Sättigungsgrenze ein und verwendet im übrigen die durch die Basistechnologie vorgegebenen Maße, so liegt x im Bereich 1... 1,5. Aufgrund dieses relativ engen Bereiches lohnt sich eine individuelle Optimierung nicht und es wird für diese Arbeit

$$x = 1{,}5 \tag{4.93}$$

festgelegt. Die Wahl der oberen Bereichsgrenze ist insofern sinnvoll, als man bei höheren Verlustleistungen häufig an die Grenze ϱ_C=0,2Ωcm stößt und den mit x verbundenen Optimalwert für ϱ_C u.U. nicht mehr einstellen kann.

4.5.2 Lage des Optimums im Variablenraum

Bei der folgenden Betrachtung des Variablenraumes soll die Variable n_B (Anzahl der Basiskontakte) ausgeschlossen werden. Sie kann ohnehin nicht in eine iterative Optimierungsroutine eingefügt werden, weil diese dann i.a. nicht konvergieren würde. Es verbleiben also die drei Variablen N_C (bzw. ϱ_C), x_E und y_E, deren Grenzen durch (4.84) bis (4.86) gegeben sind. Eine weitere Begrenzung des Variablenraumes ist durch die Forderung nach Vermeidung der Sättigung gegeben. Zur Diskussion dieser Grenze dient Bild 4.25.

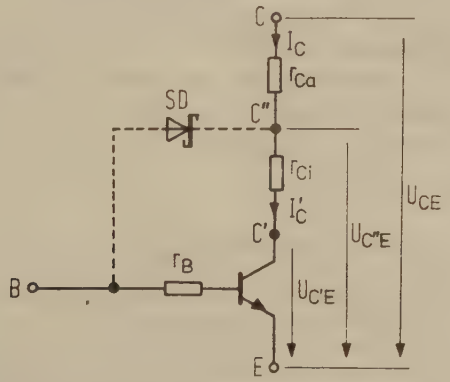


Bild 4.25: Gleichspannungsersatzschaltbild eines Transistors bzw. Schottky-Transistors (gestrichelte Ergänzung) zur Diskussion der Sättigungsbedingung.

Die kritische Stromdichte j_S, oberhalb der der Sättigungsbereich einsetzt, ist allgemein von mehreren Größen abhängig:

$$j_S = j_S(N_C, w_C, U_{C''E}, T) \quad . \tag{4.94}$$

Bei der Dimensionierung des Transistors ist für T die Temperatur T_S einzusetzen, bei der die Sättigungsgrenze am ehesten erreicht wird. Bei den in dieser Arbeit untersuchten Schaltungen ist dies die höchste Betriebstemperatur

$$T_S = 350K \quad . \tag{4.95}$$

Für diese Temperatur muß auch die Spannung $U_{C''E}$ berechnet werden; sie wird durch das Schaltungskonzept bestimmt, bei Verwendung von Clamp-Dioden direkt, da diese am Knoten C" (Bild 4.25) angreifen, ansonsten indirekt dadurch, daß U_{CE} vorgegeben ist und der Spannungsabfall an r_{Ca} (aufgrund der zugrundegelegten tiefen Kollektorkontakt-Diffusion) gering ist.

Die in dieser Arbeit verwendete Sättigungsbedingung wurde bereits in Abschn. 4.3.1 erläutert. Danach muß sich bei $T = T_S$ aus $U_{C''E}$ und $r_{Ci} I_C'$ die konstante Spannung

$$U_{C'ES} = U_{C''E} - r_{Ci} I_C' \tag{4.96}$$

entsprechend (4.19),(4.20) ergeben, d.h. auch die Spannung

$$U_{rci} = r_{Ci} I_C' \tag{4.97}$$

an r_{Ci} und damit die elektrische Feldstärke E im Kollektorbahngebiet

$$E = U_{rci} / w_C \tag{4.98}$$

sind an der Sättigungsgrenze konstant.

Für ein vorgegebenes Schaltungskonzept erhält man durch die Einhaltung der Sättigungsbedingung $j < j_S$ bei $T = T_S$ nun zusätzlich zu den Grenzen nach (4.85), (4.86) mit

$$j_S = E/\varrho_C = q \mu_n N_C E \tag{4.99}$$

eine untere Grenze für die Emitterfläche A_E:

$$A_E = x_E y_E = \frac{I_C'}{j_S} \geq \frac{I_C' w_C}{q \mu_n N_C U_{rci}} = A_{Emin} \quad . \tag{4.100}$$

In (4.100) hängt I_C' (annähernd proportional) von der jeweiligen Verlustleistung P des Gatters ab.

Wie oben erwähnt, ist die Feldstärke E im Kollektorbahngebiet konstant, so daß die Feldstärkeabhängigkeit der Beweglichkeit μ_n an der Sättigungsgrenze nicht berücksichtigt zu werden braucht; da weiter die Abhängigkeit der Beweglichkeit von der Dotierungskonzentration N_C hinreichend schwach ist, fällt A_E sicher streng monoton mit steigendem N_C und man kann den zulässigen Variablenraum (N_C, x_E, y_E) anschaulich wie in Bild 4.26 darstellen.

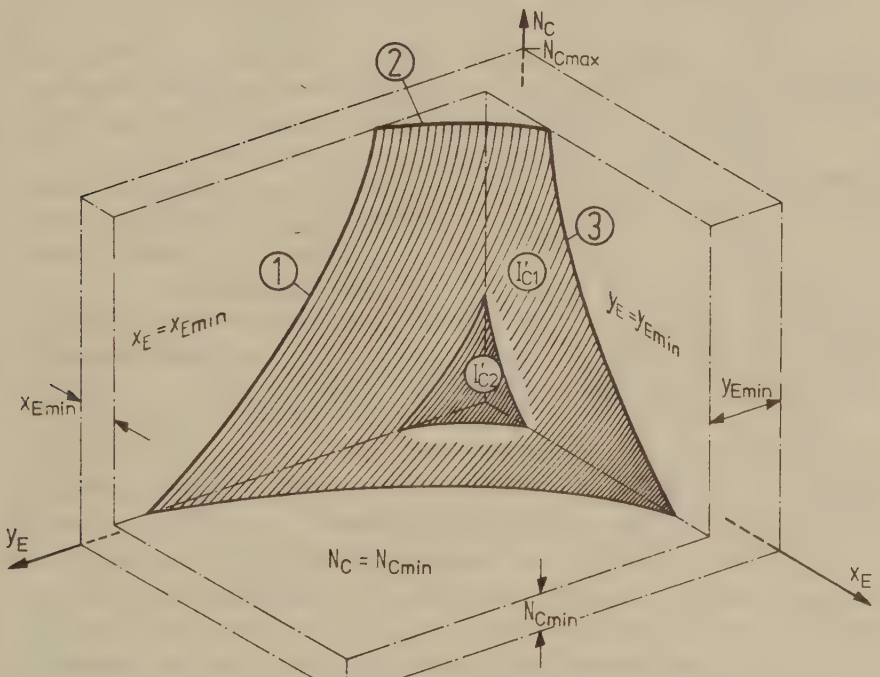


Bild 4.26: Zulässiger Bereich für die Optimierungsvariablen N_C, x_E und y_E. Die obere Abdeckung dieses Raumes durch $N_C \leq N_{Cmax}$ wurde nicht dargestellt. Die gewölbte Fläche ist durch die Sättigungsbedingung gegeben; sie ist für zwei Verlustleistungen P_1 und P_2 bzw. zwei Ströme $I'_{C1} > I'_{C2}$ eingezeichnet und verschwindet bei hinreichend kleiner Leistung im Punkt (N_{Cmin}, x_{Emin}, y_{Emin}).

Das größte Problem bei der Optimierung besteht nun darin, in diesem großen, bezüglich A_E nach oben nicht begrenzten Raum nicht nur ein lokales, sondern das globale Minimum der Gatterlaufzeit t_D zu finden. Um die Suche zu vereinfachen, sollte man sie auf den Bereich beschränken, in dem möglicherweise das Optimum (N_{CO}, x_{EO}, y_{EO}) liegt, bei dem t_{Dmin} erreicht wird. Diese weitere Einschränkung muß auf analytischem Wege durchgeführt werden, damit sie allgemein oder doch zumindestens für die in dieser Arbeit untersuchten Schaltungskonzepte gültig ist.

Durch Empfindlichkeitsanalysen konnte gezeigt werden, daß sich die Gatterlaufzeit t_D in guter Näherung durch

$$t_D = k_7[k_2(1+k_1\frac{\overline{r}_B}{R})\tau_N+k_3(1+k_1\frac{\overline{r}_B}{R})R\overline{C}_{EB}+k_4R\overline{C}_C+k_5R\overline{C}_{CS}+k_6R\overline{C}_R] \quad (4.101)$$

ausdrücken läßt (Abschn. 6.1.3). Darin werden jeweils die Mittelwerte der Sperrschichtkapazitäten eingesetzt; $\overline{C}_C$ ist die Summe aus $\overline{C}_{CBa}$, ggf. $\overline{C}_{SD}$ und dem entsprechend (4.54) modifizierten Wert $\overline{C}^*_{CBi}$ von C_{CBi}, $\overline{r}_B$ ist der Mittelwert zwischen r_{Bein} und r_{Baus}; R ist ein willkürlich festgelegter Bezugswiderstand, der umgekehrt proportional zur Verlustleistung P (pro Gatter) ist. Die Faktoren k_1 bis k_7 erwiesen sich als konstant für weite Bereiche der elektrischen Parameter in (4.101) und der Verlustleistung P.

Drückt man die elektrischen Parameter in (4.101) durch die Optimierungsvariablen aus (Anhang, Abschn. A2.1), so erhält man einen analytischen Ausdruck für die Zielfunktion:

$$t_D = t_D(N_C, x_E, y_E) \; . \quad (4.102)$$

Im Anhang A2, Abschn. A2.2 wird gezeigt, daß das globale Minimum von (4.102) nur auf den in Bild 4.26 durch (1), (2) und möglicherweise (3) gekennzeichneten Schnittkurven der Grenzflächen liegen kann. Dabei genügte als Voraussetzung, daß die Faktoren k_1 bis k_7 in (4.101) in kleinen Bereichen der Optimierungsvariablen als konstant betrachtet werden können. Im übrigen wurden Voraussetzungen gemacht, die für das Schaltungskonzept und die Basistechnologie weit größere Spielräume zulassen, als es für diese Arbeit notwendig ist.

Der Bereich (N_C, x_E, y_E), in dem das Optimum (N_{CO}, x_{EO}, y_{EO}) gesucht werden muß, ist damit drastisch eingeschränkt. Das ermöglicht eine erhebliche Vereinfachung der Optimierungsroutine zum

Auffinden des globalen Minimums t_{Dmin} von t_D.

4.5.3 Optimierungsroutine

Zum Auffinden des globalen Minimums der Zielfunktion (4.104) wird eine geeignete Optimierungsroutine benötigt. Gradientenverfahren, wie sie meist in automatischen Suchroutinen verwendet werden [60 – 64] , erfordern große Anzahlen von Simulationsläufen. Solche Verfahren sind erfreulicherweise für das vorliegende Optimierungsproblem überflüssig, denn die Suchrichtung im Variablenraum ist durch die Kurven (1), (2) und (3) in Bild 4.26 vorgegeben (Abschn. 4.5.2, Anhang A2).

Ein Hauptproblem der meisten Optimierungsverfahren ist die Entscheidung, ob es sich bei einem aufgefundenen Minimum um das globale oder nur ein lokales Minimum handelt. Oft geht man deshalb so vor, daß man den gesamten infragekommenden Variablenraum zunächst schrittweise absucht (pattern-seach-Verfahren) und anschliessend in der Umgebung des dabei gefundenen Optimums gezielt das globale Minimum sucht. Selbst bei einem Variablenraum, der so drastisch eingeschränkt ist, wie es hier der Fall ist (Abschn. 4.5.2), wäre so noch eine Vielzahl von Simulationsläufen nötig, um sicher das globale Minimum zu finden.

Für das vorliegende Optimierungsproblem wurde daher durch Fortsetzung des Beweises aus Abschn. A2.2 die Lage des globalen Minimums untersucht (Abschn. A2.3). Dabei zeigte sich, daß es auf jeder der Kurven (1), (2) und (3) in Bild 4.26 höchstens ein lokales Minimum gibt und daß das erste lokale Minimum, das man findet, wenn man diesen Kurvenzug in der Reihenfolge (1)-(2)-(3) untersucht, bereits das globale Minimum ist. Der Optimierungsaufwand für eine einzelne Schaltung bei einer vorgegebenen Verlustleistung schrumpft damit auf wenige Simulationsläufe zusammen.

5 Simulationsverfahren

Für die Optimierung einer Schaltung entsprechend Abschn. 4.5.3 sind bereits einige Läufe zur Simulation des Schaltverhaltens notwendig. Diese Optimierung wurde im Rahmen dieser Arbeit für eine Reihe von Schaltungen (Bild 3.1) bei je mehreren Verlustleistungen und für je zwei verschiedene Transistorstrukturen durchgeführt.

Darüber hinaus wurden in ähnlichem Umfang Voruntersuchungen angestellt, die zum Verständnis der untersuchten Schaltungen beitragen sollten [6 , 14 , 16] oder der Weiterentwicklung der Transistormodelle dienten [47].

Insgesamt war also zur Erstellung dieser Arbeit ein erheblicher Simulationsaufwand zu erwarten. Die Entwicklung eines geeigneten Simulationsverfahrens war deshalb sinnvoll, zumal dessen Anwendungsbereich weit über diese Arbeit hinausragt.

5.1 Forderungen an das Simulationsverfahren

Die Forderungen an ein für diese Arbeit geeignetes Simulationsverfahren lassen sich kurz zusammenfassen.

Vorrangig sollte das Verfahren eine schnelle und wirtschaftliche Durchführung der Simulationsaufgaben ermöglichen. Darüber hinaus ist es wünschenswert, den Einfluß einzelner Parameter auf das Verhalten einer Schaltung schnell und einprägsam erfassen zu können, da dies ein leichtes Verstehen der Schaltungseigenschaften gestattet. So können Simulationsfehler (meist Programmierfehler) weitgehend ausgeschlossen werden; außerdem führt dieses Verstehen oft zu kleinen aber wirksamen Änderungen der Schaltung und ihrer Dimensionierung.

Bei der Aufstellung der Genauigkeitsanforderungen an das Simulationsverfahren sollte man sich an anderen Fehlerquellen orientieren:

1) Die notwendigen Vereinfachungen bei der Modellbildung führen zu gewissen Ungenauigkeiten.
2) Die der Simulation zugrundeliegenden elektrischen Parameter sind mit Fehlern behaftet. Bestimmt man sie aus technologischen und physikalischen Parametern, so ergeben sich Fehler aufgrund der Unsicherheiten bezüglich der Kenntnis der technologischen Daten und/oder der physikalischen Zusammenhänge.

3) Dort, wo diese Unsicherheit zu groß war, wurden Messungen an Teststrukturen zur Bestimmung der elektrischen Parameter zur Hilfe genommen (z.B. bei τ_N, C'_{EB}, r_{sBi}, $U_{C'ES}$); in diesem Falle sind Meßfehler zu berücksichtigen.

Der Simulationsfehler darf also durchaus einige % betragen, was sowohl mit digitalen als auch analogen Rechenverfahren problemlos erreichbar ist.

5.2 Vergleich zwischen Digitalrechner und speziellem Analogrechner zur Schaltungssimulation

Zur Schaltungssimulation werden heute fast ausschließlich größere Digitalrechner mit geeigneten Analyseprogrammen verwendet. Aufgrund des hohen Arbeitsaufwandes und der Vielfalt benötigter Spezialkenntnisse für die Erstellung eines solchen Programmes liegen in der Regel Programmentwicklung, Modellentwicklung (device modeling) und Schaltungsentwicklung (d.h. Anwendung) in verschiedenen Händen. Da sich der Arbeitsaufwand durch Einschränkung auf einen begrenzten Anwendungsbereich kaum verringert, bemüht man sich in der Regel, bei Programm- und Modellerstellung einen weiten Anwendungsbereich zu erfassen.

Grundsätzlich anders sind die Verhältnisse beim Analogrechner. Hier ist ein Gerät für einen weiten Anwendungsbereich wirtschaftlich indiskutabel. Allerdings reduziert sich beim Analogrechner der Entwicklungs- und Materialaufwand durch Einschränkung auf spezielle Anwendungsbereiche so weit, daß die Entwicklung für einen bestimmten Problemkreis durch den Anwender selbst oft möglich und sinnvoll ist.

Weitere grundsätzliche Unterschiede zwischen Digitalrechner und Analogrechner gibt es hinsichtlich Rechengeschwindigkeit und -genauigkeit. Hier steht die vernachlässigbar kurze Rechenzeit und der merkliche Rechenfehler des Analogrechners der erheblichen Rechenzeit und dem vernachlässigbarem Rechenfehler des Digitalrechners gegenüber; allerdings kann die Rechengenauigkeit des Digitalrechners bei der Simulation nichtlinearer Schaltungen nicht genutzt werden, da dann unzumutbar lange Rechenzeiten anfallen.

Begrenzt man den Anwendungsbereich auf ungesättigte Bipolarschaltungen, so ergibt sich aus den angesprochenen grundsätzlichen

Unterschieden folgender Vergleich zwischen Digitalrechner und Analogrechner zur Simulation von Schaltvorgängen:

1) Zugriff: Die Beschaffung von Netzwerkanalyseprogrammen ist heute kein Problem mehr [65 66]. Allerdings sind für den Betrieb dieser Programme mittlere bis große Rechner notwendig. Hierdurch ergeben sich erhebliche Zugriffsprobleme. Zwar steht ein Großrechner heute jedermann zur Verfügung (z.B. in kommerziellen Rechenzentren), aber man muß ihn in der Regel mit vielen Anwendern teilen, sodaß es als Normalfall angesehen werden kann, wenn man (wie an der Ruhr-Universität Bochum) durchschnittlich einen Tag auf das Simulationsergebnis für eine einfache Schaltung wartet. Bei mittleren Rechnern sind die Verhältnisse nicht grundsätzlich anders. Hier dauert der Simulationslauf u.U. mehrere Stunden und die durchschnittliche Wartezeit wird dadurch hoch, daß man kaum grundsätzlich höchste Priorität für die Benutzung des Rechners erwarten kann.

2) Programmieraufwand: Eingabedaten für ein Netzwerkanalyseprogramm werden mit etwa einer Zeile pro Bauelement geschrieben (z.T. ist die arbeitssparende Erstellung von Unterprogrammen möglich). Beim Analogrechner werden die topologischen Daten durch Stecken der Schaltung, die elektrischen durch Einstellung von Schaltern und geeichten Potentiometern eingestellt. Der Arbeitsaufwand für die erste Einstellung eines Datensatzes einer Schaltung ist also in beiden Fällen etwa gleich. Unterschiede ergeben sich bei einer Parameteränderung. Hier ist für das Netzwerkanalyseprogramm mindestens eine Zeile neu zu schreiben und anschliessend meist der gesamte Datensatz neu einzulesen. Dagegen genügt beim Analogrechner die Neueinstellung eines Schalters oder Potentiometers, die sich sofort auf das Ergebnis auswirkt.

3) Rechenzeit: Die Rechenzeit eines Digitalrechners für eine dynamische Simulation einer einfachen Schaltung liegt zwischen einigen Minuten (Großrechner) und einigen Stunden (Mittlerer Rechner). Allerdings ist die durchschnittliche Bearbeitungsdauer aufgrund des schlechten Zugriffs wesentlich höher (siehe Punkt 1); selbst bei überdurchschnittlich gutem Zugriff muß man mit einer Wartezeit in der Größenordnung einer Stunde rechnen. Beim Analogrechner ist die Rechenzeit vernachlässigbar

und eine Wartezeit entsteht schlimmstenfalls vor dem Programmieren, nicht aber zwischen Programmieren und Ablesen der Ergebnisse.

4) Kosten: Hier ist ein Vergleich schwierig, da man in der Regel keinen Digitalrechner allein für die Schaltungsanalyse anschafft. Allerdings ist für die Beschaffung eines Netzwerkanalyseprogramms meist mit Kosten zu rechnen, die vergleichbar mit denen sind, die beim Bau eines Analogrechners , wie er für diese Arbeit benutzt wurde, anfallen. Die Materialkosten für das in [43, 67-69] beschriebene Gerät mit 20 Analogtransistoren und 12 Analog-Schottky-Dioden[1] beliefen sich auf ca. DM 7.500,-; mit einem Betrag gleicher Größenordnung muß man für den Aufbau rechnen. Eindeutiger ist der Vergleich bezüglich der Betriebskosten. Während man bei der dynamischen Simulation einer Schaltung mit 20 Transistoren auf einem schnellen Großrechner mit einem schnellen Programm mit z.B. DM 60,- pro Lauf rechnen muß (300s CPU-Zeit für DM -,20/s [70]), sind die Betriebskosten des Analogrechners vernachlässigbar.

5) Lerneffekt: Der gute Zugriff, der geringe Aufwand für Parameteränderungen, die vernachlässigbare Rechenzeit (und Betriebskosten) sowie die übersichtliche Darstellung des Ergebnisses auf einem Oszilloskop ergeben als Hauptvorteil des Analogrechners die hervorragende Erlernbarkeit des Verhaltens einer Schaltung. Es gibt beim Analogrechner nämlich die Möglichkeit, während der Änderung eines Parameters (gleichzeitig) den Einfluß dieser Änderung auf das Ergebnis zu beobachten. Und diesem "spielenden" Erlernen des Verhaltens einer Schaltung stehen Zeit- und Kostengründe nicht im Wege.

6) Einarbeitungszeit: Das reine Erlernen des Programmierens wäre bei beiden Verfahren etwa gleich aufwendig, wenn der Anwendungsbereich für beide Verfahren gleich wäre. Da aber Netzwerkanalyseprogramme für einen weiteren Anwendungsbereich erstellt werden, ist das Erlernen des Programmierens hier natürlich schwieriger. Hinzu kommt bei den Analyseprogrammen, daß jedes Programm eine Reihe von Eigenarten hat, die nicht in der Programmieranleitung verzeichnet sind und deren Erlernen mit sehr großem Zeitaufwand verbunden ist. Beispielsweise wird in SPICE 2 [53] teilweise der Wert Null nicht akzeptiert, ein

1) Inzwischen wurde das Gerät erheblich erweitert (Absch. 5.3.3).

Mangel der sich durch Eingabe sehr kleiner Werte leicht umgehen läßt, den man aber u.U. erst sehr spät bemerkt.

7) Zuverlässigkeit: Beim Analogrechner ist hin und wieder ein Abgleich erforderlich, der allerdings mit Hilfe eines speziellen Testgerätes sehr schnell erfolgen kann. Zusätzlich muß man mit elektrischen Fehlern rechnen, wobei allerdings im Mittel zwischen zwei Ausfällen einige tausend Simulationen durchgeführt werden können. Wesentlich erheblichere Zuverlässigkeitsprobleme ergeben sich bei Netzwerkanalyseprogrammen. Hier treten häufig Konvergenzschwierigkeiten auf, die oft nur mit einem erheblichen Zeitaufwand beseitigt werden können. Obwohl oft behauptet wird, daß die "Kinderkrankheiten" von Analyseprogrammen heute weitgehend beseitigt sind, waren z.B. für die mit SPICE 2 durchgeführten zwei Simulationen in Abschn. 4.4.2 (Tab. 4.2, Bild 4.19, 4.20) insgesamt 18 Simulationsläufe nötig, bevor befriedigende Ergebnisse vorlagen. Dabei handelte es sich um eine relativ neue Version (E.3, 20.Apr.1979) von SPICE 2, das als schnell und gut konvergierend bekannt ist [65,66]. (Schließlich führten geringe Parameteränderungen zur Konvergenz; nicht aber Änderungen des Iterationsalgorithmus).

8) Genauigkeit: Hinsichtlich der Genauigkeit lassen beide Verfahren i.a. keine Wünsche offen. Bei dem in Abschn. 5.3 beschriebenen Analogrechner ist die Einstellung der Parameter mit kleinen Fehlern behaftet. Bei der Analyse des Schaltverhaltens mit dem Digitalrechner ergeben sich Integrationsfehler, die insbesondere während der Schaltvorgänge merkliche Werte erreichen, wenn die Zeitschrittweite so groß ist, daß die Rechenzeiten in vertretbaren Grenzen bleiben [65,66]. An dieser Stelle sei daran erinnert, daß sich dieser Vergleich auf ungesättigte (digitale) Bipolarschaltungen beschränkt; hier wird die Genauigkeit der Analogsimulation nur unwesentlich dadurch vermindert, daß z.B. die Wertebereiche der elektrischen Größen im Vergleich zur Digitalsimulation erheblich eingeschränkt sind, oder dadurch, daß die Nichtlinearität vieler Parameter (z.B. der Sperrschichtkapazitäten, vgl. Abschn.4.4.2, Bild 4.20) nicht berücksichtigt werden kann. Allerdings gibt es eine recht einfache Möglichkeit, gerade die starke Nichtlinearität von Diffusionsleitwerten und -kapazitäten sehr exakt nachzubilden (Abschn. 5.3.6).

Würde man den Vergleich etwa auf MOS-Schaltungen oder Verstärker (mit einem sehr hohem Verhältnis zwischen Ausgangs- und Eingangsströmen bzw. Spannungen) erweitern, so würden sich rasch die Grenzen der Analogsimulation zeigen.

Faßt man den Vergleich zusammen, so zeigt sich, daß einer Reihe von erheblichen Vorteilen der Analogsimulation als einziger wesentlicher Nachteil der eingeschränkte Anwendungsbereich gegenübersteht. Da dieser Nachteil für die vorliegende Arbeit ohne Bedeutung war, wurde der im folgenden Abschnitt beschriebene Analogrechner entwickelt.

5.3 Ein spezieller Analogrechner zur Simulation ungesättigter Bipolarschaltungen

5.3.1 Vorbemerkung

Wesentlicher Bestandteil der vorliegenden Arbeit war die Entwicklung des in den folgenden Abschnitten beschriebenen Analogrechners. Obwohl bereits zu Beginn dieser Arbeit geeignete Netzwerkanalyseprogramme bekannt waren und auch zur Verfügung standen, gab es einige gute Gründe für diese Entwicklung:

1) Ziel der Arbeit war die Untersuchung (Kap. 6), der Vergleich (Kap. 7) und das Herausfinden künftiger Entwicklungsmöglichkeiten (Kap. 8) einer Reihe von Subnanosekunden-Schaltungen (Kap. 3). Zum Erreichen dieses Ziels war ein Simulationsaufwand zu erwarten, der bei normalen Zugriffsmöglichkeiten auf einen geeigneten Digitalrechner bereits extrem hoch wäre und bei den Zugriffsmöglichkeiten an der Ruhr-Universität Bochum das Vorhaben sogar unmöglich gemacht hätte.

2) Für die anstehenden Simulationen genügten relativ einfache Bauelementemodelle (Abschn. 4.3).

3) Es existierten bereits eine Reihe von Vorarbeiten [71 - 73] und ein erprobtes Konzept [74, 3] für einen solchen Analogrechner. Davon ausgehend konnte ein Gerät mit gutem Bedienungskomfort und ausreichender Genauigkeit entwickelt werden.

Die Beschreibung des Analogrechners erfolgte nur in groben Zügen; ergänzende Hinweise sind im Anhang A3 zusammengestellt. Darüberhinaus gibt es ein Handbuch mit Bedienungsanleitung und aus-

führlicher Beschreibung von Funktion, Aufbau, Test und Reparatur des Analogrechners [75] .

5.3.2 Prinzip des Analogrechners

Der Analogrechner besteht aus einer geeigneten (variablen) Zusammenstellung von Analogmodellen der Bauelemente der zu simulierenden Schaltung. Diese Analogmodelle werden durch Laborleitungen zur gewünschten Schaltung verbunden. Damit diese Leitungen keinen merklichen Einfluß auf das Verhalten der so entstehenden Analogschaltung haben und damit eine Erfassung des dynamischen Verhaltens der Schaltung mit einfachen Meßgeräten erfolgen kann, werden alle zeitbestimmenden Parameter (Kapazitäten, Induktivitäten, Laufzeiten) im wählbaren Maßstab um 10^6:1 transformiert.

Der Strommaßstab ist in einem weiten Bereich wählbar; allerdings wurden die in Tab.5.2 genannten Parameter-Einstellbereiche für einen Strommaßstab von 1:1 und einen Zeitmaßstab von 10^6:1 ausgelegt.

Der Spannungsmaßstab ist auf 1:1 festgelegt. Dadurch ist es möglich, auf einfache Weise die exponentielle Abhängigkeit der Ströme und Minoritätenladungen von Bipolartransistoren und Dioden mit einem Transistor zu realisieren (Abschn. 5.3.6, 5.3.7).

5.3.3 Aufbau des Analogrechners

Der Analogrechner besteht je nach Bedarf aus einem oder mehreren Grundgeräten mit je zwölf Einschubstellen und je einem Netzteil zur Versorgung von zwölf Einschüben. Die Einschübe sind Doppel-Europakarten mit einer Bedienungsfrontplatte und mit einer Abdeckplatte zum mechanischen Schutz. Die Einschübe sind nach Funktionen getrennt:

1) Versorgungseinschub (Abschn. 5.3.5) mit mehreren einstellbaren Spannungs- und Stromquellen zur Versorgung der zu simulierenden Schaltung sowie einstellbaren und festen Referenzspannungsquellen, die für einige andere Einschübe benötigt werden,

2) Transistoreinschübe (Abschn. 5.3.6) zur Nachbildung des Ein-Transistor-Modells nach Bild 4.14 oder des Zwei-Transistor-Modells nach Bild 4.15,

3) Schottky-Dioden-Einschub (Abschn. 5.3.7) mit sechs Analog-Schottky-Dioden, die dem Modell nach Bild 4.16 entsprechen,

4) Einschub mit vier Analogkapazitäten und sechs Widerständen (Abschn. 5.3.8),

5) Induktivitäteneinschub mit sechs Analoginduktivitäten (Abschn. 5.3.8),

6) Einschub mit fünf Schaltungen zur Stromtransformation (Abschn. 5.3.9),

7) Auswertungseinschub mit verschiedenen Hilfsschaltungen, die die Auswertung erleichtern (Abschn. 5.3.9).

Bild 5.1 zeigt als Beispiel ein Grundgerät, das von links nach rechts mit folgenden Einschüben bestückt ist: Versorgungseinschub, Auswertungseinschub, Induktivitäteneinschub, Einschub mit Analog-Kapazitäten und Widerständen, Schottky-Dioden-Einschub und sieben Transistoreinschübe (einmal eine einfache, dreimal eine verbesserte Version des Ein-Transistor-Modells und dreimal das Zwei-Transistor-Modell).

Man erkennt auf den oberen Teilen der Frontplatten die Bedienungselemente zur geeichten Einstellung der elektrischen Parameter der Analogbauelemente und auf den unteren Teilen die 2mm-Buchsen zur Verbindung der Einschübe untereinander, d.h. zur topologischen Programmierung der zu simulierenden Schaltung.

Die gewählte Bauform bietet folgende Möglichkeiten:

1) Anpassung des Analogrechners an Art und Umfang der zu simulierenden Schaltungen.

2) Verbesserung durch Entwicklung neuer Einschübe; ein Beispiel für diese Weiterentwicklung sind die verschiedenen Entwicklungsstufen der in Bild 5.1 gezeigten Transistoreinschübe, die von einer ersten Version des Ein-Transistor-Modells bis zum Zwei-Transistor-Modell reichen.

3) Rationelle Herstellung und Wartung des Analogrechners.

Ergänzt wird der Analogrechner, mit dem ja in erster Linie nur die zu simulierende Schaltung nachgebildet wird, durch laborübliche Meßgeräte: So genügt zur Ansteuerung der Analogschaltung ein langsamer Funktionsgenerator (für Linearschaltungen) bzw. Impulsgenerator (für Digitalschaltungen). Zur Auswertung eignen sich ein langsames Zweikanaloszilloskop und ein einfaches Multimeter. Will man Übertragungskennlinien darstellen (Gleichspannung, Frequenzgang), so

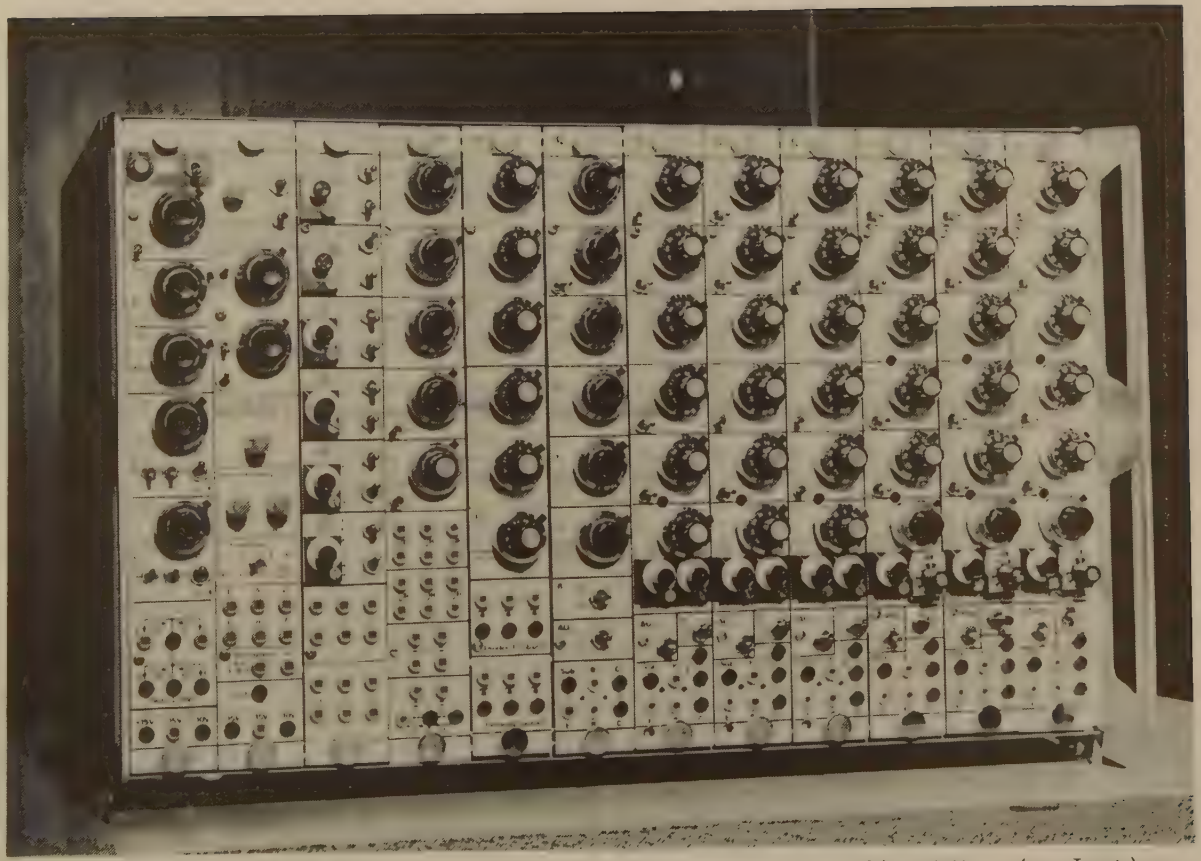


Bild 5.1: Ein Grundgerat des Analogrechners mit verschiedenen Einschuben (s. Text).

benötigt man zusätzlich einen xy-Schreiber oder man verwendet, wie im vorliegenden Fall ein Oszilloskop mit Speicherschirm.

Auch für Test und Abgleich der Analogbauelemente genügen laborübliche Geräte; allerdings lohnt sich i.a. der Aufbau eines einfachen, speziellen Testgerätes [78,75], das diese Arbeiten außerordentlich erleichtert.

Der Ausbauzustand des für diese Arbeit benutzten Analogrechners ist durch folgende Zahlen gekennzeichnet:

3 Grundgeräte mit je einem Versorgungseinschub und je 11 verbleibenden Einschubstellen,
28 Transistoren, davon 6 nach dem Zwei-Transistor-Modell,
24 Schottky-Dioden,
12 Kapazitäten,
54 Widerstände, davon 2x12 in zwei separaten Gehäusen und 2x6 in zwei bisher nicht genannten Einschüben,
6 Induktivitäten.

Dieser Ausbauzustand genügt, um Schaltungen zu simulieren, bei deren Komplexität eine Optimierung noch sinnvoll ist.

5.3.4 Grundgerät mit Netzteil

Das Grundgerät besteht aus einem 19"-Gehäuse (Bild 5.1) mit einem Netzteil zur Versorgung von 12 Einschüben. Auf der Rückseite befinden sich drei Netzsteckdosen zum Anschluß weiterer Grundgeräte oder Meßgeräte.

Um Platz- und Wärmeabfuhrprobleme zu umgehen, wurde ein Schaltnetzteil mit Sperrwandler [76] verwendet. Für die 12 Einschübe werden zwei Versorgungsspannungen (±16V, Anhang A3.1) und eine Leistung bis zu 62W benötigt. Mit einem konventionellen Netzteil erreicht man kaum einen Wirkungsgrad über 40%, sodaß die maximal aufgenommene Leistung über 155W liegen würde. In Verbindung mit der Baugröße eines solchen Netzteils führt dies zu erheblichen Schwierigkeiten, wenn man das Netzteil mit im Grundgerät unterbringen wollte. Das verwendete Schaltnetzteil ist wesentlich kleiner und hat einen Wirkungsgrad von 80% bei Vollast und nimmt damit 77,5W auf. Dies ermöglicht den Einbau im Grundgerät, ohne daß Platzprobleme auftreten und ohne daß ein Ventilator für die Wärmeabfuhr notwendig ist.

5.3.5 Versorgungseinschub

Der Versorgungseinschub enthält Spannungs- und Stromquellen zur Versorgung der zu simulierenden Schaltung, stabile Referenzspannungsquellen zur internen Versorgung anderer Einschübe, variable Spannungsquellen, mit deren Hilfe die BE-Spannung von Analogtransistoren variiert werden kann (Abschn. 5.3.6), sowie Netzschalter und Kontrollampe für das Grundgerät (Bild 5.1).

Die Quellen zur Versorgung der Analogschaltung arbeiten je nach Schalterstellung entweder als Spannungs- oder als Stromquelle. Die Eigenschaften dieser Quellen können Tab. 5.1 entnommen werden.

Tab. 5.1: Eigenschaften der Quellen zur Versorgung der Analogschaltung.

	Betriebsart	
	Spannungsquellen	Stromquellen
Anzahl der Quellen	2	4
Anzahl der Werte	$2(U_1, U_2)$	$2(I_1, I_2)$
Einstellbereiche	$\pm$1V, $\pm$10V	$\pm$1mA, $\pm$10mA
Max. Fehlerbetrag	2%+4,3mV	0,9%
Arbeitsbereich	-100mA...+100mA	-10V...+10V

Die Einstellung der Beträge erfolgt durch 10-Gang-Potentiometer mit geeichter Skala, Vorzeichen und Bereich werden durch Schalter eingestellt (Bild 5.1).

Die Spannungswerte der Referenzspannungen sind

$$U_{10} = 10V \pm 0{,}1mV \quad (-30...+100mA)\ , \tag{5.1}$$

$$U_{11} = 11V \pm 0{,}2mV \quad (-20...+100mA)\ , \tag{5.2}$$

$$U_{-11} = -11V \pm 6{,}2mV \quad (-250...+20mA)\ . \tag{5.3}$$

Die Toleranzen beziehen sich auf die in Klammern angegebenen Bereiche der aus den Quellen herausfließenden Ströme. Diese Bereiche entsprechen einer Belastung mit bis zu 11 Transistor- oder Schottky-Dioden-Einschüben. Die Quelle U_{10} ist von der Frontplatte aus zugänglich und wurde deshalb kurzschlußfest ausgelegt.

Die drei Spannungsquellen zur Änderung der BE-Spannung der Analogtransistoren um die Werte ΔU_{BE1}, ΔU_{BE2}, ΔU_{BE3} geben Steuerspannungen

$$\Delta U'_{BE} = -40\Delta U_{BE} \qquad (5.4)$$

ab; die Teilung auf ΔU_{BE} wird im Transistoreinschub vorgenommen. Die Quellen sind so geschaltet, daß eine Grundeinstellung im Bereich

$$-200mV \leq \Delta U_{BE1} \leq +200mV \qquad (5.5)$$

gleichzeitig für alle Analogtransistoren erfolgen kann. Damit kann auf einfache Weise der Einfluß einer Temperaturänderung auf die BE-Spannung simuliert werden. Die Einstellmöglichkeiten von ΔU_{BE2} und ΔU_{BE3} sind

$$\Delta U_{BE2} = \Delta U_{BE1} - (0...100)mV\ , \qquad (5.6)$$

$$\Delta U_{BE3} = \Delta U_{BE1} - (0...100)mV\ . \qquad (5.7)$$

Die Einstellung erfolgt durch 10-Gang-Potentiometer mit geeichter Skala, der maximale Fehlerbetrag von ΔU_{BE1} bis ΔU_{BE3} gegenüber dem Skalenwert liegt unter 1mV bei Belastung mit bis zu 11 Transistoreinschüben. Die Auswahl von ΔU_{BE} unter den drei Werten erfolgt durch einen Schalter am einzelnen Transistoreinschub. Diese Aufteilung der Einstellung von ΔU_{BE} auf Versorgungs- und Transistoreinschub wurde gewählt, um Platz auf der Frontplatte des Transistoreinschubs zu sparen und um die Einstellung zu vereinfachen. Durch die damit verbundene Einschränkung auf drei unterschiedliche Emitterflächen für 11 Transistoren entstehen i.a. keine Probleme.

Der Versorgungseinschub weist kaum schaltungstechnische Besonderheiten auf. Die Spannung U_{10} nach (5.1) wir mit einem integrierten Serienregler(µA 723 C) erzeugt und dient als Referenz für alle Ausgangsgrößen des Einschubs. Die zur Ableitung der Ausgangsgrößen verwendeten Spannungsverstärker und Spannungs-Stromwandler sind mit integrierten Standard-Operationsverstärkern (µA 741 C) aufgebaut. Diese wurden zum Teil durch ausgangsseitige Emitterfolger ergänzt, um den maximalen Ausgangsstrom zu erhöhen und/oder das Treiben kapazitiver Lasten zu ermöglichen (vgl. Anhang A3.2).

5.3.6 Transistoreinschübe

Jeder Transistoreinschub des Analogrechners enthält einen Analogtransistor. Es gibt zwei Typen von Transistoreinschüben. Der erste entspricht dem Ein-Transistor-Modell nach Bild 4.14. Er wurde zunächst in einigen Exemplaren mit $r_{CB}=r_{Ca}=r_{CS}=0$ (Bild 4.14) angefertigt; der sechste Einschub von links in Bild 5.1 ist ein solches Exemplar. Später hergestellte Einschübe dieses Typs wurden durch r_{Ca} und r_{CS} ergänzt. Außerdem wurden die Einstellbereiche für die elektrischen Parameter besser an die Bedürfnisse dieser Arbeit angepaßt. Der siebte bis neunte Einschub von links in Bild 5.1 sind Exemplare des derart verbesserten Transistoreinschubs.

Der zweite Typ entspricht dem Zwei-Transistor-Modell nach Bild 4.15. Die rechten drei Einschübe in Bild 5.1 sind Transistoreinschube dieses Typs.

Zunächst soll die Realisierung des verbesserten Ein-Transistor-Modells näher beschrieben werden. Einstellbereiche und Anhaltswerte für die Genauigkeit der elektrischen Parameter des Analogtransistors können Tab. 5.2 entnommen werden.

Tab. 5.2: Einstellbereiche und Genauigkeit der elektrischen Parameter des Analogtransistors (Ein-Transistor-Modell). Die Toleranzen sind ungefähre Anhaltswerte, differenziertere Angaben enthält [75]. Falls die Einstellbereiche nicht weit genug sind, müssen der Strom bzw. der Zeitmaßstab entsprechend geändert werden.

Parameter	Einstellbereich	Toleranz (Betrag)
$\overline{C}_{CS}$	0...2µF	2%
$\overline{C}_{CBa}$	0...2µF	1,2%+2nF
$\overline{C}_{CBi}$	0...1µF	1,2%+2nF
$\overline{C}_{EB}$	0...2µF	1,2%+2nF
τ_N	0...200µs	1%
r_B	0...1kΩ	1%+2Ω
r_{Ca}	0...1kΩ	1%+10Ω
$\tau_{CS}=r_{CS}\overline{C}_{CS}$	0...1ms	3%+10Ω·$\overline{C}_{CS}$
$u_{B'E}(i_N=1mA)$	400...900mV	1mV
υ_N	50, 100, ∞	4%

Die Einstellung von Sperrschichtkapazitäten, von τ_N und r_B erfolgt über 10-Gang-Potentiometer mit geeichter Skala, wobei bei $\overline{C}_{CS}$, $\overline{C}_{CBa}$, $\overline{C}_{EB}$ und τ_N je ein Schalter zur Erweiterung des Bereiches

um 1µF auf 2µF bzw. um 100µs auf 200µs vorgesehen ist. Für die Einstellung von r_{Ca} und τ_{CS} genügten einfache Potentiometer, da diese Größen nur einen geringen Einfluß auf das Schaltverhalten des Transistors haben. Die innere BE-Spannung hat einen Basiswert

$$u_{B'E}(i_N=1mA) = 700mV \quad . \tag{5.8}$$

Abweichungen von diesem Wert werden wie in Abschn. 5.3.5 beschrieben am Versorgungseinschub eingestellt und am Transistor durch einen Schalter ausgewählt. Bei B_N wurde wegen der geringen Bedeutung dieser Größe auf eine kontinuierliche Einstellmöglichkeit und auf hohe Genauigkeit verzichtet.

Die prinzipielle Schaltungstechnik für das Ein-Transistormodell soll im folgenden ausführlicher besprochen werden. Denn sie liefert auch die Grundlagen für einige andere Einschübe und bestimmt so überwiegend den Aufwand für den Analogrechner. Bei den Schaltungsbeschreibungen sollen Operationsverstärker und Spannungsfolger zunächst als ideal betrachtet werden, d.h. die Bandbreite ist unendlich groß, die Spannungsverstärkung ohne Beschaltung unendlich bzw. genau eins und Offsetströme und -spannungen verschwinden.

Bild 5.2 zeigt die Prinzipschaltung des Analogtransistors, die sich aus dem Modell nach Bild 4.14 ergibt. Der in Bild 4.14 durch eine ideale Diode D_N und eine gesteuerte Stromquelle i_N dargestellte Zusammenhang

$$i_N = I_S \exp(u_{B'E}/U_T) \tag{5.9}$$

wird durch einen Transistor T mit sehr niedrigem Basisbahnwiderstand und einen Spannungsfolger(V_u=1) mit der Spannungsquelle ΔU^*_{BE} realisiert.
ΔU^*_{BE} enthält folgende Anteile:

1) Einen Anteil, der die Temperaturabhängigkeit der BE-Spannung kompensiert,

2) einen Anteil, der gewährleistet, daß bei i_N=1mA die Spannung $u_{B'E}$=700mV beträgt, wenn die Steuerspannung $\Delta U'_{BE}$ nach (5.4) zur Einstellung von ΔU^*_{BE} gleich Null ist,

3) einen Anteil ΔU_{BE}, der es gestattet, $u_{B'E}(i_N=1mA)$ zu variieren.

Durch die beiden ersten Anteile wird also erreicht, daß bei ΔU_{BE}=0 (dritter Anteil) unabhängig von der Temperatur immer $u_{B'E}$(1mA)=700mV ist. Die Spannung ΔU_{BE} gestattet dann die Variation

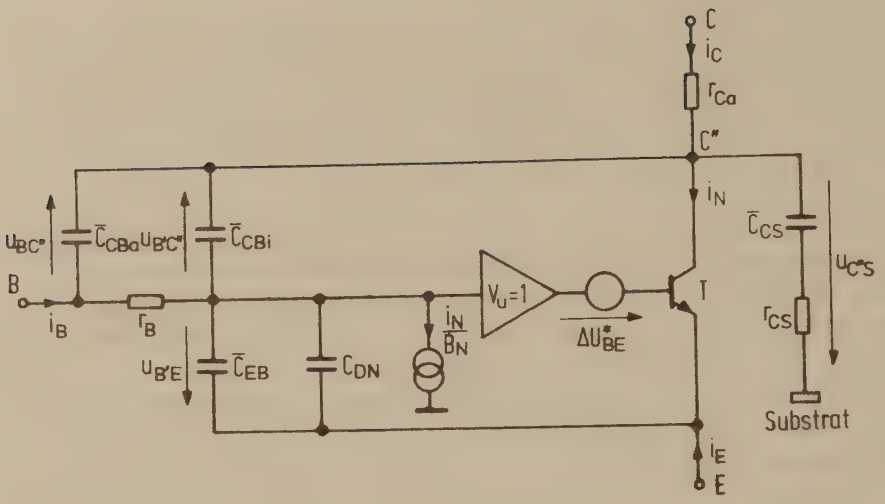


Bild 5.2: Prinzipschaltung des Analogtransistors (Ein-Transistor-Modell).

des Sättigungsstromes I_S in (5.9) entsprechend

$$\frac{I_S}{I_{SO}} = \exp\frac{-\Delta U_{BE}}{U_T} \qquad (5.10)$$

mit

$$\frac{I_{SO}}{1mA} = \exp\frac{-700mV}{U_T} \; . \qquad (5.11)$$

Die Prinzipschaltung zur Einstellung von ΔU^*_{BE} zeigt Bild 5.3.

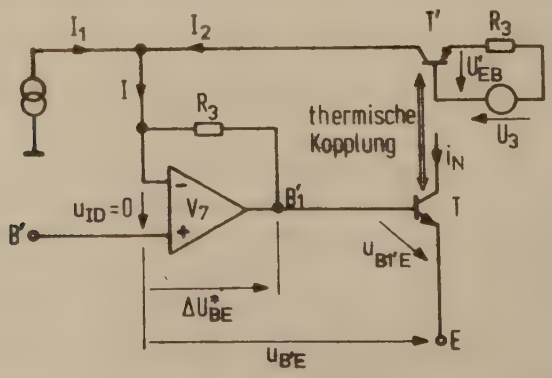


Bild 5.3: Prinzipschaltung für die Einstellung von ΔU^*_{BE}.

Hier gilt mit $u_{ID}=0$

$$\Delta U^{*}_{BE} = R_3 I \quad . \tag{5.12}$$

I enthält einen Anteil I_1, über den $u_{B'E}(i_N=1mA)$ variiert wird und einen Anteil

$$I_2 = (U_3-U'_{EB})/R_3 \quad . \tag{5.13}$$

Durch Auswahl eines geeigneten Transistortyps für T' läßt sich erreichen, daß die BE-Spannungen von T' und T etwa gleiches Temperaturverhalten haben:

$$\frac{dU'_{EB}}{dT} \simeq \frac{du_{B1'E}}{dT} \quad . \tag{5.14}$$

Mit (5.12), (5.13) ergibt sich dann

$$\frac{du_{B'E}}{dT} \simeq 0 \quad , \tag{5.15}$$

da I_1 temperaturunabhängig ist. Mit U_3 läßt sich I_2 so einstellen, daß $u_{B'E}(i_N=1mA)=700mV$ beträgt, wenn die Steuerspannung $\Delta U'_{BE}$ nach (5.4) gleich Null ist.

Zur Einstellung der Stromverstärkung B_N wird eine durch i_N gesteuerte Stromquelle i_N/B_N verwendet (Bild 5.2). Da nur Werte im Bereich $50 \leq B_N \leq \infty$ simuliert werden sollen, wurde zwecks Vereinfachung der Schaltung darauf verzichtet, den Strom i_N/B_N auch beim Emitterstrom i_E zu berücksichtigen. Da T eine Stromverstärkung von ca. 100 aufweist, entsteht damit bei i_E ein Fehler unter ca. 1%.

Bild 5.4 zeigt die Schaltung zur Einstellung von B_N. Wählt man $R_1 \gg R_\tau$ und $R_2 \gg R_3$, so gilt

$$i'_B \simeq \frac{R_2}{R_1}\frac{R_\tau}{R_{BN}} i_N \quad . \tag{5.16}$$

Die Stromverstärkung kann also mit R_{BN} auf

$$B_N \simeq \frac{R_1}{R_2}\frac{R_{BN}}{R_\tau} \tag{5.17}$$

eingestellt werden.

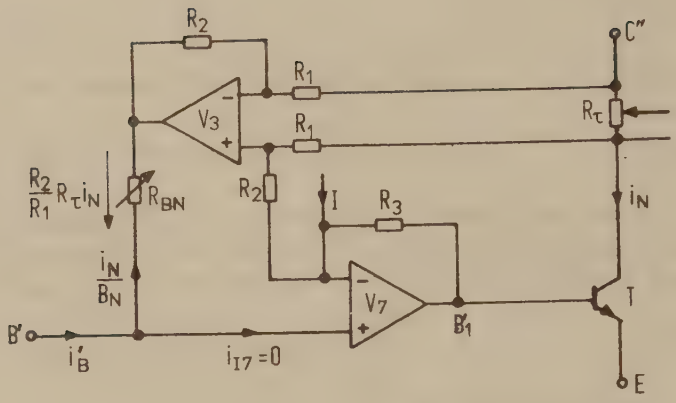


Bild 5.4: Schaltung zur Einstellung der Stromverstärkung B_N.

Für eine kontinuierlich einstellbare Analogkapazität wurde in dem Schaltungskonzept, das als Grundlage für die Entwicklung des Analogtransistors diente [74,3], je ein Paar von Versorgungsspannungen benötigt. Dabei mußten alle Spannungspaare voneinander galvanisch getrennt sein, denn der "Masseanschluß" je eines Paares bildete einen Anschluß der Analogkapazität. Dieser Aufwand war hier nicht mehr vertretbar, da alle Kapazitäten des Analogtransistors kontinuierlich einstellbar sein sollten. Deshalb wurden je zwei Operationsverstärker zur Nachbildung einer Kapazität verwendet, wobei deren hohe Gleichtaktunterdrückung die Verwendung gemeinsamer Versorgungsspannungen für alle Verstärker zuläßt.

Bild 5.5 zeigt die Prinzipschaltung einer solchen Analogkapazität. Ist $R \ll R_s$, so ist s gleich der auf einer Skala ablesbaren Schleiferstellung des Potentiometers. Zwischen den Klemmen P und Q mißt man eine Kapazität C_{PQ} mit der Ladung

$$q = s \frac{R_f}{R_s} C_0 u_R \quad . \tag{5.18}$$

Mit dieser Schaltung kann die Diffusionskapazität nachgebildet werden, indem Anschluß P mit der inneren Basis B' und Anschluß Q mit dem Emitter E (Bild 5.2) verbunden werden. Fließt nun i_N durch R, so erhält man mit $R \rightarrow R_\tau$, $s \rightarrow s_\tau$ und $u_R = R_\tau i_N$ die analoge Basisladung

$$q_N = s_\tau \frac{R_f}{R_s} R_\tau C_0 i_N \cdot \qquad (5.19)$$

Der Proportionalitätsfaktor zwischen q_N und i_N ist die analoge Transitzeit

$$\tau_N = s_\tau \frac{R_f}{R_s} R_\tau C_0 \cdot \qquad (5.20)$$

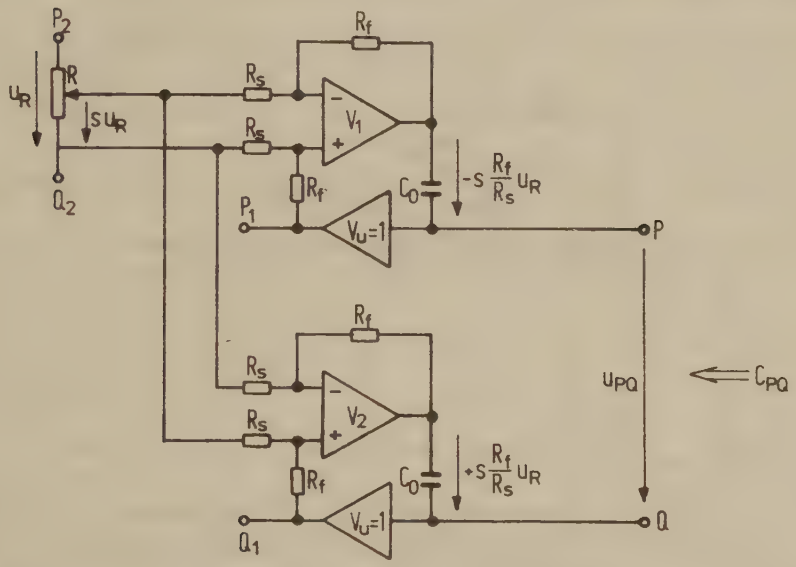


Bild 5.5: Prinzipschaltung einer Analogkapazität. Die Spannungsfolger(V_u=1) erlauben geringe Werte R_f und ggf. die Verbindungen P_1-P_2 und Q_1-Q_2.

Da R_τ klein sein muß, ist ein entsprechend großes Verhältnis R_f/R_s notwendig.

Analoge Sperrschichtkapazitäten werden durch Verbindung von P_1 mit P_2 und Q_1 mit Q_2 nachgebildet. Dann ist $u_R = u_{PQ}$ und man mißt zwischen P und Q eine lineare Kapazität C_{PQ}. Hier kann im Gegensatz zur Diffusionskapazität zwecks Vereinfachung des Aufbaus $R_s = R_f$ gesetzt werden; man erhält dann die Schaltung nach Bild 5.6 und für die Analogkapazität gilt

$$C_{PQ} = \frac{q}{u_{PQ}} = sC_0 \,. \qquad (5.21)$$

Würde man das beschriebene Schaltungsprinzip auf die fünf Kapazitäten in Bild 5.2 direkt übertragen, so benötigte man allein dafür je 10 Spannungsfolger(V_u=1) und Operationsverstärker für jeden Analogtransistor. Dieser Aufwand kann durch Zusammenfassung von Verstärkerfunktion drastisch reduziert werden. Zunächst einmal genügt je ein Spannungsfolger zur Entkopplung der Knoten E, B, B' und C", wobei der Verstärker zur Entkopplung von B' bereits in den Schaltungen nach Bild 5.3 und 5.4 enthalten ist. Zusätzlich können

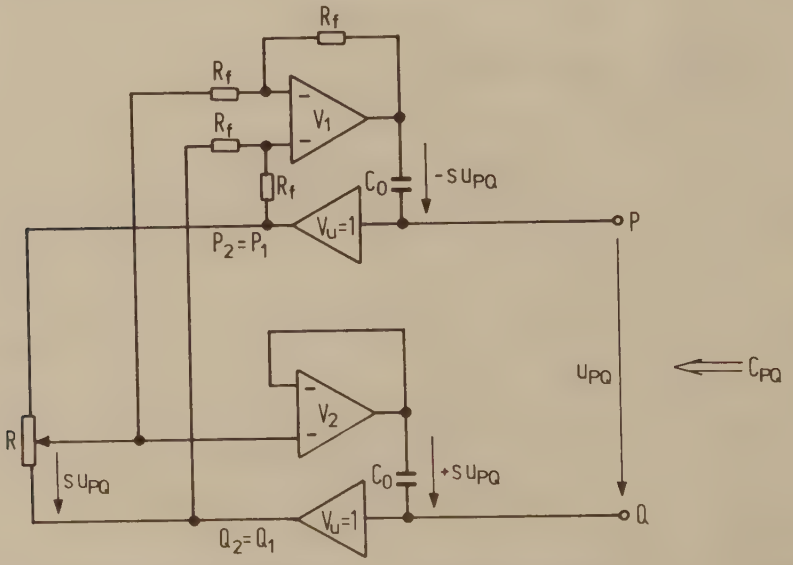


Bild 5.6: Lineare Analogkapazität $C_{PQ}=sC_0$.

auch die Funktion der Operationsverstärker zusammengefaßt werden. Bild 5.7 zeigt eine solche Zusammenfassung am Beispiel der inneren Basis B'. Hier werden von den Spannungen $u_{B'E}$, $u_{B'C"}$ und $R_\tau i_N$ durch Potentiometer die Anteile $s_{EB}u_{B'E}$, $s_{CBi}u_{B'C"}$, $s_\tau R_\tau i_N$ abgegriffen und im Verhältnis R_f/R_f bzw. R_f/R_s auf C_0 übertragen:

$$u_{C0} = s_{EB}u_{B'E} + s_{CBi}u_{B'C"} + s_\tau \frac{R_f}{R_s} R_\tau i_N \,. \qquad (5.22)$$

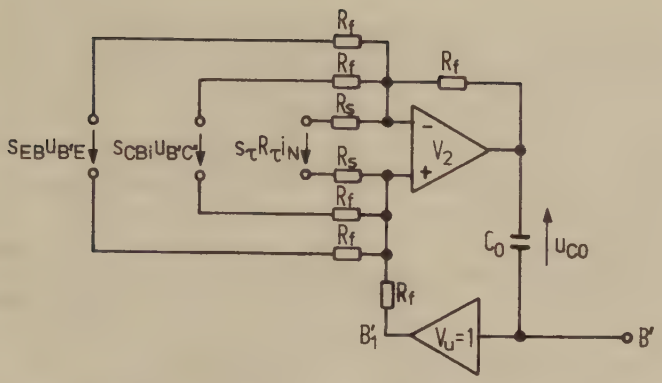


Bild 5.7: Zusammenfassung der Funktionen mehrerer Operationsverstärker am Beispiel der inneren Basis B'.

Entsprechend muß über die Klemme B' auf C_0 die Ladung

$$q_{CO} = C_0(s_{EB}u_{B'E} + s_{CBi}u_{B'C''} + s_\tau \frac{R_f}{R_s} R_\tau i_N) \qquad (5.23)$$

gelangen. Durch die Schaltung nach Bild 5.7 werden also die mit B' verbundenen Anschlüsse der analogen Sperrschichtkapazitäten

$$\overline{C}_{EB} = s_{EB}C_0 \,, \qquad (5.24)$$

$$\overline{C}_{CBi} = s_{CBi}C_0 \qquad (5.25)$$

und der analogen Diffusionskapazität, die durch (5.20) gegeben ist, nachgebildet.

Unter Verwendung der oben beschriebenen Schaltungsprinzipien erhält man eine Gesamtschaltung, die in Bild 5.8 schematisch dargestellt ist. Man erkennt darin den Spannungsfolger V_7 zur Einstellung von ΔU^*_{BE} (Bild 5.3) und zur Entkopplung der inneren Basis B' und die weiteren Spannungsfolger zur Entkopplung der Knoten E, B und C" (Emitterfolger EF und Darlington-Schaltung D). V_3 dient zur Einstellung der Stromverstärkung (Bild 5.4). V_1, V_2, V_4 bis V_6 dienen zur Einstellung der Ladung der Kapazitäten des Analogtransistors nach den in Bild 5.5 bis 5.7 dargestellten Prinzipien. Die Eingangsgrößen $s_{CS}u_{C"S}$, $s_{CBa}u_{BC"}$, $s_{CBi}u_{B'C"}$, $s_{EB}u_{B'E}$ und $s_\tau R_\tau i_N$ werden durch die Potentiometer zur Einstellung von $\overline{C}_{CS}$, $\overline{C}_{CBa}$, $\overline{C}_{CBi}$, $\overline{C}_{EB}$ und τ_N von den entsprechenden Spannungen abgegriffen.

Eine Modifikation des Schaltungsprinzips für die Sperrschichtkapazitäten enthält $\overline{C}_{CS}(V_6)$. Um einen ausreichend großen Einstell-

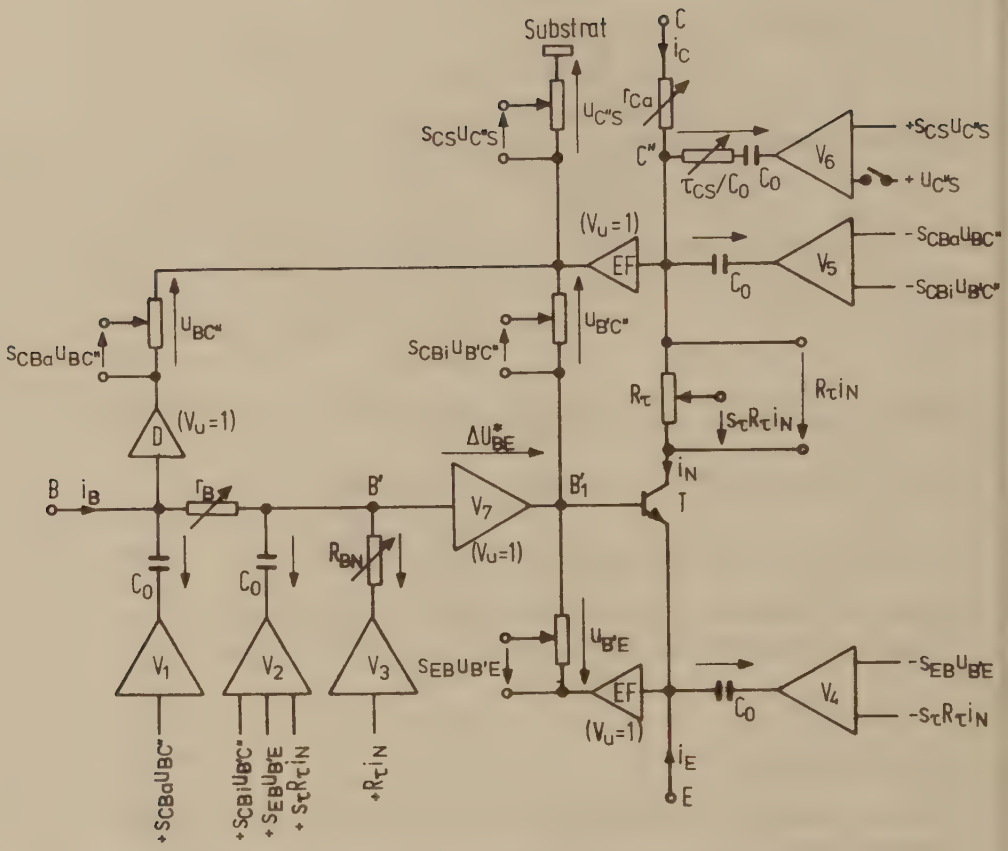


Bild 5.8: Schematisches Schaltbild des Analogtransistors nach dem Ein-Transistor-Modell. Die Spannungen an den Eingängen der Summierverstärker werden gewichtet, addiert und auf die Lastelemente C_0 bzw. R_{BN} übertragen; die angegebenen Vorzeichen beziehen sich auf die eingezeichneten Pfeilrichtungen der Spannungen an den Lastelementen, die Gewichtsfaktoren sind eins - außer für die Spannungen $R_\tau i_N$ (R_2/R_1 , Bild 5.4) und $s_\tau R_\tau i_N$ (R_f/R_s , Bild 5.5).

bereich für r_{CS} in Bild 4.14 bzw. 5.2 zu erhalten, wurde der Widerstand zur Einstellung von r_{CS} in Serie zu C_0 geschaltet. So wird anstelle von r_{CS} die Zeitkonstante $\tau_{CS}=r_{CS}\overline{C}_{CS}$ geeicht eingestellt. Um dennoch $\overline{C}_{CS}$ mit einem Schalter um 1µF erhöhen zu können, wird wahlweise am Eingang von V_6 die Spannung $u_{C"S}$ zugeschaltet. Bei $\overline{C}_{CBa}$ und $\overline{C}_{EB}$ wird diese Bereichserweiterung direkt durch Zuschalten einer Kapazität erreicht (nicht in Bild 5.8 eingezeichnet).

In der realen Schaltung sind einige Ergänzungen und Abweichungen

zu den bisher beschriebenen Schaltungsprinzipien notwendig, die mit den Eigenschaften der realen Bauelemente im Zusammenhang stehen:

1) Genauigkeitsanforderungen und parasitäre Kapazitäten verbieten die Verwendung extrem hoher Widerstände zur Beschaltung der Operationsverstärker. Einige Widerstände greifen ohne Entkopplung durch Spannungsfolger am Kollektor(R_τ) an und führen so zu Fehlern. Diese werden durch eine einfache Kompensationsschaltung ausgeglichen [75] .

2) Um trotz der begrenzten Bandbreiten der Operationsverstärker und der Vielzahl von Rückkopplungsschleifen einen stabilen Betrieb bei jeder Kombination von elektrischen Analogparametern zu gewährleisten, ist eine sorgfältige Frequenzgangkompensation erforderlich (Anhang A3.2, [75]).

3) R_τ wird durch ein Netzwerk aus Widerständen und Kondensatoren ersetzt. Ein erster Grund dafür ist die bereits angesprochene Frequenzgangkompensation, ein zweiter die Tatsache, daß es keine sehr niederohmigen Potentiometer mit einer zur Einstellung von τ_N ausreichenden Auflösung gibt (Anhang A3.2, [75]).

Trotz dieser zusätzlichen Schaltungsmaßnahmen bleibt der Aufwand für einen Transistoreinschub in vernünftigen Grenzen, wie Bild 5.9 verdeutlicht.

Zur Realisierung des Zwei-Transistor-Modells wurden die gleichen Schaltungsprinzipien wie für das Ein-Transistor-Modell verwendet. Es genügt also eine knappe Beschreibung.

Die Einstellbereiche für die elektrischen Parameter wurden im wesentlichen aus Tab. 5.2 übernommen. Lediglich beim Basisbahnwiderstand ist eine Ergänzung nötig: Sowohl für den äußeren Basisbahnwiderstand r_{Ba} als auch für die Größe r_{Bi0} nach (4.13) wurde der Bereich 0...1kΩ gewählt. Diese Anpassung an den Bereich des Basisbahnwiderstandes des Ein-Transistor-Modells erleichtert die Bedienung, wenngleich für r_{Ba} ein kleinerer Bereich genügt hätte. Auch die in Tab. 5.2 angegebenen Toleranzen bleiben weitgehend erhalten.

Bild 5.10 zeigt die Bild 5.8 entsprechende Umsetzung des Ersatzschaltbildes nach Bild 4.15 in ein schematisches Schaltbild des Analogtransistors nach dem Zwei-Transistor-Modell. Da ein

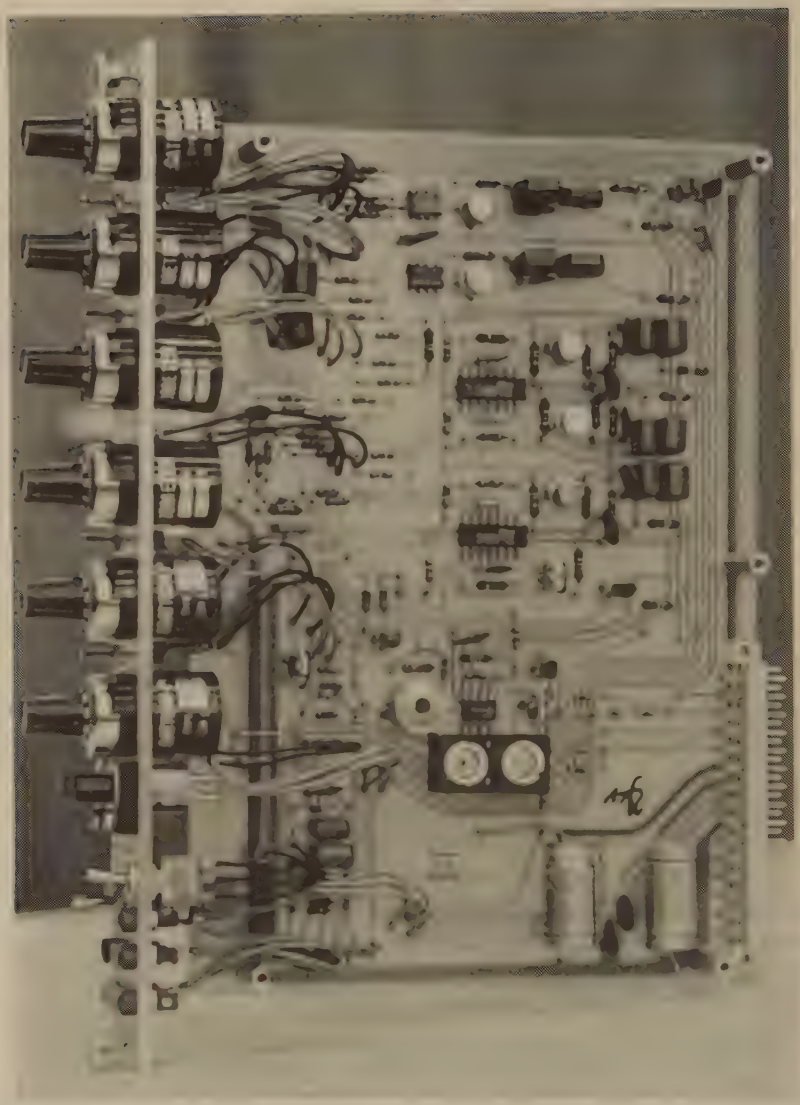


Bild 5.9: Transistoreinschub entsprechend dem Ein-Transistor-Modell (ohne Abdeckplatte). Die thermische Kopplung nach Bild 5.3 wird durch einen massiven Doppelkühlkörper realisiert. Die übrigen Transistoren im TO-5-Gehäuse sind zum Treiben der Lastkapazitäten C_0 (Bild 5.8) notwendig (Anhang A3.2). Die erforderliche Genauigkeit der Kapazitäten C_0 wird durch Parallelschaltung ausgesuchter Teilkapazitäten erreicht.

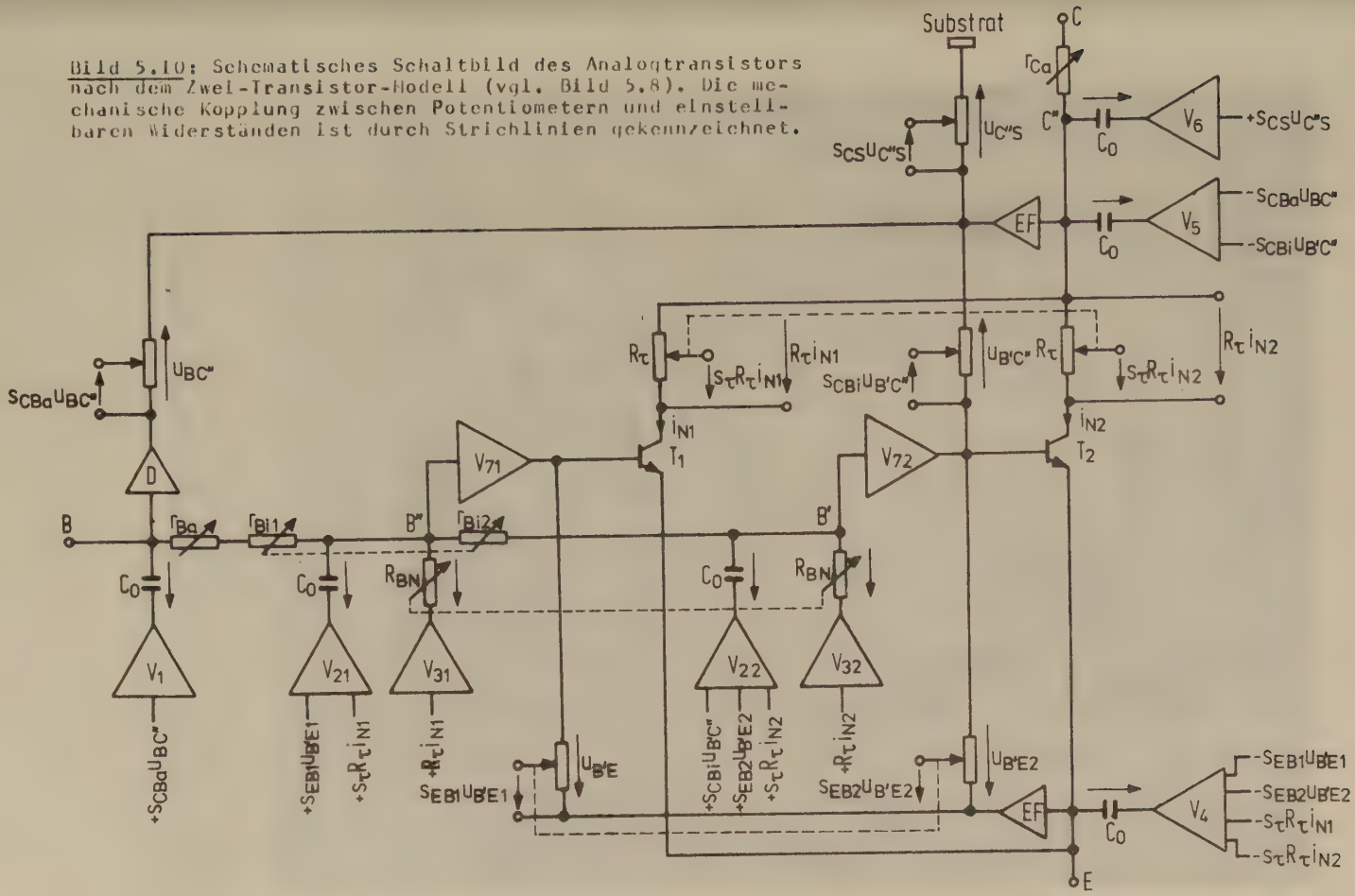


Bild 5.10: Schematisches Schaltbild des Analogtransistors nach dem Zwei-Transistor-Modell (vgl. Bild 5.8). Die mechanische Kopplung zwischen Potentiometern und einstellbaren Widerständen ist durch Strichlinien gekennzeichnet.

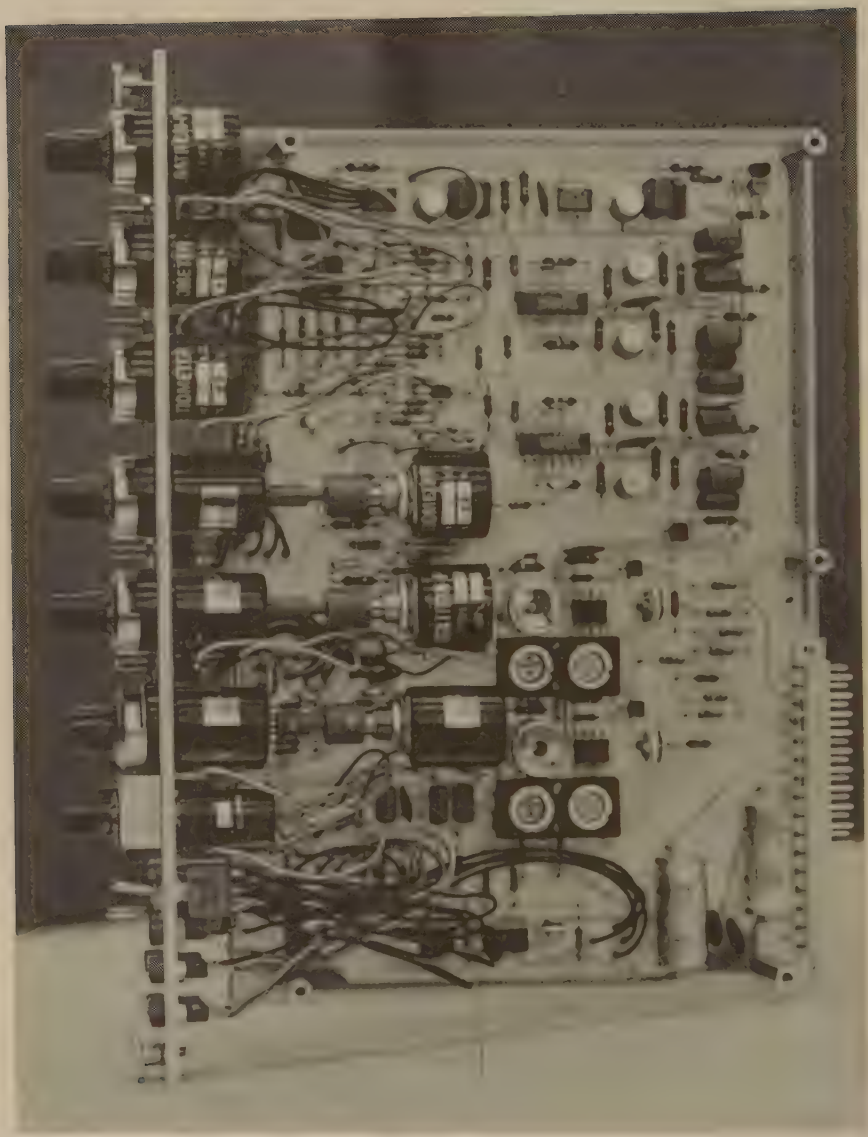


Bild 5.11: Transistoreinschub entsprechend dem Zwei-Transistor-Modell (vgl. Bild 5.9). Man erkennt die mechanische Kopplung der Potentiometer zur Einstellung von C_{EB}, τ_N, r_{B10} (von oben nach unten) und darunter das zusätzliche 10-Gang-Potentiometer zur Einstellung von r_{Ba}. B_N bzw. R_{BN} in Bild 5.10 wird wie zuvor durch einen Schalter eingestellt.

neuer Knoten (B") hinzukommt, sind die Verstärker V_2, V_3, V_7 und der Transistor T doppelt vorhanden (zusätzliche Indizes 1 und 2). Die festen Aufteilungen vom inneren Basisbahnwiderstand r_{Bi} nach (4.12), EB-Kapazität $\overline{C}_{EB}$ im Verhältnis 4:6 und Sättigungsstrom I_S nach (4.11) bei gleichen Transitzeiten τ_N und Stromverstärkungen B_N erfordern die paarweise mechanische Kopplung von einstellbaren Widerständen und Potentiometern. Auf eine Berücksichtigung von r_{CS} wurde aus Platzgründen verzichtet (an dieser Stelle befindet sich nun der Skalenknopf für r_{Ba}, Bild 5.1).

Bild 5.11 verdeutlicht, daß der Aufwand für das Zwei-Transistor-Modell bei weitem nicht doppelt so hoch ist, wie für das Ein-Transistor-Modell.

5.3.7 Schottky-Dioden-Einschub

Der Schaltungsaufwand für eine Analog-Schottky-Diode entsprechend dem Ersatzschaltbild in Bild 4.16 ist sehr gering. Deshalb konnten in einem Schottky-Dioden-Einschub sechs Analog-Schottky-Dioden untergebracht werden. Allerdings werden die elektrischen Parameter von je drei Dioden gemeinsam eingestellt, weil so der auf der Frontplatte des Einschubs zur Verfügung stehende Platz bereits ausgeschöpft ist (Bild 5.1, fünfter Einschub von links).

Für die elektrischen Parameter der Analog-Schottky-Diode wurden folgende Einstellbereiche realisiert:
Sperrschichtkapazität (Mittelwert)

$$\overline{C}_{SD} = 0...1\mu F \ , \tag{5.26}$$

Bahnwiderstand

$$r_{SD} = 0...1k\Omega \ , \tag{5.27}$$

innere Durchlaßspannung bei I_{SD}=1mA

$$U'_{SD}(I_{SD}=1mA) = 150...650mV \ . \tag{5.28}$$

Die Einstellung von $\overline{C}_{SD}$ und r_{SD} erfolgt für je drei Analog-Schottky-Dioden über mechanisch gekoppelte (vgl. Bild 5.11) 10-Gang-Potentiometer mit geeichter Skala. U'_{SD}(1mA) wird über ein 5-Gang-Potentiometer eingestellt, dessen Skala den Wert von U'_{SD}(1mA) direkt anzeigt.

Bild 5.12 zeigt das schematische Schaltbild einer Analog-Schottky-Diode; detaillierte Angaben enthält [75]. Wie ein Ver-

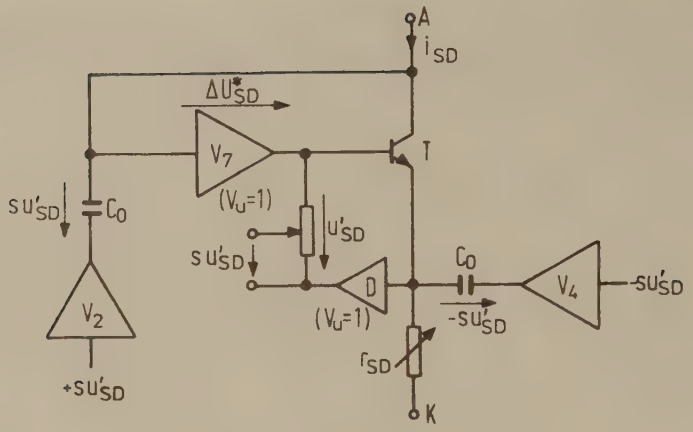


Bild 5.12: Schematisches Schaltbild einer Analog-Schottky-Diode. Die Darstellungsform entspricht Bild 5.8. Zur Vereinfachung des Vergleichs mit dem Analogtransistor wurden die Verstärkerbezeichnungen aus Bild 5.8 übernommen. Zur Verringerung des in K hineinfließenden Fehlerstromes wurde der Emitterfolger EF in Bild 5.8 hier durch eine Darlington-Schaltung D ersetzt.

gleich mit Bild 5.8 verdeutlicht, handelt es sich hier um einen stark vereinfachten Analogtransistor mit Kurzschluß zwischen Kollektor und Basis. Von den elektrischen Transistor-Parametern verbleibt nur die BE-Kapazität (hier $\overline{C}_{SD}$) und die Spannung an der BE-Diode bei 1mA (hier $U'_{SD}(1mA)$). Entsprechend wurden für die Einstellung dieser Parameter hier die gleichen Schaltungsprinzipien wie beim Analog-Transistor verwendet (Bild 5.6 bzw. Bild 5.3).

Die Frequenzgangkompensation der Rückkopplungsschleife, die sich über T schließt ist hier problemlos [75] , da die Schaltungsteile zur Einstellung einer Transitzeit entfallen (Anhang A3.2).

5.3.8 Weitere Bauelementenachbildungen

Nach der bisherigen Beschreibung fehlen für die Schaltungssimulation noch Widerstände, Kapazitäten und Induktivitäten.

Einstellbare Widerstände wurden vorwiegend in separaten Gehäusen untergebracht, um hierfür keine Einschubstellen blockieren zu müssen.

Weiter gibt es Einschübe mit je vier Analogkapazitäten, die zusätzlich je sechs Widerstände enthalten (vierter Einschub von

links in Bild 5.1). Diese Zusammenstellung ermöglicht bei Bedarf die Berücksichtigung untergeordneter Zeitkonstanten bei je zwei Analogtransistoren (Anhang A3.3).

Die Einstellbereiche der Kapazitäten bzw. Widerstände eines solchen Einschubs sind

$$C = 0...2\mu F \ , \tag{5.29}$$

$$R = 0...1k\Omega \ . \tag{5.30}$$

Je zwei Kapazitäten bzw. Widerstände werden über mechanisch gekoppelte 10-Gang-Potentiometer mit geeichter Skala eingestellt (vgl. Bild 5.11).

Für zwei Analogkapazitäten des Einschubs wurde die Schaltung nach Bild 5.6 verwendet. Zwei weitere Analogkapazitäten sollten nur als Substratkapazität verwendet werden. Hier reduziert sich die Schaltung nach Bild 5.6 auf die untere Hälfte und die Klemme $P_1 (=P_2)$ wird mit der Gerätemasse verbunden ("Substratpotential").

Die Operationsverstärker V_1 und V_2 in Bild 5.6 enthalten auch hier einen ausgangsseitigen Emitterfolger, und ein Widerstand R_0 in Reihe zu C_0 dient jeweils zur Entkopplung der Kapazität C_0 vom Ausgang des Verstärkers (vgl. Anhang A3.2).

Ein Einschub mit sechs Analoginduktivitäten wurde im Rahmen einer Studienarbeit entwickelt [77]. Der Einstellbereich der Analoginduktivität ist

$$L = 0,1...300mH \ , \tag{5.31}$$

wobei selbst ein Wert von 1mH noch mit einer Genauigkeit von ca. 1% einstellbar ist [77]. Das ermöglicht auch bei Zeitmaßstäben, die vom üblicherweise verwendeten Wert 10^6:1 abweichen, noch die genaue Simulation der Induktivitäten sowohl von Bonddrähten und langen Leitungen auf dem Chip (einige nH) als auch von Leitungen auf einer gedruckten Schaltung (einige 10nH). Es genügt also, bei der Wahl des Zeitmaßstabes die Einstellbereiche der Analogkapazitäten zu berücksichtigen, da die Einstellbereiche der Analoginduktivitäten eine flexiblere Wahl dieses Maßstabes gestatten.

Von den Schaltungsprinzipien entsprechend den beiden Schreibweisen für die Strom-Spannungs-Beziehung

$$u_L = L\frac{di_L}{dt} \ , \qquad i_L = \frac{1}{L}\int u_L dt \tag{5.32}$$

wurde das der rechten Schreibweise entsprechende ausgewählt. (Die anderenfalls notwendige Differenzierung führt zu hohen Rauschspannungen [77]).

Die Prinzipschaltung der Analoginduktivität zeigt Bild 5.13. Die Betriebsspannungsverstärkung des Differenzverstärkers (V_1) zur Messung von u_L wurde durch R_f=R_s auf

$$V_{ubl} = u_1/u_L = 1 \qquad (5.33)$$

festgelegt. Größere Werte würden die Verarbeitung großer Spannungen u_L verbieten, kleinere Werte sind ungünstiger bezüglich der Offsetspannungsdrift und der Rauschspannung von V_2.

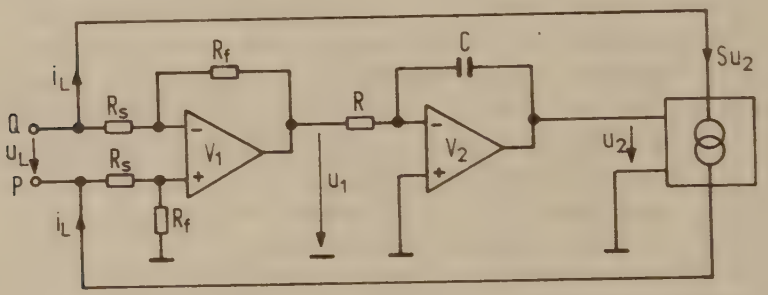


Bild 5.13: Prinzipschaltung der Analoginduktivität.

Mit dem Integrierer (R, C, V_2) und der zweipoligen spannungsgesteuerten Stromquelle Su_2 gilt dann für die zwischen P und Q gemessene Induktivität

$$L = RC/S \; . \qquad (5.34)$$

Die Bereichswahl erfolgt durch Umschaltung von C, die Einstellung innerhalb eines Bereiches über R. Aus Genauigkeits- und Stabilitätsgründen wurde von der Verwendung eines 10-Gang-Potentiometers für R abgesehen. Statt dessen wurde ein einfaches Potentiometer hoher Linearität verwendet, zu dem wahlweise ein oder zwei Widerstände gleichen Wertes in Reihe geschaltet werden [77]. Die Stromquelle Su_2 wurde aus zwei integrierten Operationsverstärkern mit besonders hoher Transitfrequenz aufgebaut (Anhang A3.4).

5.3.9 Hilfsschaltung für Simulation und Auswertung

Als Hilfsschaltungen für Simulation und Auswertung dienen ein Einschub zur Stromtransformation und ein Einschub mit einer Zusammenstellung verschiedener Auswertungsschaltungen. Diese Hilfsschaltungen sind für den Betrieb des Analogrechners zwar von Vorteil, nicht aber zwingend erforderlich. Sie sollen deshalb nur grob beschrieben werden.

Will man die Abhängigkeit des dynamischen Verhaltens von Gatterschaltungen in einer Gatterkette vom fan out n_Q untersuchen, so ergibt sich ein relativ großer Programmieraufwand, da in der Gatterkette alle Leitwerte und Kapazitäten von Gatter zu Gatter mit n_Q multipliziert werden müssen. Eine Änderung von n_Q in einer Kette von n Gattern hat damit die Änderung der meisten elektrischen Parameter in n-1 Gattern zur Folge.

Um dies zu vermeiden, wurde eine Schaltung entwickelt [75], die wie in Bild 5.14 gezeigt zwischen je zwei Gatter geschaltet wird. Diese Schaltung überträgt u_Q direkt und transformiert den Eingangsstrom i_I des Lastgatters mit n_Q multipliziert auf den Ausgang Q des treibenden Gatters. Dabei können für n_Q die Werte 1, 2, 3, 4, 5, und 10 eingestellt werden.

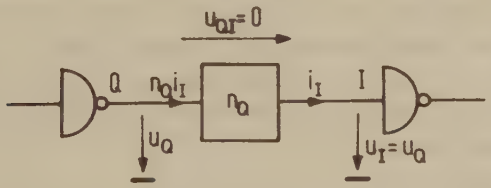


Bild 5.14: Nachbildung des fan out n_Q durch Stromtransformation.

Zusätzlich ergibt sich durch eine solche Stromtransformation noch eine Erweiterung des Anwendungsbereiches für den Analogrechner. Bei Verstärkerschaltungen kommt es häufig vor, daß die Ströme in den Eingangsstufen um einige Größenordnungen kleiner sind als in der Endstufe. Durch die Begrenzung der Ströme in den Analogtransistoren auf ca. 10mA und die Fehlerströme der Größenordnung 1µA kann dies zu Genauigkeitsproblemen führen. Diese Probleme können durch eine Stromtransformation zwischen je zwei Verstärker-

stufen weitgehend vermieden werden.

Der entsprechende Einschub enthält fünf derartige Transformationsschaltungen, deren Schaltung im Anhang A3.5 beschrieben wird.

Ein weiterer Einschub, der im Rahmen einer Studienarbeit entwickelt wurde [79] ,dient zur Erleichterung von Auswertungsarbeiten (zweiter Einschub von links in Bild 5.1). Dieser Einschub enthält einen langsamen modulierbaren Dreieckgenerator, Schaltungen zur Helligkeitsmodulation eines Oszilloskops, einen Differenzverstärker, einen Differenzierer und zwei Tiefpasse zweiter Ordnung mit einstellbarer Anstiegszeit.

Der Dreieckgenerator dient zur Darstellung der Spannungs-Übertragungskennlinien von Gattern (oder anderen Schaltungen). Die obere und untere Spitze der dreieckförmigen Ausgangsspannung können über 10-Gang-Potentiometer mit geeichter Skala eingestellt werden, wobei noch über Schalter eine Bereichswahl zwischen ±1V und ±10V möglich ist. Die Anstiegs- bzw. Abfallgeschwindigkeit kann von 0,1...10V/s eingestellt werden.

Zur Verbesserung der Darstellung von Übertragungskennlinien gibt es zwei Modulationsmöglichkeiten:

1) Die Anstiegs- bzw. Abfallgeschwindigkeit der Generatorausgangsspannung wird über eine Regelung so eingestellt, daß die Schreibgeschwindigkeit der Übertragungskennlinie (auf dem Speicheroszilloskop oder dem XY-Schreiber) näherungsweise konstant ist. Man erhält so weitgehend unabhängig von der Steigung der Übertragungskennlinie eine konstante Schreibstärke und damit ein gut auswertbares Bild.

2) Bei Übertragungskennlinien mit Hysterese gibt es diese Regelungsmöglichkeit nicht. Bei Verwendung eines Speicheroszilloskops kann aber nun die Strahlintensität über einen Differenzierer an die Schreibgeschwindigkeit angepaßt werden.

Zur Unterdrückung von Rauschspannungen gibt es im gleichen Einschub zwei Filterschaltungen, deren Anstiegszeiten zwischen 10 und 1000µs(10%...90%) eingestellt werden können. Somit ist i.a. eine gute Anpassung der Anstiegszeit an das dynamische Verhalten der simulierten Schaltung möglich.

Durch Umschaltung können die Eingangssignale der Filterschaltungen voneinander subtrahiert, gefiltert und differenziert werden, wobei die Differenzierzeitkonstante einstellbar und eichbar ist. Damit kann z.B. an R_t (Bild 5.8) der Strom i_N gemessen werden. Durch Differenzieren ergibt sich daraus der Basisstromanteil, der zur Umladung der Diffusionskapazität dient. Der zeitliche Verlauf dieses Stromes kann z.B. Hinweise auf Verbesserungsmöglichkeiten für eine Gatterschaltung geben.

6 Dimensionierung und Untersuchung der ausgewählten Schaltungskonzepte

6.1 Vorbemerkungen am Beispiel eines Grundgatters

In Kap. 3 wurde eine Reihe von Schaltungskonzepten ausgewählt, deren Grundgatter in Bild 3.1 zusammengefaßt sind. Ein erstes Ziel dieser Arbeit war es nun, ausgehend von der in Abschn. 4.2 beschriebenen Basistechnologie die optimal erreichbaren Eigenschaften dieser Gatter herauszufinden. Optimierungsziel war dabei in erster Linie eine minimale Gatterlaufzeit. Als Randbedingungen wurden eine möglichst kleine Verlustleistung pro Logikfunktion, d.h. auch pro Gatter, und eine ausreichende Störsicherheit angestrebt. Aus diesen Gründen wurden die im folgenden beschriebenen Arbeiten für alle ausgewählten Grundgatter gleichermaßen durchgeführt.

6.1.1 Dimensionierung und Störsicherheit

Für die Dimensionierung wurden einige Vereinfachungen vorgenommen, die allerdings nur einen geringfügigen Einfluß auf die Schaltungseigenschaften haben.

1) Es wird eine unendlich große Stromverstärkung B_N für alle Transistoren vorausgesetzt.

2) Einflüsse von Bahnwiderständen und Sperrströmen werden vernachlässigt, d.h. die Strom-Spannungskennlinien von Transistoren und Schottky-Dioden werden folgendermaßen beschrieben:

$$I_C \sim \exp(U_{BE}/U_T) ,$$

$$I_{SD} \sim \exp(U_{SD}/U_T) .$$

3) Für die maximale im Betrieb auftretende BE-Flußspannung bei $T=T_0=300K$ wird bei allen Transistoren

$$U_{BEF} = 800mV$$

eingesetzt. Entsprechend gilt für Al- bzw. Ti-Schottky-Dioden

$$U_{SDF} = 500mV \quad \text{bzw.} \quad U_{SDF} = 300mV .$$

Ein Vergleich mit den Simulationsdaten im Anhang A4 bestätigt diese Werte in etwa.

4) Exemplarstreuungen werden nicht berücksichtigt.

5) Ströme und Spannungen von Transistoren sind meist nicht in den Bildern eingetragen. Ihre Zuordnung ergibt sich aus den Indizes; z.B. ist U_{CE1} bzw. I_{C1} die CE-Spannung bzw. der Kollektorstrom eines mit T_1 bezeichneten Transistors.

Zuerst wurden jeweils Versorgungsspannung U_0 und Hub ΔU festgelegt. Beide Werte müssen möglichst gering sein, damit bei vorgegebener Gatterlaufzeit die Verlustleistung P pro Gatter klein wird (Abschn. 3.2). Allerdings werden nach unten Grenzen gesetzt, da gewisse Mindestanforderungen an die Störsicherheit der Gatter gestellt werden.

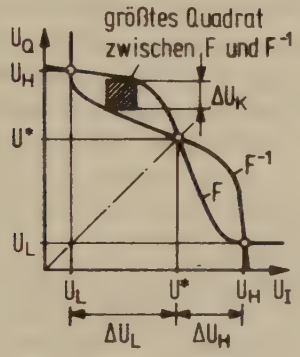


Bild 6.1: Übertragungskennlinie F eines Gatters und inverse Übertragungskennlinie F^{-1} des nachfolgenden Gatters; Definition der Störabstände.

Zur näheren Erläuterung dieser Grenzen dient Bild 6.1. Es zeigt die Spannungs-Übertragungskennlinie eines Gatters und die (an der 45°-Geraden gespiegelte) inverse Übertragungskennlinie des nachfolgenden Gatters. Durch die drei Schnittpunkte werden H-Pegel U_H, L-Pegel U_L und Umschaltpunkt U* festgelegt [4]. Damit erhält man bereits eine erste Grenze, denn bei Verringerung von ΔU (und U_0) wird aufgrund der endlichen Steilheit der Transistoren der Betrag der differentiellen Spannungsverstärkung V_u^* im Umschaltpunkt verringert. Bei $|V_u^*| < 1$ ergeben sich keine drei Schnittpunkte mehr und man kann in einer Gatterkette keine Regeneration der logischen Signale mehr erwarten. Diese Grenze kann zwar exakt bestimmt werden, darf aber nicht ausgenutzt werden, da weitere Einschränkungen zu beachten sind.

Als Maß für die Empfindlichkeit gegenüber Störspannungen werden für den Fall der Störung eines einzigen Gatters einer (unendlich langen) Gatterkette häufig die Einzelstörabstände ΔU_H und ΔU_L herangezogen (Bild 6.1). Diese Werte geben jedoch ein viel zu günstiges Bild, wenn man bedenkt, daß eine Störung an mehreren Gattern der Kette gleichzeitig angreifen kann. Weiter auf der sicheren Seite liegt man, wenn man annimmt, daß eine Störspannung gleichen Betrages mit von Gatter zu Gatter alternierendem Vorzeichen auf alle Gatter einer Kette wirkt. Für diesen Fall erhält man den oft erheblich geringeren Kettenstörabstand ΔU_K (Bild 6.1, [80,4]).

Die genannten Spannungsstörabstände sind allerdings meist nicht hinreichend aussagekräftig, denn durch Exemplarstreuungen der Bauelemente, Temperaturschwankungen und Wechsel des fan out oder fan in kann die Übertragungskennlinie eines oder mehrerer Gatter einer Kette zusätzlich in ungünstiger Weise verschoben und verformt werden.

Vergleicht man darüber hinaus stark unterschiedliche Schaltungskonzepte (wie es hier der Fall ist), so kommt noch hinzu, daß ein Spannungsstörabstand - welche Effekte er immer einschließt - bereits deshalb für einen Vergleich untauglich ist, weil er nicht die Innenimpedanz der Störquelle mit erfaßt. So kann es z.B. vorkommen, daß ein Spannungspegel durch einen leitenden pn-Übergang, d.h. niederohmig festgelegt wird und daß die hohe Innenimpedanz der Störquelle eine Störung des logischen Signals verhindert; wird dagegen der Pegel durch einen Konstantstrom und einen Widerstand festgelegt, so ist unter vergleichbaren Voraussetzungen ein erheblich höherer Störspannungsabstand erforderlich, um eine Störung des logischen Signals zu verhindern. Bessere Vergleichsmöglichkeiten kann u.U. eine entsprechende Betrachtung der Strom-Übertragungskennlinie bieten oder die Definition von Leistungsstörabständen, aber auch dann ist ein objektiver Vergleich nur für einander ähnliche Schaltungskonzepte möglich.

Deshalb wurde in dieser Arbeit ein differenzierteres Verfahren angestrebt: Es wurde zunächst (meist grob) die Grenze bestimmt, bei der $|V_u^*| = 1$ wird. Anschließend erfolgte nach Kriterien, die für die verschiedenen Schaltungskonzepte unterschiedlich sind, die Festlegung von Werten für ΔU (und U_0), die einen hinreichenden Abstand von dieser Grenze ergeben. Dabei mußte allerdings berücksichtigt werden, daß durch die Forderung nach Vermeidung der Sättigung auch eine obere Grnze für ΔU gegeben ist. Diese läßt einen u.U. nur sehr geringen Spielraum für die Wahl von ΔU zu (z.B. NTL, Abschn. 6.4.1).

Im Falle der Schottky-Dioden-Schaltungen ist darüberhinaus keine stufenlose Einstellung von ΔU im erläuterten Bereich möglich.

Nach der Wahl von ΔU wurde die Übertragungskennlinie durch Simulation bestimmt und daraus die Störabstände ΔU_H, ΔU_L und ΔU_K (Bild 6.1). Dies ermöglicht einen Vergleich mit Arbeiten, wo das Störspannungsverhalten anhand dieser Größen diskutiert wird. Darüberhinaus wurde untersucht, welche Störgrößen (Ströme, Spannungen, Exemplarstreuungen, Temperaturschwankungen, Änderungen des fan in oder fan out) auftreten und zu Störungen führen können.

Um einen übersichtlichen Vergleich der Schaltungskonzepte zu ermöglichen, wurden einige Einschränkungen vorgenommen:

1) Es wird nur an einer Stelle einer Gatterkette eine Störgröße eingekoppelt (Einzelstörabstand!).

2) Zwar werden jeweils zunächst beide logischen Zustände des gestörten Gatters betrachtet, anschließend wird aber die Einschränkung auf den Zustand vorgenommen, bei dem eine Störung am wahrscheinlichsten ist.

3) Alle Störeinflüsse werden getrennt betrachtet. Ausnahmen bilden das fan in n_I und das fan out n_Q; hier werden zwischen den Grenzen 1 und 3 jeweils die ungünstigsten Werte eingesetzt. Obwohl oft keine lineare Überlagerung der Störeinflüsse möglich ist, erlaubt diese getrennte Betrachtung doch zumindestens einen qualitativen Vergleich der Schaltungskonzepte und darüberhinaus ein Urteil darüber, ob ein Störeinfluß überhaupt von Bedeutung ist.

Im einzelnen wird zwischen den in Bild 6.2 schematisch dargestellten Größen unterschieden, die zu einer Störung des logischen Signals führen.

ΔI_P: ein Störstrom, der parallel in eine Signalleitung zwischen zwei Gattern eingeprägt wird,

ΔU_S: eine Serienspannung auf einer Signalleitung,

ΔU_Q: eine Änderung der Versorgungsspannung auf dem Chip,

ΔU_M: eine Änderung des Massepotentials auf dem Chip,

$\Delta r/r$: eine relative Änderung eines Widerstandsverhältnisses r bezogen auf seinen Sollwert (eine absolute Änderung aller Widerstände ist für das Störverhalten von untergeordneter Bedeutung),

ΔU_{BE}: eine Änderung der BE-Spannung bei vorgegebenem Strom,

ΔU_{SD}: eine Änderung der Flußspannung einer Schottky-Diode bei vorgegebenem Strom,

ΔT: ein Temperaturgefälle auf dem Chip.

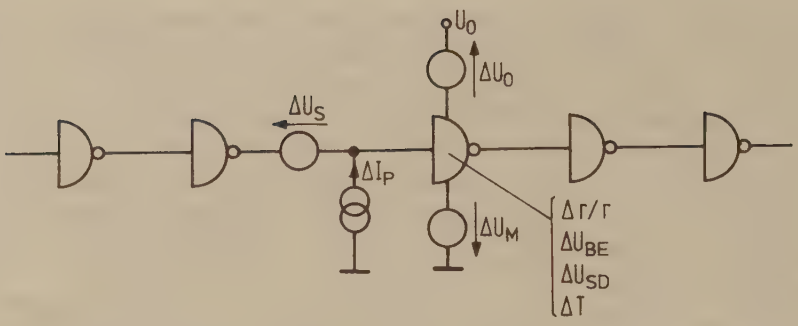


Bild 6.2: Schematische Darstellung der untersuchten Störgrößen.

Diese Störgrößen sollen zunächst näher betrachtet werden. Bezüglich der Ströme und Spannungen wird dabei ein ähnlicher Weg wie in [81] eingeschlagen. D.h. es wurde unterschieden zwischen Störströmen ΔI_P, die kapazitiv an einer Schnittstelle zwischen zwei Gattern eingespeist werden, Störspannungen ΔU_S entlang einer Signalleitung, die induktiv eingekoppelt werden oder durch den statischen Signalstrom entstehen und Störspannungen ΔU_0 bzw. ΔU_M auf der Versorgungs- bzw. Massezuleitung, die durch den Versorgungsstrom eines oder mehrerer Gatter hervorgerufen werden.

Diese Störströme und-spannungen sind allerdings für einen Vergleich der Schaltungskonzepte nicht aussagekräftig genug. Sie wurden deshalb, wie im folgenden beschrieben, normiert.

ΔI_P wird auf Abfall- bzw. Anstiegsgeschwindigkeit der Ausgangsspannung eines Gatters bezogen, wobei bei der Auswahl des kritischsten Falles natürlich Vorzeichen berücksichtigt werden müssen. Mit

$$C_P = \frac{\Delta I_P}{du_Q/dt} \qquad (6.1)$$

erhält man also ein Maß für die zulässige Koppelkapazität zwischen zwei Leitungen. Dieser Wert ist allerdings nur bei Schaltungen maßgeblich, bei denen die Schnittstelle zwischen zwei Gattern so niederohmig ist, daß der (Kurzschluß-) Strom ΔI_P auch tatsächlich hineinfließt. Anderenfalls muß die über Leitungskapazitäten übertragene Spannung (s.u.) zur Beurteilung kapazitiver Störungen herangezogen werden. Der Wert von du_Q/dt in (6.1) wird näherungsweise aus Abfall- oder Anstiegszeit t_r bzw. t_f der Ausgangsspannung eines

Gatters zwischen 25 und 75% des Hubes bei einem fan out $n_Q = 2$ berechnet:

$$\frac{du_Q}{dt} \simeq \frac{\Delta U}{2t_f} \quad \text{oder} \quad \frac{du_Q}{dt} \simeq \frac{\Delta U}{2t_r} \quad . \tag{6.2}$$

Störspannungen entsprechend

$$\Delta U_S = M_S \, di/dt \tag{6.3}$$

aufgrund einer Koppelinduktivität M_S zwischen zwei Leitungen sind bei den vorliegenden Schaltungen ausgeschlossen, da sich aufgrund der angestrebten geringen Verlustleistung pro Gatter nur sehr kleine Werte di/dt ergeben, die im Zusammenhang mit den infrage kommenden Leitungslängen auf dem Chip keinen merklichen Beitrag zur Störspannung liefern. Induktive Störungen sollen daher im folgenden ausgeschlossen werden.

Die bei einigen Schaltungen relativ hohen statischen Signalströme I_S können dagegen durchaus zu Störungen führen. Für diesen Fall wird ein zulässiger Leitungswiderstand angegeben:

$$R_S = \frac{\Delta U_S}{I_S} \quad . \tag{6.4}$$

ΔU_0 und ΔU_M werden auf den Versorgungsstrom I_0 eines Gatters bezogen. Damit ergeben sich die Größen

$$R_0 = \frac{\Delta U_0}{I_0} \quad , \qquad R_M = \frac{\Delta U_M}{I_0} \quad , \tag{6.5}$$

die Maß dafür sind, wie niederohmig das Versorgungsleitungssystem sein muß. Induktive Störungen auf den Versorgungsleitungen spielen i.a. keine Rolle.

Die beschriebenen Normierungen sind leistungsabhängig und wurden daher für alle Grundgatter bei den Verlustleistungen P_0=0,05mW und P_0=2mW durchgeführt, um einen ausreichend objektiven Vergleich zu ermöglichen.

Zur Beurteilung kapazitiver Störungen soll ein Signalleitungssystem vorausgesetzt werden, das zu der in Abschn. 4.2 beschriebenen Basistechnologie paßt; es ist gekennzechnet durch die Leitungsbreite

$$b_L = 4\mu m \, , \tag{6.6}$$

den Leitungsabstand

$$d_L = 3\mu m \, , \tag{6.7}$$

die Dicke

$$z_{ox} = 1{,}3\mu m \tag{6.8}$$

des Isolationsoxides (vgl. (4.3)), auf dem die Leitungen verlaufen, und die Dicke des Substrats

$$z_S = 200\mu m \tag{6.9}$$

mit dem spezifischen Widerstand $\varrho_S = 20\Omega cm$ nach Tab. 4.1.

Legt man den bezüglich der Koppelkapazität ungünstigen Fall zugrunde, daß die Leitungen mit einem dicken Oxid zur Isolation einer zweiten Verdrahtungsebene abgedeckt sind, so ergibt eine Abschätzung mit Hilfe von [93] für die Kapazität C_L zwischen Leitung und Substrat, bezogen auf die Leitungslänge l_L,

$$\frac{C_L}{l_L} \simeq 1{,}4pF/cm \tag{6.10}$$

und für die Koppelkapazität zwischen zwei Leitungen

$$\frac{C_K}{l_L} \simeq 0{,}2pF/cm \quad . \tag{6.11}$$

Da sich für die Zeitkonstante aus Kapazitätsbelag und Widerstandsbelag der Leitungen ein sehr kleiner Wert ergibt, gelten (mit den genannten Zahlenwerten) für die kapazitive Kopplung zwischen zwei Leitungen näherungsweise die Ersatzschaltbilder nach Bild 6.3.

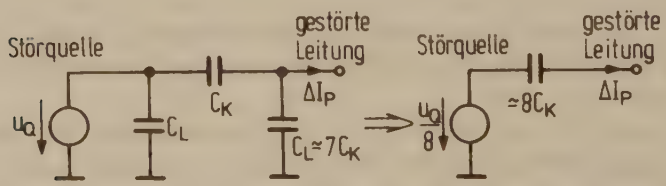


Bild 6.3: Vereinfachte Ersatzschaltbilder für die kapazitive Kopplung zwischen zwei benachbarten Leitungen.

Danach wird der Hub von u_Q im ungünstigsten Fall um den Faktor 8 reduziert auf die benachbarte Leitung übertragen, was z.B. bei der C^3L im Prinzip bereits allein zur Störung des logischen Signals führen kann, wenn C_K hinreichend groß ist.

Bei den Größen $\Delta R/R$, ΔU_{BE}, ΔU_{SD} und ΔT ist eine Normierung nicht nötig, aber auch hierzu sind einige kurze Bemerkungen angebracht.

Für die Ermittlung der relativen Widerstandsänderung $\Delta R/R$, die zur Störung des logischen Signals führt, wird jeweils der kritischste Widerstand des Gatters herangezogen. Absolute Widerstandstoleranzen spielen i.a. keine Rolle.

Die Schwankung der BE-Spannung und ggf. der Schottky-Dioden-Spannungen sind innerhalb eines Gatters so gering, daß sie kaum zur Störung beitragen. Die zur Störung führenden Werte ΔU_{BE} und ΔU_{SD} werden deshalb für alle Bauelemente des gestörten Gatters eingesetzt.

Temperaturschwankungen ΔT wirken sich indirekt in erster Linie über ΔU_{BE} und ΔU_{SD} aus. Auch hier wird für alle Bauelemente des gestörten Gatters die gleiche Temperaturänderung gegenüber der Restschaltung eingesetzt.

6.1.2 Dynamisches Verhalten

Im Anschluß an die Dimensionierung und die Untersuchung der Störsicherheit wurde jeweils das optimale dynamische Verhalten der Grundgatter als Funktion der Verlustleistung P untersucht. Optimiert wurden die Gatter, wie in Kap. 4 beschrieben, bezüglich der Gatterlaufzeit t_{Dmin}. Im Vordergrund der Beschreibung steht deshalb die Funktion $t_{Dmin}(P)$. Ihren prinzipiellen Verlauf für eine vorgegebene Anzahl von Basiskontakten zeigt Bild 6.4 in schematischer Form.

Dieser Verlauf soll im folgenden beginnend mit Verlustleistungen $P > P_0$ (pro Gatter) diskutiert werden. Der Einfluß von Leitungskapazitäten wird dabei zunächst nicht berücksichtigt; er wird später gesondert diskutiert.

Kennzeichnend für die hier zugrundegelegte Oxidwall-Isolation ist, daß alle Leitwerte und Kapazitäten von Transistoren und Dioden nahezu proportional zur Emitterstreifenlänge y_E sind, da alle Sperrschichten und Widerstandszonen durch den gleichen (relativ steilen) Oxidwall begrenzt werden (Bild 4.6c). Im Bereich $P > P_0$ hat dies folgende Konsequenz: Hat man hier für eine Leistung das Optimum t_{Dmin} gefunden, so ergibt sich für jede andere Leistung in diesem Bereich das Optimum für die gleichen Werte von N_C und x_E sowie für $y_E \sim P$. Da bei konstanten Werten für Hub und Versorgungsspannung auch die Schaltungsleit-

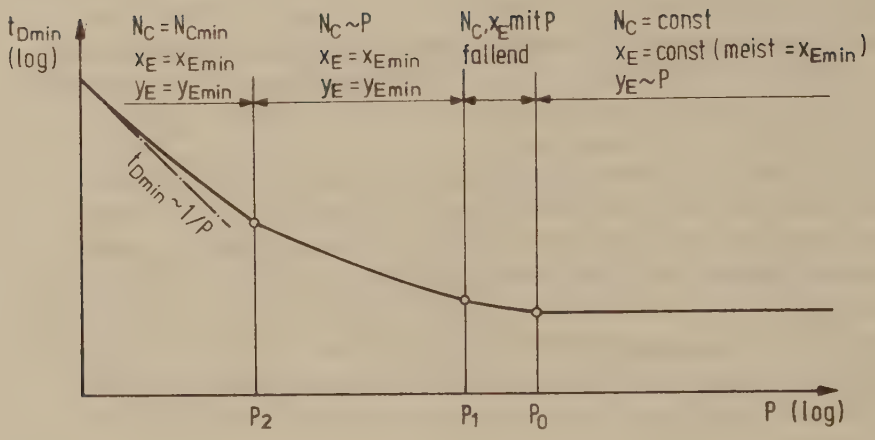


Bild 6.4: Schematische Darstellung des prinzipiellen Verlaufs der Funktion $t_{Dmin}(P)$ für eine vorgegebene Anzahl von Basiskontakten.

werte (z.B. Lastwiderstände) und somit sowohl Ströme als auch Diffusionsleitwerte und -kapazitäten proportional zu P sind, bleiben alle dominierenden Zeitkonstanten des Gatters unabhängig von P und man erhält einen nahezu konstanten Wert für t_{Dmin}. Ein geringfügiger Anstieg mit fallender Leistung entsteht lediglich durch den (kleinen) Einfluß von Randkapazitäten und den parasitären Kapazitäten der Schaltungswiderstände.

Der Bereich nahezu konstanter Gatterlaufzeit reicht bis $P = P_0$. Hier wird der Minimalwert $y_E = y_{Emin}$ erreicht. Es schließt sich ein Bereich an, in dem aufgrund der Einhaltung der Sättigungsbedingung N_C und x_E verringert werden, wobei jedoch keine grundsätzliche Aussage darüber möglich ist, welcher Parameter zuerst verringert werden muß. In diesem Bereich ist daher für jede Leistung die Optimierung erneut durchzuführen. Da hier die Wahl von y_E als Freiheitsgrad für die Optimierung entfällt, ergibt sich ein etwas stärkerer Anstieg von t_{Dmin} mit steigendem P.

Bei $P = P_1$ wird auch die Grenze $x_E = x_{Emin}$ erreicht, d.h. die Transistoren erhalten fortan die Minimalstruktur. Im anschließenden Leistungsbereich führt die Einhaltung der Sättigungsbedingung etwa zu $N_C \sim P$ (vgl. Abschn. 4.5.2). Da nun die EB-Kapazitäten nahezu konstant bleiben (konstante Emitterfläche $x_{Emin} \cdot y_{Emin}$), die CB-Kapazitäten nur ungefähr proportional zu $\sqrt{P}$ abnehmen, die Schaltungswiderstände aber nach wie vor proportional zu 1/P sind, ergibt sich

in diesem Bereich ein stetig zunehmender Anstieg von t_{Dmin} mit fallender Leistung P.

Schließlich wird bei P_2 auch $N_C = N_{Cmin}$ erreicht und der Verlauf von t_{Dmin} über P geht mit abnehmendem Einfluß der Bahnwiderstände und der Transitzeit asymptotisch in eine Gerade $t_{Dmin} \sim 1/P$ über.

Im folgenden sollen einige Details der durch Simulationen gewonnenen Kurven $t_{Dmin}(P)$ diskutiert werden, die sich im Zusammenhang mit den untersuchten Gatterschaltungen und der zugrundegelegten Basistechnologie ergaben.

Im Bereich $P > P_0$ ergab die Optimierung durchweg $x_E = x_{Emin}$ (=2µm). Damit entfällt der Bereich zwischen P_0 und P_1 in Bild 6.4, bzw. es gilt $P_1 = P_0$. Dies führte zu einer erheblichen Verringerung des Optimierungsaufwandes. Erst im Zusammenhang mit der Untersuchung des Einflusses einer lateralen Strukturverkleinerung ($x_{Emin} = 1\,\mu m$) ergab sich im Bereich $P > P_0$ eine optimale Streifenbreite $x_E > x_{Emin}$; allerdings führte dies nur zu einem relativ geringen Unterschied zwischen P_0 und P_1, so daß der Bereich zwischen diesen Leistungen durch die Optimierung an den Endpunkten P_0 bzw. P_1 erfaßt werden konnte.

Bei der Leistung P_0 ergab sich für einige Schaltungen eine Knickstelle der Kurve $t_{Dmin}(P)$. Dies ist immer dann der Fall, wenn im Zuge der Optimierung bei $P > P_0$ der Maximalwert N_{Cmax} von N_C erreicht wird. Dieser Knick läßt sich ausgehend vom Kurvenverlauf für $P < P_0$ leicht erklären. Dieser Verlauf ergibt sich bei konstanten Emittermaßen (x_{Emin}, y_{Emin}) und der Anpassung von N_C an die Verlustleistung P derart, daß gerade die Sättigungsbedingung eingehalten wird. Würde man diese Kurve über P_0 hinaus fortsetzen, ohne Rücksicht auf den Maximalwert von N_C, so würde t_{Dmin} mit steigendem P nicht ständig weiter abnehmen; vielmehr würde der zunehmende Einfluß des (etwa konstanten) Basisbahnwiderstandes schließlich zu einem Minimum von t_{Dmin} und bei weiter steigender Leistung sogar wieder zu einer zunehmenden Gatterlaufzeit führen.

Ist nun im Minimum der Kurve $t_{Dmin}(P)$ für (x_{Emin}, y_{Emin}) der Maximalwert von N_C (durch Anpassung an P) noch nicht erreicht, so kann dieses Minimum bei steigender Leistung P dadurch beibehalten werden, daß y_E proportional zu P vergrößert wird (s.o.). In diesem Fall ist die Lage des genannten Minimums gleichbedeutend mit P_0 und man erhält keine Knickstelle.

Wird dagegen zuvor die Grenze $N_C = N_{Cmax}$ erreicht, so wird der diskutierte Verlauf von $t_{Dmin}(P)$ an dieser Stelle, d.h. mit einer negativen Steigung, abgebrochen und man erhält einen Knick bei

$P = P_0$, da, wie anfangs erläutert, die Steigung von $t_{Dmin}(P)$ für $P > P_0$ nahezu Null ist.

Auch für $P = P_2$ erwartet man eine Knickstelle, denn hier gilt

$$\frac{dt_{Dmin}}{dP} = \frac{\partial t_D}{\partial N_C} \cdot \frac{dN_C}{dP} + \frac{\partial t_D}{\partial P} \quad ; \qquad (6.12)$$

während die partiellen Ableitungen in dieser Beziehung in der Umgebung von P_2 sicher stetig sind, ergibt sich für dN_C/dP ein Sprung von dem durch $N_C \sim P$ gegebenen negativen Wert ($P > P_2$) auf den durch $N_C = N_{Cmin} = \text{const}$ gegebenen Wert Null ($P < P_2$) und damit ein entsprechender Knick im Verlauf von $t_{Dmin}(P)$. Dieser Knick entfällt nur dann, wenn bereits für $N_C > N_{Cmin}$ die BC-Raumladungszone selbst bei leitendem Transistor bis zum buried layer durchgreift (dies ist bei einigen der untersuchten Schaltungskonzepte der Fall). Dann ist bei P_2 die Ableitung $\partial t_D/\partial N_C = 0$ und der Sprung der Ableitung dN_C/dP macht sich nicht mehr als Knick bemerkbar.

Eine weitere Knickstelle ergibt sich, wenn man die Anzahl n_B der Basiskontakte in die Optimierung einbezieht. Bei allen untersuchten Schaltungen ergab sich das Minimum t_{Dmin} bei hohen Leistungen mit $n_B = 2$ und bei niedrigen Leistungen mit $n_B = 1$. Die entsprechenden Kurven $t_{Dmin}(P)$ für $n_B = 1$ und $n_B = 2$ müssen einander also schneiden. Dieser Schnittpunkt lag mit Ausnahme der FECL bei allen Schaltungen zwischen P_0 ($n_B = 2$) und P_2 ($n_B = 1$), sodaß sich qualitativ meist der in Bild 6.5 dargestellte Verlauf ergab.

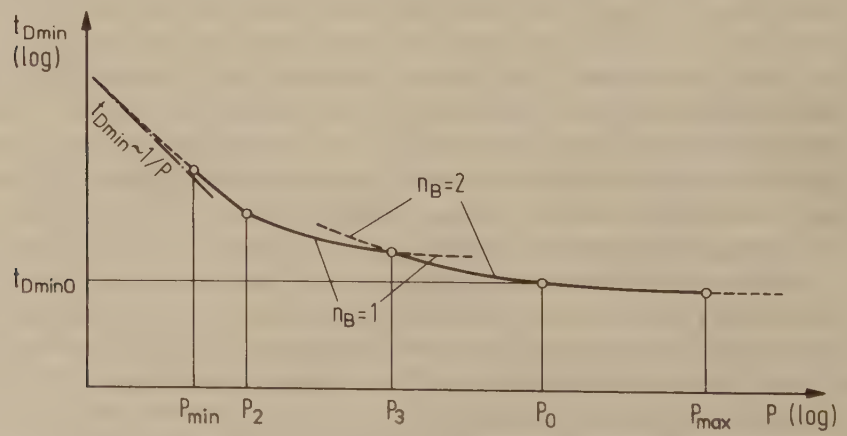


Bild 6.5: Schematische Darstellung des Verlaufes von $t_{Dmin}(P)$ unter Berücksichtigung der Anzahl n_B der Basiskontakte bei der Optimierung.

Dieser Verlauf wurde für die verschiedenen Grundgatter durch Simulation ermittelt. Dabei wurde für das fan in n_I und das fan out n_Q jeweils der Wert 2 zugrundegelegt. Dies steht im Gegensatz zur üblichen Beurteilung der Gatterlaufzeit durch die (einfache) Messung der Schwingfreuenz eines Ringoszillators, z.B.[82]; hier ist $n_I=n_Q=1$, d.h. die Möglichkeiten der Signalverzweigung bleiben unberücksichtigt.

Auch die Messung der maximalen Schaltfrequenz eine Flipflops wird häufig zur Beurteilung von Schaltungskonzepten herangezogen [82]. Hier weichen zwar n_I und n_Q i.a. von eins ab, sind dafür aber nur ungenau festgelegt. Außerdem wird diese Schaltfrequenz oft nicht allein durch t_D bestimmt. Um dennoch einen Vergleich zu anderen Arbeiten zu ermöglichen, wurden sowohl die Abhängigkeit der Gatterlaufzeit vom fan out (das fan in ist i.a. unwichtig) als auch Flipflops untersucht.

Bei der Simulation wurde mit P_{max} =2mW begonnen, einer Leistung also, die für alle Schaltungen höher ist als die Leistung P_0, bei der $y_E=y_{Emin}$=4µm erreicht wird. Der Schnittpunkt P_3 wurde durch ausreichend weite Fortsetzung der Kurven für n_B=1 bzw. 2 über diesen Schnittpunkt hinaus ermittelt. Die Simulationen wurden in jedem Fall bis zur Leistung P_2 herab durchgeführt, bei der $N_C=N_{Cmin}$ wird. Im Falle $P_2 > P_{min}$ =0,05mW wurde die Kurve bis P_{min} =0,05mW fortgesetzt, um die Schaltungskonzepte auch bei dieser kleinen Leistung noch vergleichen zu können.

Neben der Gatterlaufzeit $t_{Dmin}(P)$ wurden jeweils Anstiegszeit $t_r(P)$ und Abfallzeit $t_f(P)$ der Ausgangsspannung des untersuchten Gatters bestimmt. Diese Werte sind einerseits dann von besonderer Bedeutung, wenn besonders hohe Übertragungsfrequenzen benötigt werden. Andererseits werden diese Werte zur Beurteilung der Störsicherheit benötigt (Abschn. 6.1.1).

Ein besonders markanter Punkt der Kurven in Bild 6.5 ist (P_0, t_{Dmin0}). Ausgehend von diesem Punkt kann durch Erhöhung der Verlustleistung keine nenneswerte Verringerung von t_{Dmin} gegenüber t_{Dmin} erreicht werden. Andererseits erhöht sich t_{Dmin} für $P < P_0$ merklich, da keine Anpassung von y_E an P mehr möglich ist. P_0 kann also als optimale Verlustleitung des Gatters betrachtet werden. Deshalb wurde hier eine ausführliche Empfindlichkeitsanalyse durchgeführt (Abschn. 6.1.3).

Um darüberhinaus auch bei extrem geringen Verlustleistungen einen Vergleich der Schaltungskonzepte zu ermöglichen, wurden bei P_{min} =0,05mW die Empfindlichkeiten der Gatter bezüglich der aus-

gangsseitigen Belastung mit mehreren Gattern oder mit Leitungskapazitäten bestimmt (Abschn. 6.1.3).

6.1.3 Empfindlichkeitsanalyse

Zur Bestimmung der Gatterlaufzeit t_D aus den elektrischen Parametern muß ein System von nichtlinearen Differentialgleichungen gelöst werden. Diese Lösung ist i.a. analytisch nicht möglich und erfolgt daher numerisch mit Hilfe eines Digitalrechners oder (wie in der vorliegenden Arbeit) eines Analogrechners.

Eine analytische Näherung erhält man mit der Annahme, daß t_D in erster Linie durch den in jedem der hier untersuchten Gatter enthaltenen Inverter bestimmt wird. Untersucht man qualitativ einen solchen Inverter, so stellt man fest, daß die Differentialgleichungen, die dessen dynamisches Verhalten beschreiben, weitgehend voneinander entkoppelt sind. Diese Entkopplung hat drei mögliche Gründe:

1) Es treten Zeitkonstanten von so stark unterschiedlicher Größe auf, daß ihre Einflüsse auf das dynamische Verhalten voneinander unabhängig sind.

2) Es werden maßgebliche Kapazitäten recht genau gleichzeitig umgeladen.

3) Es werden maßgebliche Kapazitäten zeitlich weitgehend voneinander getrennt umgeladen.

Diese Gründe sollen anhand von Bild 6.6 näher erläutert werden.

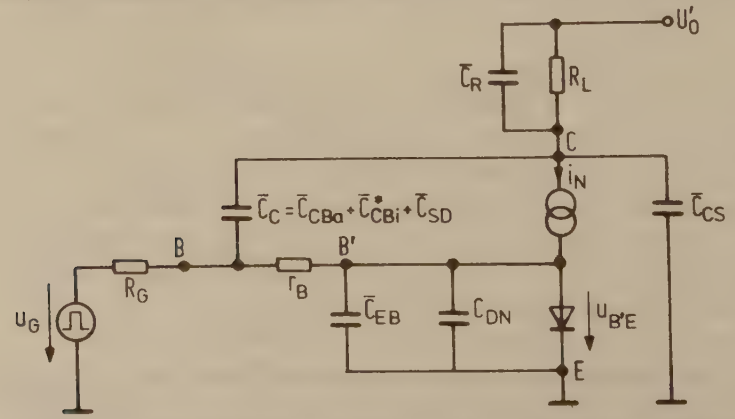


Bild 6.6: Inverterschaltung mit vereinfachtem Transistor-Ersatzschaltbild. Für Transistoren ohne Clamp-Diode wird $\bar{C}_{SD}=0$ gesetzt.

Dort wird ein Inverter aus einem Transistor und einem Lastwiderstand R_L durch einen Rechteckgenerator u_G mit dem Innenwiderstand R_G angesteuert.

Für Sperrschichtkapazitäten werden, wie in Abschn. 4.4.2 beschrieben, Mittelwerte eingesetzt. Für r_B wird der Mittelwert $\overline{r}_B$ aus r_{Bein} und r_{Baus} nach Abschn. 4.4.3 verwendet. Dies ist als Näherung sinnvoll, weil auch t_D ein Mittelwert für Einschalt- und Ausschaltvorgang ist. Das Ersatzschaltbild des Transistors wurde gegenüber Bild 4.14 etwas vereinfacht, sodaß die unbedeutenden Einflüsse von r_{CB}, r_{Ca}, r_{CS} und $\overline{r}_B\overline{C}_{CBi}$ unberücksichtigt bleiben. (Der Einfluß der Zeitkonstanten $r_{Ci}\overline{C}_{CBi}$ ist in $\overline{C}^*_{CBi}$ nach (4.54) enthalten). Eine eventuell vorhandene Clamp-Diode wird durch ihre Sperrschichtkapazität $\overline{C}_{SD}$ repräsentiert.

Will man die Ergebnisse für den Inverter auf eine Gatterkette übertragen, so darf man davon ausgehen, daß in guter Näherung $R_G \sim R_L \sim 1/P$ gilt [3], wobei allerdings die Proportionalitätsfaktoren vom Schaltungskonzept abhängen. Man kann also den Einfluß von R_G und R_L durch einen willkürlichen "Schaltungswiderstand" $R \sim 1/P$ ausdrücken und dies später durch geeignete Konstanten berücksichtigen.

Es gibt nun zunächst zwei Zeitkonstanten, die so klein sind, daß ihre Einflüsse auf t_D allein dadurch von den übrigen Einflüssen entkoppelt sind; dies sind $R\overline{C}_{CS}$ und $R\overline{C}_R$[1]. Die Zeitkonstante $(R_G+\overline{r}_B)\overline{C}_{EB}=(R/k_1+\overline{r}_B)\overline{C}_{EB}$ (k_1 berücksichtigt $R=k_1R_G\sim R_G$, s.o.) wird getrennt wirksam, weil vor dem Einschalten des Transistors hauptsächlich $\overline{C}_{EB}$ über R_G und $\overline{r}_B$ soweit aufgeladen werden muß, daß ein merklicher Strom i_N fließt. Während des eigentlichen Einschaltvorgangs und auch während des Ausschaltvorganges ändert sich die Ladung von $\overline{C}_{EB}$ nur wenig, und es werden C_{DN} über R_G und $\overline{r}_B$ sowie $\overline{C}_C$ über R_G und R_L praktisch gleichzeitig umgeladen, sodaß auch die Einflüsse der Zeitkonstanten $(R/k_1+\overline{r}_B)\overline{C}_{EB}$, $(R/k_1+\overline{r}_B)\tau_N/R$ und $R\overline{C}_C$ voneinander weitgehend unabhängig sind.

Aufgrund dieser Entkopplungen kann man die Gatterlaufzeit in guter Näherung als Linearkombination der verschiedenen Zeitkonstanten ausdrücken:

$$t_D \simeq \left[k_2\left(1+k_1\frac{\overline{r}_B}{R}\right)\tau_N + k_3\left(1+k_1\frac{\overline{r}_B}{R}\right)R\overline{C}_{EB} + k_4R\overline{C}_C + k_5R\overline{C}_{CS} + k_6R\overline{C}_R\right]k_7 \qquad (6.13)$$

1) Dies gilt bei der hier zugrundegelegten Oxidwall-Isolation, nicht aber bei Verwendung einer Isolationsdiffusion.

mit

$$\overline{\tau}_C = \overline{\tau}_{CBa} + \overline{\tau}^*_{CBi} + \overline{\tau}_{SD} \cdot \qquad (6.14)$$

Darin ist k_7 ein Korrekturfaktor, der vernachlässigte Zeitkonstanten und Simulationsfehler (bei der Bestimmung von k_1 bis k_6 durch eine Empfindlichkeitsanalyse) berücksichtigt. Diese Näherung wurde durch eine Reihe von Voruntersuchungen bestätigt [6] .

Sie wurde auch in dieser Arbeit erneut überprüft. Dazu wurde zunächst bei $P = P_0$ (Bild 6.4) eine Empfindlichkeitsanalyse durchgeführt, bei der für jeden Parameter in (6.13) außer R mindestens drei verschiedene Werte eingesetzt wurden.
Durch Eintragung der Ergebnisse in ein Diagramm nach Bild 6.7 konnte geprüft werden, wie gut die durch (6.13) gegebene Forderung

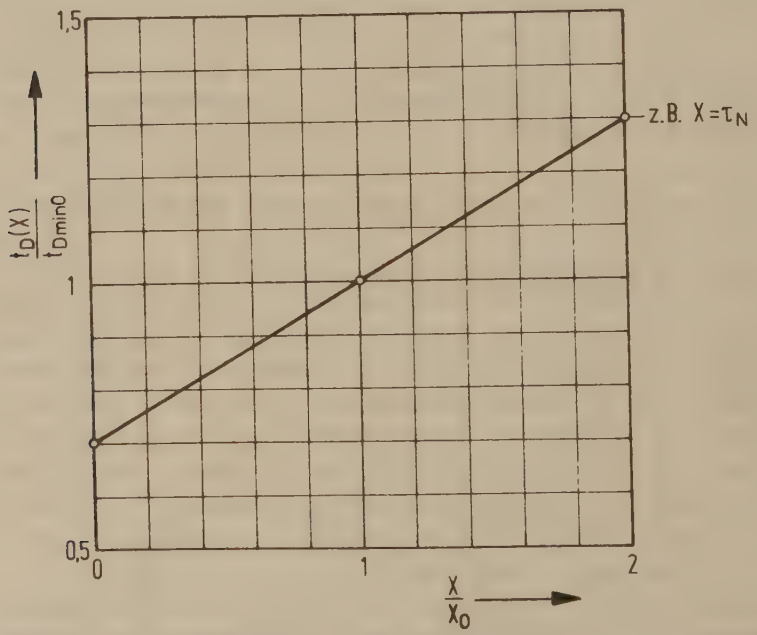


Bild 6.7: Einfluß der Änderung eines Parameters X auf die Gatterlaufzeit t_D. Normierungswerte sind der Wert X_0 des Parameters, bei dem $t_D = t_{Dmin0}$ ist, und t_{Dmin0} selbst. Der Index 0 weist darauf hin, daß die Untersuchung bei P_0 durchgeführt wurde.

nach linearer Abhängigkeit der Gatterlaufzeit t_D von den einzelnen Parametern erfüllt ist. Außerdem liefert ein solches Diagramm

sehr anschauliche Hinweise darüber, auf welche Parameter ein besonderes Augenmerk gerichtet werden muß, wenn man die Schaltungseigenschaften durch eine Weiterentwicklung der Technologie verbessern will.

Anschließend wurden aus den Simulationsergebnissen für die jeweiligen Maximal- und Minimalwerte der Parameter die Ableitungen

$$d_1 = \frac{dt_D}{d\bar{r}_B}, \quad d_2 = \frac{dt_D}{d\tau_N}, \quad d_3 = \frac{dt_D}{d\bar{C}_{EB}},$$
$$d_4 = \frac{dt_D}{d\bar{C}_C}, \quad d_5 = \frac{dt_D}{d\bar{C}_{CS}}, \quad d_6 = \frac{dt_D}{d\bar{C}_R} \qquad (6.15)$$

bestimmt. Durch Gleichsetzen mit den Ableitungen, die man mit k_7=1 aus (6.13) erhält, kann man die Empfindlichkeitsfaktoren k_1 bis k_6 bestimmen:

$$k_1 = \frac{d_1 R}{d_2\tau_N + d_3\bar{C}_{EB} - d_1\bar{r}_B}, \quad k_2 = \frac{d_2}{1 + k_1\bar{r}_B/R}$$
$$k_3 = \frac{d_3}{(1 + k_1\bar{r}_B/R)R}, \quad k_4 = \frac{d_4}{R}, \quad k_5 = \frac{d_5}{R}, \quad k_6 = \frac{d_6}{R} \qquad (6.16)$$

Mit diesen Empfindlichkeitsfaktoren und dem simulierten Wert t_D kann nun der Korrekturfaktor k_7 berechnet werden:

$$k_7 = t_D \Big/ \left[k_2(1+k_1\frac{\bar{r}_B}{R})\tau_N + k_3(1+k_1\frac{\bar{r}_B}{R})R\bar{C}_{EB} + k_4 R\bar{C}_C + k_5 R\bar{C}_{CS} + k_6 R\bar{C}_R\right]. \qquad (6.17)$$

Seine Abweichung von eins ist ein qualitatives Maß dafür, inwieweit die Vernachlässigung kleiner Zeitkonstanten berechtigt war und wie groß die Bereiche der Parameter sind, in denen k_1 bis k_6 konstant sind. Für die verschiedenen Schaltungen lag k_7 zwischen 0,956(NTL) und 1,038(C^3L), Werten also, die im Rahmen der Simulationsgenauigkeit als "gleich eins" betrachtet werden können.

Obwohl mit diesen Ergebnissen bereits angenommen werden durfte, daß (6.13) in guter Näherung t_D liefert, wurden bei den einzelnen Schaltungen noch die maximalen Abweichungen der mit (6.13) berechneten Gatterlaufzeit t_D' vom simulierten Wert t_D angegeben. Auch hier ergaben sich keine gravierenden Fehler (vgl. Anhang A4).

Die Empfindlichkeitsfaktoren k_1 bis k_6 hängen nach (6.16) von R und damit von der Wahl des Proportionalitätsfaktors zwischen R und 1/P ab. Um den Vergleich der Schaltungskonzepte, insbesondere hinsichtlich möglicher oder anzustrebender Änderungen der Techno-

logie, zu erleichtern, wurde für alle Schaltungen der gleiche Proportionalitätsfaktor gewählt:

$$R = \frac{1k\Omega}{P / mW} \quad . \tag{6.18}$$

Im Rahmen der Empfindlichkeitsanalyse wurden noch einige ergänzende Untersuchungen durchgeführt:

1) Zu Beginn der Empfindlichkeitsanalyse wurden die Simulationsergebnisse verglichen, die sich mit getrennten Werten r_{Bein} und r_{Baus} des Basiswiderstandes (Abschn. 4.4.3) einerseits und mit dem Mittelwert

$$\overline{r}_B = (r_{Bein} + r_{Baus})/2 \tag{6.19}$$

für alle Basisbahnwiderstände andererseits ergaben. Da keine nennenswerten Unterschiede auftraten (Anhang A4), wurde die Empfindlichkeitsanalyse zwecks Arbeitserleichterung mit $\overline{r}_B$ durchgeführt. Bei der TTL wurde darüberhinaus ergänzend eine Simulation mit dem Zwei-Transistor-Modell nach Bild 4.15 bzw. Abschn. 5.3.6 durchgeführt. Auch dabei ergab sich kein nennenswerter Unterschied zu den zuvor genannten Ergebnissen (Tab. A4.26, Anhang A4). Die Richtigkeit der Verwendung der in Abschn. 4.4.3 angegebenen Werte r_{Bein} und r_{Baus} zur Berücksichtigung des zweidimensionalen Charakters der Transistoren wurde damit an einem Beispiel bestätigt.

2) Alle Simulationen des dynamischen Verhaltens wurden mit einer Stromverstärkung $B_N = \infty$ durchgeführt, da sich so eine einfache Vergleichsmöglichkeit zwischen analytisch berechnetem und simuliertem Hub ΔU ergab. Durch diesen Vergleich können z.B. Programmierfehler vermieden werden. Zur Bestätigung der Geringfügigkeit des Fehlers, der durch diese Vereinfachung hervorgerufen wird, wurde im Rahmen der Empfindlichkeitsanalyse t_D auch für B_N=50 bestimmt. Da sich durch den endlichen Wert von B_N bei allen Schaltungen der Hub verringerte, ergaben sich durchweg geringfügig kleinere Gatterlaufzeiten. Bei Schaltungen mit Seriengegenkopplung (ECL, FECL, NTL) lag diese Verringerung unter 7,2% (Tab. A4.10, Anhang A4), bei Schaltungen mit Parallelgegenkopplung (C^3L, TTL, DCTL) unter 0,8% (Tab. A4.30), da hier der Hub nur wenig von B_N abhängt.

3) Schwierigkeiten ergeben sich mit Schaltungen kleiner Verlustleistung u.U. durch Lastkapazitäten C_L, die durch lange Leitungen hervorgerufen werden. Deshalb wurde auch die Abhängigkeit des dynamischen Verhaltens von C_L untersucht.

4) Um einen Vergleich der Ergebnisse dieser Arbeit mit der Beurteilung des dynamischen Verhaltens nach anderen Verfahren (Ringoszillator, Flipflop [82]) in anderen Arbeiten zu erleichtern, wurde die Abhängigkeit des dynamischen Verhaltens vom fan out untersucht.

Wie bereits am Schluß von Abschn. 6.1.2 erwähnt wurde, sollte ein Vergleich der Schaltungskonzepte auch bei P_{min} =0,05mW durchgeführt werden. Aus diesem Grunde wurde die Abhängigkeit des dynamischen Verhaltens von Lastkapazität und fan out auch bei dieser Leistung durchgeführt. Durch Vergleich der Ergebnisse mit denen bei $P = P_0$ zeigte sich, daß für ein vorgegebenes Schaltungskonzept in erster Näherung (erwartungsgemäß)

$$\frac{dt_D}{dC_L} \sim \frac{1}{P} \qquad (6.20)$$

gilt. Es ist also auch eine Aussage für andere Leistungen als P_0 und P_{min} möglich.

6.1.4 Platzbedarf eines Grundgatters

Um einen Vergleich des Platzbedarfs zu ermöglichen, wurde zwischen P_{min} und P_{max} der Nettoplatzbedarf eines Gatters mit einem fan in und einem fan out von zwei aufgetragen. Er ergibt sich aus der Summe der für die einzelnen Bauelemente einschließlich Isolation benötigten Flächen. Bei Widerständen blieb der Platzbedarf für die Kontaktierung der n^--Zone des Widerstands (Bild 4.10) unberücksichtigt, da eine Kontaktierung nicht zwingend notwendig ist.

6.2 ECL

6.2.1 ECL-Dimensionierung und Störsicherheit

In Bild 6.8 wurde das Grundgatter der ECL nach Bild 3.1 durch die Referenzspannungsschaltung aus R_3 bis R_5 und T_5 ergänzt. Für die Erzeugung der Referenzspannungen gibt es eine Vielzahl verschiede-

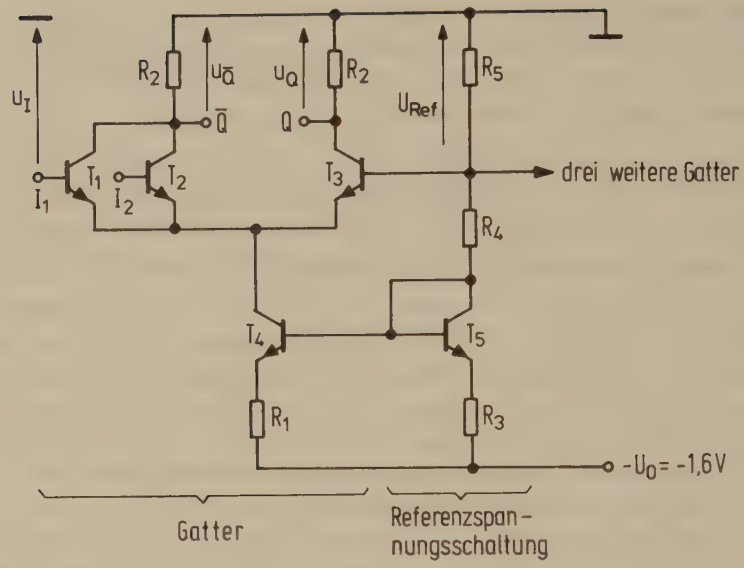


Bild 6.8: ECL-OR/NOR-Gatter mit n_I=2, einschließlich Referenzspannungsschaltung für vier Gatter.

ner Möglichkeiten, die zwischen den folgenden Extremen liegen:

1) Je eine Referenzspannungsschaltung der in Bild 6.8 gezeigten Art wird jedem Gatter zugeordnet. Damit würde der Platzbedarf je Gatter merklich zunehmen. Außerdem würde entweder eine erhebliche zusätzliche Leistung zur Erzeugung der Referenzspannungen benötigt oder die Innenwiderstände der Referenzschaltung würden das dynamische Verhalten des Gatters nachteilig beeinflussen. Ein Vorteil dieses Konzepts ist, daß Parameterstreuungen auf dem Chip kaum Einfluß auf die Übertragungskennlinie haben, da deren Form durch geeignete Auslegung der Referenzschaltung praktisch nur durch Differenzen von BE-Durchlaßspannungen und Widerstandsverhältnisse bestimmt wird.

2) Es wird eine gemeinsame Referenzschaltung für alle Gatter verwendet. Bei diesem Konzept ist es fraglich, ob Platz gespart werden kann, da das zusätzliche Leitungssystem zur Verteilung der Referenzspannungen zusätzlichen Platz beansprucht. Dieser zusätzliche Platzbedarf vermindert sich allerdings bei Mehrlagenverdrahtung. Ein Vorteil dieses Konzepts ist, daß hier

der Aufwand für eine Temperaturkompensation von Hub und Umschaltpunkt vertretbar ist.

Als Kompromiß wurde in dieser Arbeit eine Referenzschaltung für je vier Gatter zugrundegelegt. Auf diese Weise ergibt sich ein geringer Einfluß von Parameterstreuungen auf dem Chip, da vier benachbarte Gatter sicher hinreichend eng beieinander liegen. Außerdem werden gleichzeitig die Innenwiderstände der Referenzschaltung und der Leistungsanteil zur Erzeugung der Referenzspannungen gering gehalten. Auch der zusätzliche Platzbedarf für Erzeugung und Verteilung der Referenzspannungen auf vier Gatter ist klein.

Die Dimensionierung der Schaltung in Bild 6.8 erfolgt mit den zu Beginn von Abschn. 6.1.1 genannten Vereinfachungen.

Grundsätzlich wird bei der ECL die Möglichkeit genutzt, eine symmetrische Übertragungskennlinie zu realisieren, d.h. für den Umschaltpunkt gilt

$$U^* = (U_H + U_L)/2 \ . \tag{6.21}$$

Damit ergibt sich für die Spannungsverstärkung im Umschaltpunkt (vgl. [4]):

$$V_u^* = \left.\frac{dU_{\bar{Q}}}{dU_I}\right|_{U_{\bar{Q}}=U_I=U^*} = -\left.\frac{dU_Q}{dU_I}\right|_{U_Q=U_I=U^*} = -\frac{R_2 I_{C4}}{4U_T} \ . \tag{6.22}$$

Danach ist $|V_u^*| > 1$ für

$$R_2 I_{C4} > 4U_T \approx 104\text{mV} \ . \tag{6.23}$$

Bei hinreichend großem Abstand von dieser Grenze gilt für den Hub

$$\Delta U = U_H - U_L = -U_L = R_2 I_{C4} \ . \tag{6.24}$$

D.h. der Hub muß ausreichend weit über 104mV liegen. Andererseits ist zu beachten, daß der Transistor T_1 (bzw. T_2) auch bei der maximalen Betriebstemperatur T_S=300K nicht in die Sättigung gelangen darf. Geht man, wie in Abschn.6.1.1 erwähnt, von einer BE-Spannung $U_{BEF}(300K) = 800\text{mV}$ und einem Temperaturkoeffizienten dieser Spannung

$$dU_{BEF}/dT = -1{,}6\text{mV/K} \tag{6.25}$$

aus, so ergibt sich selbst bei vernachlässigbarem Kollektorbahnwiderstand, d.h. extrem großflächigen und damit langsamen Transistoren, mit (4.19) und (4.20) die Grenze

$$R_2 I_{C4}(T_S) < U_{BEF}(T_S) - U_{C'ES}(T_S) = 590\text{mV} \ . \tag{6.26}$$

Mit dem gewählten Hub bei $T = T_0 = 300K$

$$\Delta U = 400mV \tag{6.27}$$

ergibt sich von beiden Grenzen ein ausreichender Abstand.

Die weitere Dimensionierung ist dadurch gekennzeichnet, daß gleiche Transistoren und kleine, ganzzahlige Widerstandsverhältnisse angestrebt wurden.

Im Falle $U_I = U_H = 0$ ergibt sich für die Spannung U_{CE1} der Minimalwert 400mV. Aus (6.21) und (6.27 folgt für die Referenzspannung

$$U_{Ref} = -\Delta U/2 = -200mV \; . \tag{6.28}$$

Setzt man nun für U_{CE4} den gleichen Minimalwert wie für U_{CE1} voraus und verwendet ein Widerstandsverhältnis $R_2/R_1=2$, so erhält man die Versorgungsspannung

$$U_0 = -U_{Ref} + U_{BEF} + U_{CE4} + \Delta U R_1/R_2 = 1,6\,V \; . \tag{6.29}$$

Mit $I_{C5}=I_{C4}$ läßt sich die Referenzspannung nach (6.31) erzeugen, ohne daß größere Widerstandsverhältnisse als zwei benötigt werden. Im einzelnen gilt für die Widerstände

$$R_1 = R_3 = R_5 = R_2/2 \; , \tag{6.30}$$

$$R_4 = R_2 \; . \tag{6.31}$$

Alle Widerstände sind umgekehrt proportional zur Verlustleistung P pro Gatter. Ordnet man ein Viertel der Verlustleistung der Referenzspannungsschaltung zu, so gilt

$$P = \frac{5}{4} U_0 \cdot \frac{\Delta U}{R_2} \tag{6.32}$$

und man erhält mit (6.27) und (6.29) für den Bezugswiderstand R_2 die zugeschnittene Größengleichung

$$\frac{R_2}{k\Omega} = \frac{0,8}{P\ /mW} \; . \tag{6.33}$$

Bild 6.9 zeigt die normale und die inverse Spannungs-Übertragungskennlinie des ECL-Gatters bezogen auf den invertierenden Ausgang $\overline{Q}$ für $B_N = \infty$ bzw. $B_N = 50$ (und $n_0 = 2$). Da die Dimensionierung für $B_N = \infty$ erfolgte, ergibt sich in Bild 6.9a der erwartete Hub von 400mV. Aus Bild 6.9b erkennt man, daß bereits bei $B_N = 50$ die Übertragungskennlinie merklich ungünstiger wird. Man erhält in diesem Fall für die durch Bild 6.1 definierten Störabstände

$$\Delta U_H = \Delta U_L = 185mV \; , \quad \Delta U_K = 85mV \; . \tag{6.34}$$

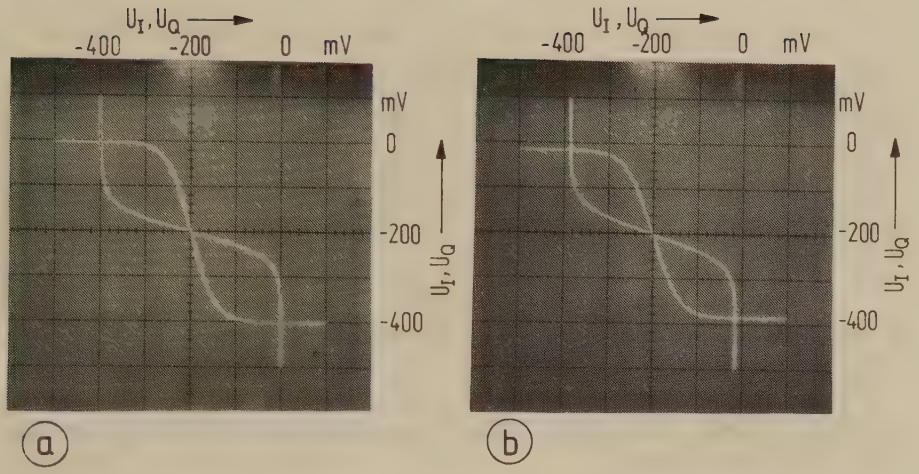


Bild 6.9: Normale und inverse Spannungsübertragungskennlinie des ECL-Gatters nach Bild 6.8, (a) für $B_N=\infty$, (b) für $B_N=50$ und $n_Q=2$.

Für den Störstrom I_P entsprechend Bild 6.2 würde sich bei der ECL im Vergleich zu den übrigen Schaltungen zwar der geringste Wert ergeben; er ist aber insofern ohne Bedeutung, als eine Störung durch kapazitive Kopplung zwischen zwei Signalleitungen hier ausgeschlossen ist. Aufgrund der kapazitiven Spannungsteilung entsprechend Bild 6.3 kann auf einer Verbindungsleitung höchstens eine Störspannungsamplitude von $\Delta U/8$, also knapp 50mV auftreten. Da entsprechend (6.34) aber eine Störspannung von 185mV notwendig ist, ist eine Störung durch kapazitive Kopplung allein unmöglich und selbst bei berücksichtigung anderer Störeinflüsse recht unwahrscheinlich.

Auch die Spannungsabfälle an Signalleitungen, die die geringen statischen Signalströme (Basisströme) der ECL hervorrufen, sind ohne praktische Bedeutung für das Störverhalten.

Als Störungsquellen verbleiben bei der ECL daher in erster Linie Bauelementestreuungen sowie Temperatur- und Betriebsspannungsschwankungen.

Eine Erhöhung ΔU_0 des Potentials am Versorgungsanschluß hat keinen Einfluß auf den H-Pegel ($U_H=0$); für den L-Pegel gilt aber

$$U_L = -\Delta U = -\frac{R_2}{R_1}\frac{R_3(U_0 - U_{BEF})}{R_3 + R_4 + R_5} \quad . \tag{6.35}$$

Damit führt eine Änderung (an einem einzelnen Gatter)

$$\Delta U_0 = 400\text{mV} \tag{6.36}$$

zur Anhebung des L-Pegels um ΔU_L und damit zur Störung. Bei Normierung auf den Versorgungsstrom $I_0 = P/U_0$ (einschließlich Anteil für die Referenzspannungsschaltung) erhält man aus (6.5) für P = 0,05mW bzw. P = 2mW folgende (in geschweiften Klammern angegebenen) Zahlenwerte:

$$R_U = \left\{ 12{,}8k\Omega \; ; \; 320\Omega \right\} . \qquad (6.37)$$

Eine Verringerung ΔU_M des Potentials am Masseanschluß wirkt sich direkt auf den H-Pegel aus. Es gilt also

$$\Delta U_M = \Delta U_H = 185mV \qquad (6.38)$$

und ensprechend (6.37) mit (6.5)

$$R_M = \left\{ 5{,}9k\Omega \; ; \; 150\Omega \right\} . \qquad (6.39)$$

Selbst der Wert 150Ω für P=2mW erscheint unkritisch; man sollte aber bedenken, daß sich dieser Wert auf ein einzelnes Gatter bezieht und nur dem Vergleich der Schaltungskonzepte untereinander dient; d.h. die Massezuleitung zu einer Vielzahl von Gattern muß entsprechend um ein Vielfaches niederohmiger sein, damit Störungen durch das Versorgungsleitungssystem ausgeschlossen werden.

Der L-Pegel der ECL wird entsprechend (6.35) durch die zwei Widerstandsverhältnisse R_2/R_1 und $R_3/(R_4+R_5)$ bestimmt. Nimmt man an, daß beide den gleichen relativen Fehler $\Delta r/r$ annehmen können, d.h.

$$\frac{\Delta(R_2/R_1)}{R_2/R_1} = \frac{\Delta(R_3/(R_4+R_5))}{R_3/(R_4+R_5)} = \frac{\Delta r}{r} \quad , \qquad (6.40)$$

so erhält man durch Auswerten von (6.35) mit (6.30), (6.31) eine Anhebung des L-Pegels um 185mV mit

$$\frac{\Delta r}{r} = -0{,}3 . \qquad (6.41)$$

Auch bei dieser zunächst großzügig erscheinenden relativen Widerstandstoleranz ist zu berücksichtigen, daß gleichzeitig auch andere Störungen auftreten können, man diesen Wert also sicher nicht annähernd ausschöpfen darf.

Schwankungen der BE-Spannung z.B. aufgrund eines Temperaturgefalles auf dem Chip tragen bei der ECL kaum zu Störungen bei, solange (wie hier angenommen) Referenzspannungsschaltung und Gatter nahe beeinander liegen. Erzeugt man dagegen die Referenzspannung (insbes. für T_4, Bild 6.8) zentral, so kann ein Temperaturgefälle auf dem Chip durchaus Störungen begünstigen.

Zusammenfassend stellt man fest, daß die ECL relativ störsicher ist, wenn man ein besonderes Augenmerk auf die dominierenden Störungsquellen richtet, nämlich ein nach oben begrenztes fan out in Verbindung mit einer ausreichenden Stromverstärkung der Transistoren (vgl. Bild 6.9), ein hinreichend niederohmiges Versorgungsleitungssystem und kleine relative Widerstandstoleranzen.

6.2.2 ECL - Dynamisches Verhalten

Die Simulation des dynamischen Verhaltens wurde mit einer Kette aus drei Gattern nach Bild 6.8 durchgeführt, wobei das mittlere untersucht wurde. Zur Nachbildung des fan out n_Q=2 wurden entsprechende Stromtransformationen an den Schnittstellen zwischen den Gattern vorgenommen.

Um die nicht vernachlässigbare Kopplung über die Referenzschaltung [6] auszuschließen, erhielt jedes Gatter eine separate Referenzschaltung entsprechend Bild 6.8.

Die geringste CE-Spannung tritt am Transistor T_1 auf. Deshalb wurden Dimensionierung und Berechnung der elektrischen Parameter für T_1 durchgeführt. Für die übrigen Transistoren wurden die gleichen Werte eingesetzt. Bei der Dimensionierung von T_1 wurde berücksichtigt, daß bei $T=T_S$=350K der Hub aufgrund der Temperaturabhängigkeit der BE-Spannung nach (6.25) entsprechend (6.35) von 400mV auf 440mV ansteigt.

Die Widerstände wurden aus Elementen mit der Struktur nach Bild 4.10 und der Breite b_R=10µm zusammengesetzt, wobei für R_2 und R_4 je ein Element verwendet wurde und für R_1, R_3, R_5 je zwei parallel geschaltet wurden.

Optimiert wurde bezüglich der Gatterlaufzeit, die sich bei Verwendung des (schnelleren) invertierenden Ausgangs $\overline{Q}$ ergibt. Die entsprechenden Zeiten wurden durch einen Querstrich gekennzeichnet ($\overline{t}_{Dmin}$, $\overline{t}_f$, $\overline{t}_r$). Zusätzlich wurden die Zeiten t_{Dmin}, t_f, t_r aufgenommen, die sich bei Verwendung des nichtinvertierenden Ausgangs Q ergeben.

Die Bilder 6.10 bis 6.12 vermitteln einen Überblick über das dynamische Verhalten des ECL-Gatters. Die vollständigen Simulationsergebnisse sowie die ihnen zugrundeliegenden Schaltungs- und Bauelementedaten sind in Tab. A4.1 und A4.2 (Anhang A4) angegeben.

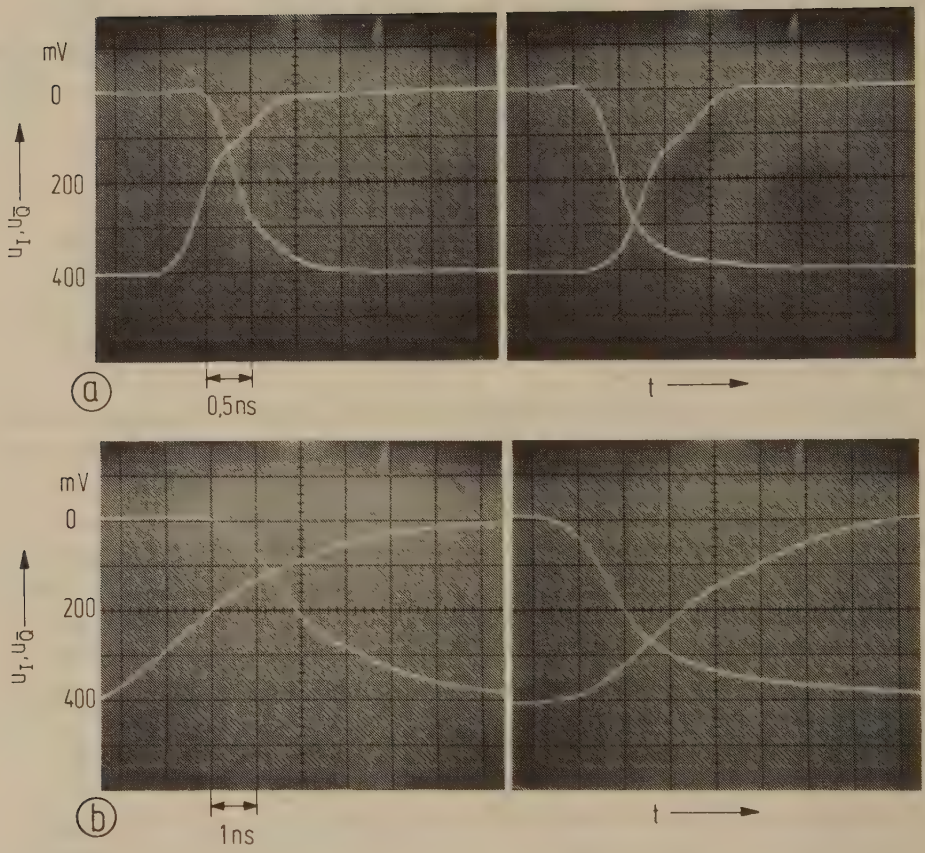


Bild 6.10: Verlauf von Eingangsspannung u_I und Ausgangsspannung $u_{\bar{Q}}$ eines invertierenden ECL-Gatters. (a) $P = P_0 = 1,04mW$, (b) $P = 0,05mW$.

Bild 6.10 zeigt an zwei Beispielen das simulierte Schaltverhalten. In Bild 6.11 sind die Gatterlaufzeiten $\bar{t}_{Dmin}$ und t_{Dmin} über der Verlustleistung P pro Gatter (einschließlich des durch die Referenzspannungsschaltung gegebenen Leistungsanteils) aufgetragen. Die Simulationsergebnisse sind besonders markiert; die Steigungen der Kurven wurden bei P_2 und $P = 0,05mW$ mit Hilfe der Empfindlichkeitsfaktoren nach (6.42) bzw. (6.43) und der Beziehung (6.13) bestimmt.

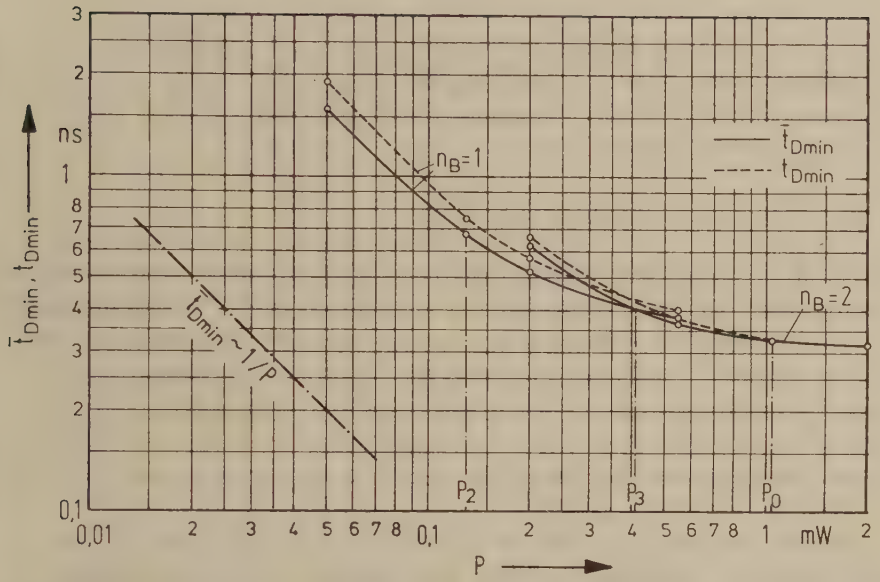


Bild 6.11: Minimale Gatterlaufzeit $\bar{t}_{Dmin}$ eines invertierenden ECL-Gatters als Funktion der Verlustleistung P. Zusätzlich ist die Gatterlaufzeit t_{Dmin} aufgetragen, die sich bei Verwendung des nichtinvertierenden Ausgangs ergibt. n_B ist die Anzahl der Basiskontakte.

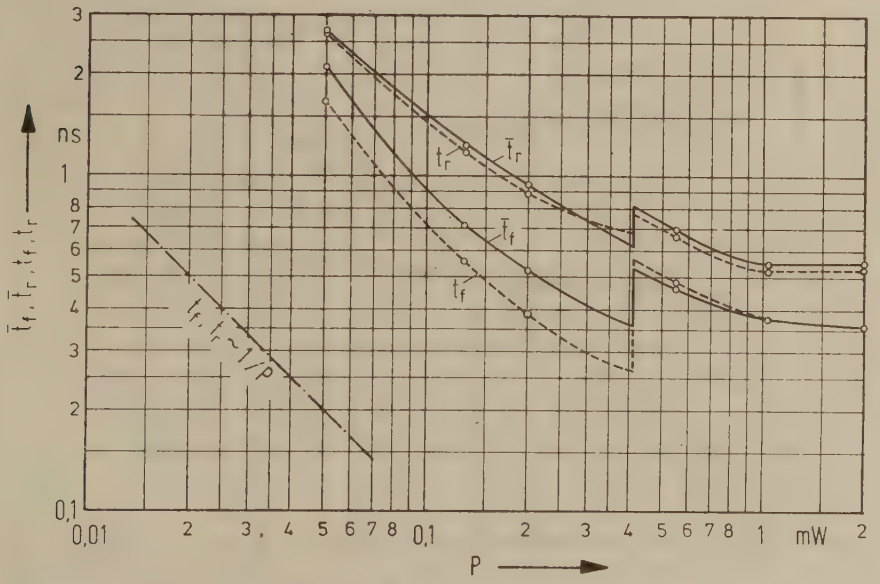


Bild 6.12: Abfallzeiten $\bar{t}_f$, t_f und Anstiegszeiten $\bar{t}_r$, t_r der Ausgangsspannungen des ECL-Gatters als Funktion der Verlustleistung P; $\bar{t}_f$ und $\bar{t}_r$ gelten bei Verwendung des invertierenden, t_f und t_r bei Verwendung des nichtinvertierenden Ausgangs.

Ergänzend zeigt Bild 6.12 Abfall- und Anstiegszeiten der Ausgangsspannungen, die gleichzeitig mit $\overline{t}_{Dmin}$ bzw. t_{Dmin} aufgenommen wurden. Die Sprünge entstehen durch den Übergang von einem auf zwei Basiskontakte.

6.2.3 ECL - Empfindlichkeitsanalyse

Bei $P = P_0 = 1{,}04\,mW$ wurde eine Empfindlichkeitsanalyse durchgeführt, deren wichtigste Ergebnisse in Bild 6.13 aufgetragen sind. Weitere Ergebnisse können Tab. A4.5 (Anhang A4) entnommen werden.

Die Punkte im Bild entsprechen den Simulationsergebnissen. Eine Ausnahme ist der schwarze Punkt; er wurde durch Simulation mit $X = \overline{C}_{CS}$ bei $X/X_1 = 4$ und durch Interpolation bestimmt, da die geringe Abhängigkeit der Gatterlaufzeit von $\overline{C}_{CS}$ u.U. zu relativ großen Fehlern geführt hätte.

Wollte man die Technologie speziell an die ECL anpassen, so sollte man in erster Linie eine Verringerung der CB-Kapazität anstreben. Beispielsweise bieten sich selbstjustierende Verfahren zur Verringerung der entsprechenden Sperrschichtfläche an [13].

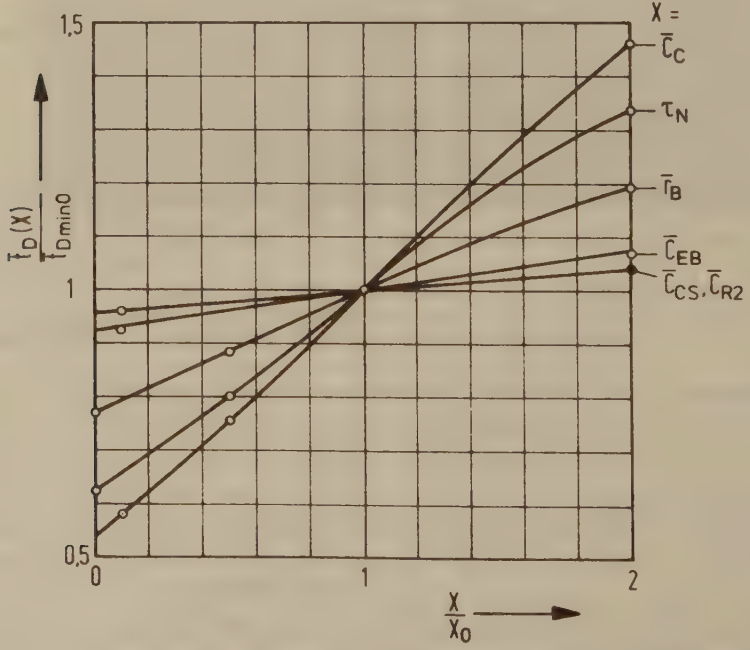


Bild 6.13: Einfluß der Änderung eines Parameters X auf die Laufzeit $\overline{t}_D$ eines invertierenden ECL-Gatters bei $P = P_0 = 1{,}04\,mW$ (vgl. Bild 6.7).

Aus den Ergebnissen der Empfindlichkeitsanalyse wurden die in Abschn. 6.1.3 definierten Empfindlichkeitsfaktoren für das invertierende ECL-Gatter bestimmt:

$$k_1 = 1{,}73\,, \quad k_2 = 2{,}40\,, \quad k_3 = 0{,}288\,,$$
$$k_4 = 4{,}18\,, \quad k_5 = 0{,}906\,, \quad k_6 = 0{,}636\,, \qquad (6{,}42)$$
$$k_7 = 1{,}018\,.$$

Entsprechend erhält man die Empfindlichkeitsfaktoren für das nichtinvertierende ECL-Gatter:

$$k_1 = 1{,}39\,, \quad k_2 = 2{,}79\,, \quad k_3 = 0{,}541\,,$$
$$k_4 = 4{,}06\,, \quad k_5 = 0{,}513\,, \quad k_6 = 0{,}681\,, \qquad (6.43)$$
$$k_7 = 0{,}981\,.$$

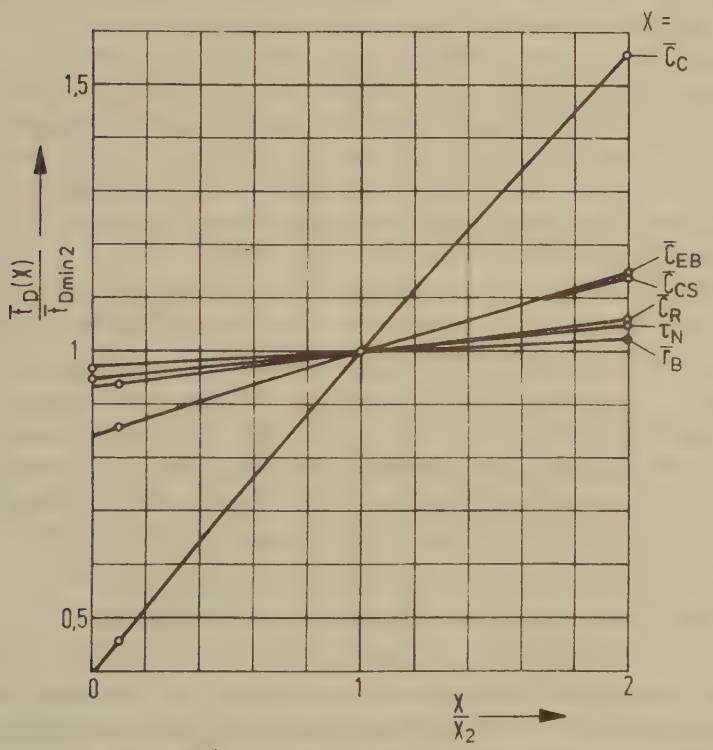


Bild 6.14: Einfluß der Änderung eines Parameters X auf die Laufzeit $\bar{\tau}_D$ eines invertierenden ECL-Gatters bei $P = P_2 = 0{,}05$mW.

Mit diesen Empfindlichkeitsfaktoren und (6.13) wurden die Gatterlaufzeiten $\bar{t}_D'$ und t_D' berechnet und mit den Simulationsergebnissen $\bar{t}_{Dmin}$ bzw. t_{Dmin} verglichen. Dabei ergab sich in keinem Fall eine Abweichung über 6,6% (Tab. A4.1, A4.2).

Mit Hilfe von Bild 6.14 sollen nochmals die Unterschiede der beiden verwendeten Darstellungsarten für die Empfindlichkeiten der Gatterlaufzeit gegenüber Parameterschwankungen verdeutlicht werden. Das Bild zeigt die Ergebnisse einer Empfindlichkeitsanalyse bei $P = P_2 = 0{,}05\text{mW}$, also einer sehr viel kleineren Leistung als P_0 (Bild 6.13). Im Rahmen der Simulationsgenauigkeit erhält man aus diesem Bild die gleichen Werte für die Empfindlichkeitsfaktoren wie sie in (6.42) angegeben sind, denn die Empfindlichkeitsfaktoren sind (nach Festlegung des Bezugswiderstandes R in (6.13) entsprechend (6.18)) nur noch vom Schaltungskonzept abhängig. Sie sind daher vorzüglich zur näherungsweisen analytischen Beschreibung des Schaltverhaltens als auch gut für den Vergleich verschiedener Schaltungskonzepte geeignet. Dagegen sind sie wenig anschaulich, wenn es darum geht, das Verhalten einer Schaltung bei Parameteränderungen absolut zu erfassen oder aber die Empfindlichkeiten bezüglich verschiedener Parameter und bei unterschiedlicher Verlustleistung zu vergleichen.

Beim Vergleich von Bild 6.14 mit Bild 6.13 zeigen sich einige Ergebnisse, die nach der Diskussion von Bild 6.4 zu erwarten waren:

1) Die relativen Einflüsse von $\bar{C}_C$ ($=\bar{C}_{CB}$) und $\bar{C}_R$ erhöhen sich nur wenig, denn zwischen P_0 und P_2 wird die Dotierungskonzentration N_C an P angepaßt. Für $\bar{C}_C$ kommt hinzu, daß sich zwischen P_0 und P_2 bei P_3 der Übergang von einer Transistorstruktur mit einem ($P < P_3$) auf eine mit zwei Basiskontakten ($P > P_3$) befindet (vgl. Bild 6.5, Bild 6.11), d.h. bei P_3 verringert sich $\bar{C}_C$ sprunghaft mit P.

2) Die relativen Einflüsse von $\bar{C}_{EB}$ und $\bar{C}_{CS}$ nehmen erheblich zu, da beide im Bereich zwischen P_0 und P_2 nahezu konstant sind.

3) Die relativen Einflüsse von τ_N und $\bar{r}_B$ nehmen drastisch ab. Da der mittlere Basisbahnwiderstand nahezu konstant ist (sich aufgrund der abnehmenden Stromverdrängung (Abschn. 4.4.3) sogar geringfügig mit P verringert), nimmt sein Einfluß gemessen an dem der Schaltungswiderstände ab. Die konstante Transitzeit τ_N führt zu einer Verringerung der Diffusionskapazitäten proportional zu P. Da u.a. $\bar{r}_B$ die Umladung der Diffusionskapazitäten beeinflußt, nimmt sogar der absolute Einfluß von τ_N ab.

Die Abhängigkeiten der Gatterlaufzeiten des ECL-Gatters vom fan out n_Q können Tab. A4.6 entnommen werden. Es zeigte sich, daß die Laufzeiten linear mit n_Q steigen. Man erhält für $P = P_0 = 1{,}04\text{mW}$ und damit auch für $P > P_0$

$$\frac{1}{\bar{t}_{Dmin}} \frac{\Delta \bar{t}_D}{\Delta n_Q} = 0{,}22 \,, \qquad \frac{1}{t_{Dmin}} \frac{\Delta t_D}{\Delta n_Q} = 0{,}25 \,. \tag{6.44}$$

Bei $P = 0{,}05\text{mW}$ ergeben sich die Werte

$$\frac{1}{\bar{t}_{Dmin}} \frac{\Delta \bar{t}_D}{\Delta n_Q} = 0{,}33 \,, \qquad \frac{1}{t_{Dmin}} \frac{\Delta t_D}{\Delta n_Q} = 0{,}38 \,, \tag{6.45}$$

die nicht so viel größer sind, daß nicht auch Rückschlüsse für andere Leistungen möglich wären.

Die Abhängigkeit der Gatterlaufzeiten von einer Lastkapazität C_L am jeweils verwendeten Ausgang kann aus Tab. A4.6 abgelesen werden. Dabei zeigt sich, daß in erster Näherung die Änderung der Gatterlaufzeit proportional zu C_L und umgekehrt proportional zu P ist. Bildet man aus den Simulationsergebnissen die Mittelwerte

$$\frac{\Delta \bar{t}_D P}{C_L} = 620 \, \frac{\text{ps mW}}{\text{pF}} \,, \tag{6.46}$$

$$\frac{\Delta t_D P}{C_L} = 594 \, \frac{\text{ps mW}}{\text{pF}} \,, \tag{6.47}$$

so zeigt sich, daß im Einzelfall die Abweichungen davon höchstens 16% bzw. 33% betragen.

Eine geringfügige Verbesserung ergibt sich bei der ECL, wenn man jeweils am nicht benutzten Ausgang $R_2 = 0$ setzt (Tab. A4.5). In diesem Fall verringert sich bei P_0 die Gatterlaufzeit um $4{,}6\%(\bar{t}_{Dmin})$ bzw. $13{,}6\%(t_{Dmin})$.

6.2.4 ECL - Platzbedarf

In Bild 6.1 ist der Nettoplatzbedarf pro Gatter einschließlich des Anteils der Referenzspannungsschaltung über der Verlustleistung aufgetragen. Man erkennt, daß es nur einen kleinen Bereich gibt, in dem durch Verwendung von Transistoren mit einem Basiskontakt ($n_B = 1$) der Platzbedarf geringfügig reduziert werden kann.

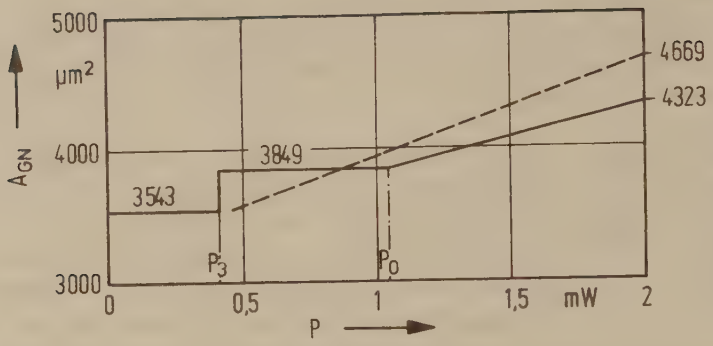


Bild 6.15: Nettoplatzbedarf A_{GN} des ECL-Gatters mit $n_I=2$ als Funktion der Verlustleistung P . Ergänzend ist auch für $P > P_3$ der Platzbedarf bei $n_B=1$ eingetragen (Strichlinie).

6.3 FECL

6.3.1 FECL - Dimensionierung und Störsicherheit.

Bild 6.16 zeigt das Grundgatter der FECL. Aufgrund der Rückkopplung vom invertierenden Ausgang $\overline{Q}$ auf die Basis von T_3 kann im Gegensatz zur ECL auf eine Referenzspannungsschaltung verzichtet werden (vgl. Bild 6.8).

Die Dimensionierung der FECL wird in [11] ausführlich behandelt; sie wird hier mit den zu Beginn von Abschn. 6.1.1 genannten Vereinfachungen durchgeführt. Im Falle $R_{E1}=R_{E2}=0$ und bei Verwendung einer Konstantstromquelle I_{EE} anstelle von R_1 ergibt sich eine symmetrische Übertragungskennlinie (für beide Ausgänge):

$$U^* = (U_H + U_L)/2 \ . \qquad (6.48)$$

Für die Spannungsverstärkung im Umschaltpunkt ergibt sich dann (vgl. [11])

$$V_u^* = \left.\frac{dU_Q}{dU_I}\right|_{U_Q=U_I=U^*} = -\left.\frac{dU_{\bar{Q}}}{dU_I}\right|_{U_{\bar{Q}}=U_I=U^*} = \left(\frac{4U_T}{R_2 I_{EE}} - 1\right)^{-1} . \qquad (6.49)$$

Danach ist $|V_u^*|>1$ für

$$R_2 I_{EE} > 2U_T \approx 52\text{mV} \ . \qquad (6.50)$$

Bei hinreichend großem Abstand von dieser Grenze gilt für den Hub

$$\Delta U = U_H - U_L = -U_L = R_2 I_{EE} \ . \qquad (6.51)$$

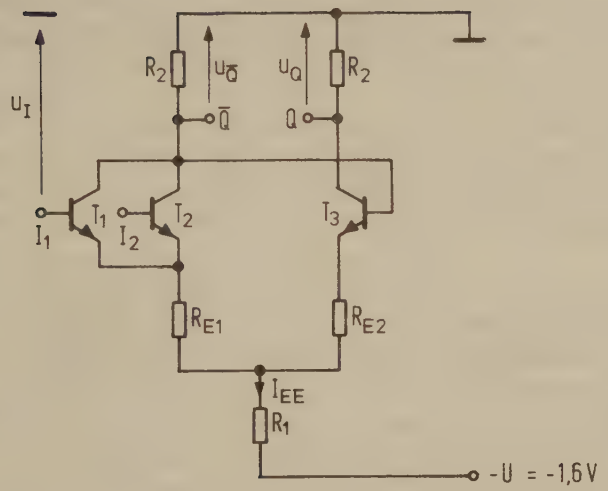


Bild 6.16: FECL-OR/NOR Gatter mit $n_I=2$.

Als obere Grenze für den Hub ergibt sich durch die Forderung nach Vermeidung der Sättigung der gleiche Wert wie für die ECL (vgl. (6.26)). Dennoch wurde für die FECL der wesentlich kleinere Hub

$$\Delta U = 200mV \qquad (6.52)$$

gewählt. Diese Wahl ist insofern möglich und sinnvoll, als sich aufgrund der Rückkopplung im Idealfall ($B_N = \infty$) bereits bei $\Delta U = 4U_T \simeq 104mV$ aus (6.49) mit (6.51) $V_U^* = \infty$, d.h. eine sehr günstige Übertragungskennlinie ergibt. Ein höherer Hub würde zu einer unerwünschten Hysterese führen, die jedoch durch geeignete Dimensionierung der Widerstände R_{E1} und R_{E2} vermieden werden kann[11]. Damit ergibt sich im Falle $\Delta U = 200mV$ ein ausreichender Spielraum, mit R_{E1} und R_{E2} auch den nachteiligen Einfluß von Bahnwiderständen, endlicher Stromverstärkung und hohem fan out auf die Übertragungskennlinie zu kompensieren.

Der gewählte kleine Wert des Hubes gestattet die Verwendung eines Widerstandes R_1 anstelle einer Konstantstromquelle I_{EE} (vgl. T_4 in Bild 6.8), ohne daß dadurch eine zu hohe Versorgungsspannung erforderlich wird. Diese Vereinfachung führt zwar zunächst zu einer geringfügigen Unsymmetrie der Übertragungskennlinie, aber auch diese

kann durch geeignete Wahl von R_{E1} und R_{E2} vermieden werden. Die entsprechende Dimensionierung von R_1, R_{E1}, R_{E2} und U_0 wurde aus [11] übernommen:

$$R_1 = 3{,}805\ R_2\ , \tag{6.53}$$

$$R_{E1} = 0{,}157\ R_2\ , \quad R_{E2} = 0{,}233\ R_2\ , \tag{6.54}$$

$$U_0 = 1{,}6\,V\ . \tag{6.55}$$

Bei dieser Dimensionierung ergeben sich symmetrische Übertragungskennlinien mit $|V_u^*| = \infty$.
Aus der Verlustleistung P pro Gatter,

$$P = \frac{U_0 \Delta U}{R_2}\ , \tag{6.56}$$

ergibt sich mit (6.52) und (6.55) für den Bezugswiderstand R_2 in (6.53) und (6.54) die zugeschnittene Größengleichung

$$\frac{R_2}{k\Omega} = \frac{0{,}32}{P/mW}\ . \tag{6.57}$$

Bild 6.17 zeigt die normale und die inverse Spannungs-Übertragungskennlinie des FECL-Gatters bezogen auf den nichtinvertieren-

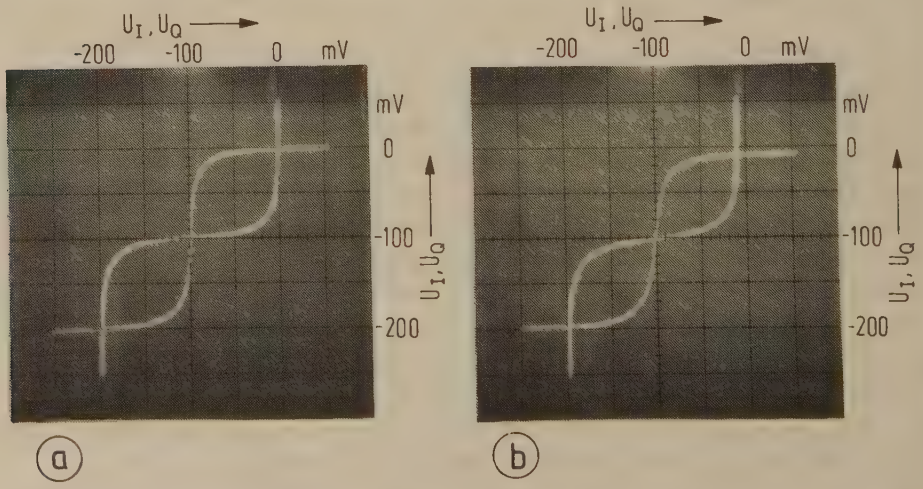


Bild 6.17: Normale und inverse Spannungsübertragungskennlinie des FECL-Gatters nach Bild 6.16, (a) für $B_N = \infty$, (b) für $B_N = 50$.

den Ausgang Q für $B_N = \infty$ bzw. $B_N = 50$ (und $n_Q = 2$). Da im Vergleich zur ECL die endliche Stromverstärkung nicht mehr über die Stromquellenschaltung den L-Pegel beeinflußt, sondern nur noch über den jeweils leitenden Transistor (hier T_3), ist die Anhebung des L-Pegels gering (2% von ΔU). Für die Absenkung von U_H infolge der Belastung mit zwei Gattern ergibt sich dagegen bezogen auf ΔU der gleiche Wert. Die zu beobachtende Verringerung von V_u^* kann (wie oben erwähnt) im Gegensatz zur ECL bei der FECL kompensiert werden. Aus Bild 6.17b entnimmt man die Störabstände

$$\Delta U_H = \Delta U_L = 95\text{mV} \ , \quad \Delta U_K = 55\text{mV} \ . \tag{6.56}$$

Wie bei der ECL (vgl. S.141) sind auch bei der FECL Störungen durch kapazitives Übersprechen, durch Spannungsabfälle auf den Signalleitungen und durch Differenzen der BE-Spannung (aufgrund eines Temperaturgefälles auf dem Chip) von untergeordneter Bedeutung. Die verbleibenden dominierenden Störeinflüsse können in der gleichen Weise wie bei der ECL abgeschätzt werden, wobei wieder die Zahlenwerte für P = 0,05mW und P = 2mW in geschweiften Klammern angegeben werden.

Für die FECL gilt in guter Näherung

$$U_L = - \frac{R_2 (U_0 - U_{BEF})}{R_1 + (R_{E1}+R_{E2})/2} \ . \tag{6.57}$$

Daraus ergeben sich für die Störgrößen ΔU_0 und R_0 die gleichen Werte wie für die ECL:

$$\Delta U_0 = 400\text{mV} \ , \quad R_0 = \left\{12{,}8\text{k}\Omega \ ; \ 320\Omega\right\} . \tag{6.58}$$

Für die Störgröße ΔU_M gilt bei der FECL

$$\Delta U_M = \Delta U_H = 95 \text{ mV} \ , \tag{6.59}$$

sodaß sich mit (6.5) höhere Anforderungen an die Massezuleitungen ergeben:

$$R_M = \left\{3{,}0\text{k}\Omega \ ; \ 76\,\Omega\right\} . \tag{6.60}$$

Die Genauigkeit der Widerstandsverhältnisse ist bei der FECL wesentlich weniger kritisch als bei der ECL, denn nun wird U_L entsprechend (6.57) nur noch durch <u>ein</u> Widerstandsverhältnis bestimmt. Aus (6.57) ergibt sich der für die Anhebung des L-Pegels um $\Delta U_L = 95\text{mV}$ notwendige Fehler dieses Widerstandsverhältnisses zu

$$\frac{\Delta r}{r} = -0{,}48 \ . \tag{6.61}$$

Faßt man die Ergebnisse zusammen, so stellt man fest, daß die FECL zwar höhere Anforderungen an das Versorgungsleitungssystem stellt, dafür aber wesentlich unempfindlicher gegenüber relativen Widerstandsfehlern ist. Ferner ist das Verhältnis zwischen ΔU_K und ΔU_L bzw. ΔU_H wesentlich höher als bei der ECL. Da dieses Verhältnis ein Maß dafür ist, in welcher Weise sich der Einfluß verschiedener, an aufeinanderfolgenden Gattern wirkender Störungen überlagert, wirft die FECL geringere Probleme beim Auftreten mehrerer Störungen gleichzeitig auf.

6.3.2 FECL - Dynamisches Verhalten

Die Simulation des dynamischen Verhaltens wurde wieder mit einer Kette aus drei Gattern (Bild 6.16) durchgeführt, wobei das mittlere untersucht wurde. Zur Nachbildung des fan out n_Q=2 wurden entsprechende Stromtransformationen an den Schnittstellen zwischen den Gattern vorgenommen.

Die Anforderungen zur Vermeidung der Sättigung sind bei allen Transistoren gleich. Bei der Dimensionierung der Transistoren wurde berücksichtigt, daß der Hub aufgrund der Temperaturabhängigkeit der BE-Spannung nach (6.25) entsprechend (6.57) von 200mV auf 220mV ansteigt.

Für die Widerstände R_2 wurden Elemente mit der Struktur nach Bild 4.10 mit der Breite b_R=10µm zugrundegelegt. Zur Abschätzung der parasitären Kapazität von R_1 wurden vier solche Elemente in Reihe geschaltet. R_{E1} und R_{E2} blieben unberücksichtigt, da sie bei geeigneter Auslegung keine nenneswerten parasitären Kapazitäten aufweisen (Abschn. 6.3.4). Außerdem war bereits der Einfluß der Kapazität von R_1 im Rahmen der Simulationsgenauigkeit nicht feststellbar.

Optimiert wurde (im Gegensatz zur ECL) bezüglich der Gatterlaufzeit, die sich bei Verwendung des nichtinvertierenden Ausgangs Q ergibt. Diesem Ausgang sind die Zeiten t_{Dmin}, t_f, t_r zugeordnet. Zusätzlich wurden die Zeiten $\overline{t}_{Dmin}$, $\overline{t}_f$, $\overline{t}_r$ aufgenommen, die sich bei Verwendung des nichtinvertierenden Ausgangs $\overline{Q}$ ergeben. Sie sind zum Teil erheblich größer, da die Belastung von $\overline{Q}$ zu einer Verzögerung des Rückkopplungsmechanismus führt.

Die Bilder 6.18 bis 6.20 vermitteln einen Überblick über das dynamische Verhalten des FECL-Gatters. Die vollständigen Simula-

tionsergebnisse sowie die ihnen zugrundeliegenden Schaltungs- und Bauelementedaten sind in Tab. A4.8 und A4.9 (Anhang A4) angegeben.

Bild 6.18 zeigt an zwei Beispielen das simulierte Schaltverhalten. Die Tatsache, daß die Ausgangsspannung gegenüber der Eingangsspannung zeitlich verschoben, nicht aber verformt ist, zeigt, daß hier eine Kette von drei Gattern sicher als

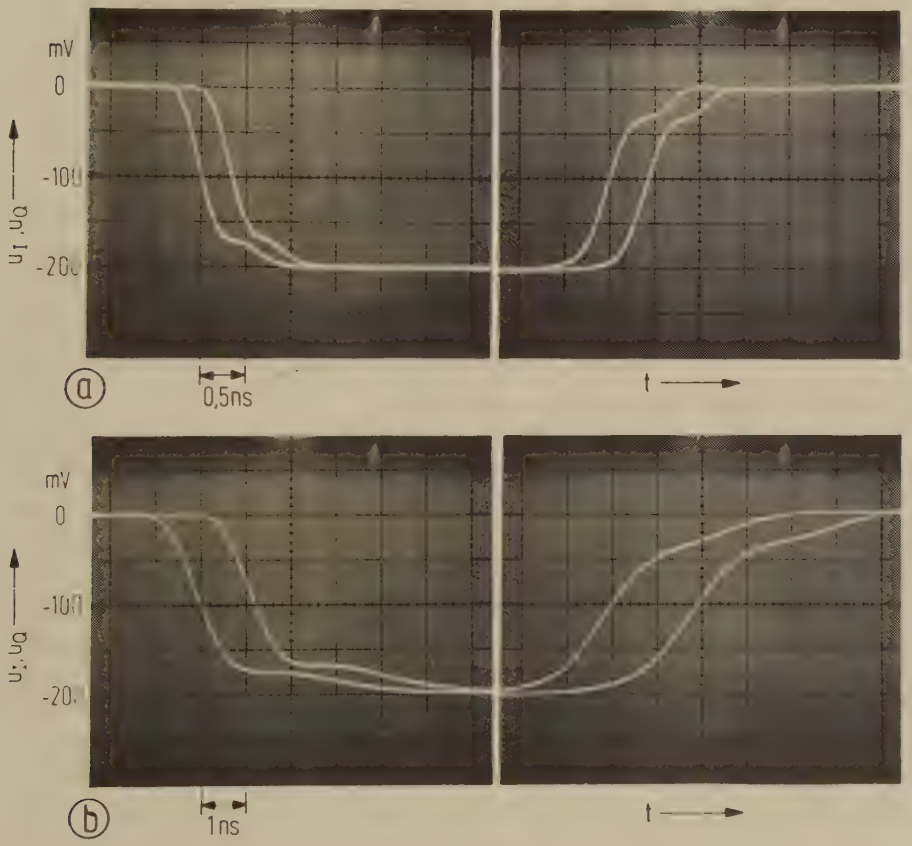


Bild 6.18: Verlauf von Eingangsspannung u_I und Ausgangsspannung u_Q eines nichtinvertierenden FECL-Gatters. (a) $P = P_0 = 0,67mW$, (b) $P = 0,05mW$.

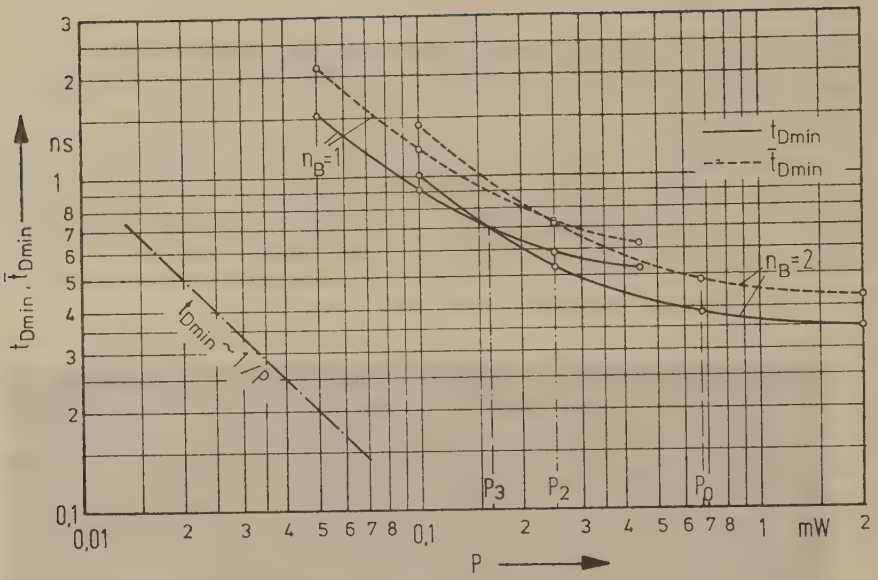


Bild 6.19: Minimale Gatterlaufzeit t_{Dmin} eines nichtinvertierenden ECL-Gatters als Funktion der Verlustleistung P . Zusätzlich ist die Gatterlaufzeit $\bar{t}_{Dmin}$ aufgetragen, die sich jeweils bei Verwendung des (langsameren) invertierenden Ausgangs ergibt. n_B ist die Anzahl der Basiskontakte.

"unendlich lang" angesehen werden darf.

In Bild 6.19 sind die Gatterlaufzeiten t_{Dmin} und $\bar{t}_{Dmin}$ über der Verlustleistung P pro Gatter aufgetragen. Die Simulationsergebnisse sind besonders markiert, die Steigungen der Kurven wurden bei P =0,05mW mit Hilfe der Empfindlichkeitsfaktoren nach (6.62) bzw. (6.63) und der Beziehung (6.13) bestimmt.

Ergänzend zeigt Bild 6.20 Abfall- und Anstiegszeiten der Ausgangsspannungen, die gleichzeitig mit t_{Dmin} und $\bar{t}_{Dmin}$ aufgenommen wurden. Die Sprünge infolge des Übergangs von einem auf zwei Basiskontakte bei P_3 sind kleiner als bei der ECL (Bild 6.12); zusammen mit der Tatsache, daß $P_3 < P_2$ ist, deutet dies auf einen geringen Einfluß von $\bar{C}_{CB}$ auf das dynamische Verhalten hin.

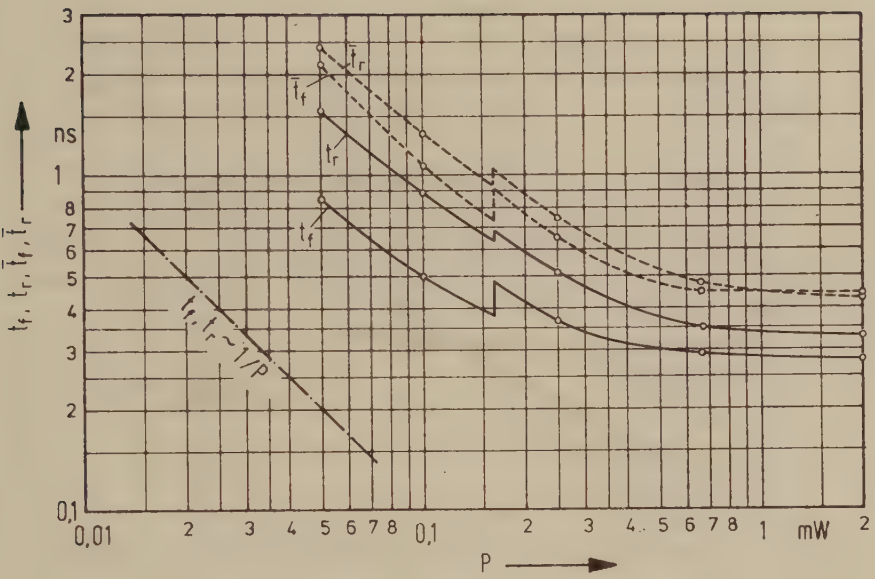


Bild 6.20: Abfallzeiten t_f, $\bar{t}_f$ und Anstiegszeiten t_r, $\bar{t}_r$ der Ausgangsspannungen des FECL-Gatters als Funktion der Verlustleistung P ; t_f und t_r gelten bei Verwendung des nichtinvertierenden, $\bar{t}_f$ und $\bar{t}_r$ bei Verwendung des invertierenden Ausgangs.

6.3.3 FECL - Empfindlichkeitsanalyse

Bei $P = P_0 = 0,67$mW wurde eine Empfindlichkeitsanalyse durchgeführt, deren wichtigste Ergebnisse in Bild 6.21 aufgetragen sind. Weitere Ergebnisse können Tab. A4.10 (Anhang A4) entnommen werden. Bezüglich der Darstellungsform sei auf Abschn. 6.2.3 verwiesen.

Zur Anpassung der Technologie speziell an die FECL sollte man in erster Linie eine Verringerung der Transitzeit τ_N anstreben - notfalls bei gleichzeitiger Erhöhung des Schichtwiderstandes der inneren Basis [4].

Aus den Ergebnissen der Empfindlichkeitsanalyse wurden die in Abschn. 6.1.3 definierten Empfindlichkeitsfaktoren für das nichtinvertierende FECL-Gatter bestimmt:

$$k_1 = 2,53\ , \quad k_2 = 4,08\ , \quad k_3 = 0,275\ ,$$
$$k_4 = 3,75\ , \quad k_5 = 0,848\ , \quad k_6 = 0,811\ , \qquad (6.62)$$
$$k_7 = 1,028\ .$$

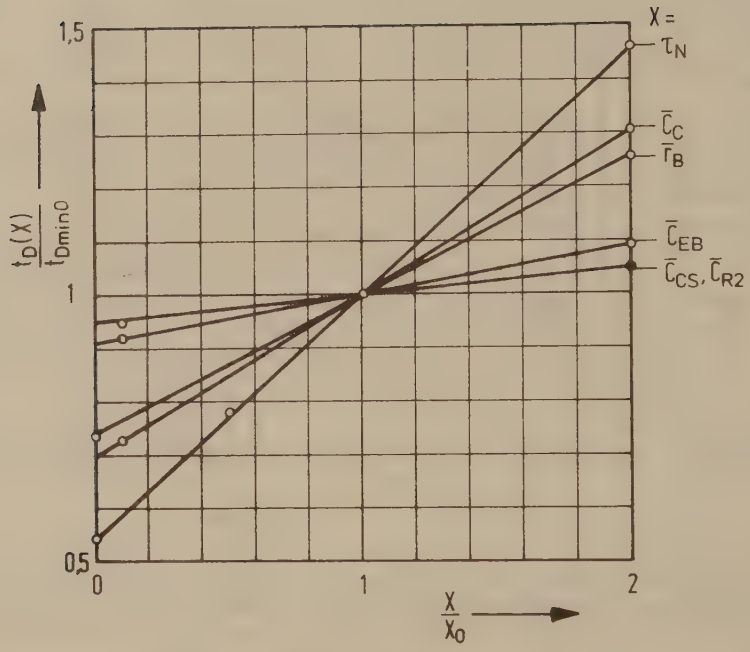


Bild 6.21: Einfluß der Änderung eines Parameters X auf die Laufzeit t_D eines nichtinvertierenden FECL-Gatters bei $P = P_0 = 0,67mW$ (vgl. Bild 6.7).

Entsprechend erhält man für das invertierende FECL-Gatter:

$$k_1 = 1,54\ , \quad k_2 = 6,08\ , \quad k_3 = 0,643\ ,$$
$$k_4 = 4,65\ , \quad k_5 = 1,07\ , \quad k_6 = 1,03\ , \qquad (6.63)$$
$$k_7 = 0,981\ .$$

Mit diesen Empfindlichkeitsfaktoren und (6.13) wurden die Gatterlaufzeiten t_D' und $\bar{t}_D'$ berechnet und mit den Simulationsergebnissen t_{Dmin} und $\bar{t}_{Dmin}$ verglichen. Dabei ergab sich in keinem Fall ein Abweichungsbetrag über 10,5% (Tab. A4.8, A4.9).

Die Abhängigkeiten der Gatterlaufzeiten des FECL-Gatters vom fan out n_Q können Tab. A4.11 entnommen werden. Man erhält (vgl. (6.44), (6.45)) für $P = P_0 = 0,67mW$ und damit auch für $P > P_0$

$$\frac{1}{t_{Dmin}} \frac{\Delta t_D}{\Delta n_Q} = 0,13\ , \qquad \frac{1}{\bar{t}_{Dmin}} \frac{\Delta \bar{t}_D}{\Delta n_Q} = 0,16 \qquad (6.64)$$

und für P =0,05mW

$$\frac{1}{t_{Dmin}} \frac{\Delta t_D}{\Delta n_Q} = 0{,}21 \ , \qquad \frac{1}{\bar{t}_{Dmin}} \frac{\Delta \bar{t}_D}{\Delta n_{\bar{Q}}} = 0{,}19 \ . \tag{6.65}$$

Auch hier liegen die Werte hinreichend nahe beieinander, sodaß Rückschlüsse auch für andere Leistungen möglich sind.

Für die Abhängigkeiten der Gatterlaufzeiten von einer Lastkapazität C_L am jeweils verwendeten Ausgang ergibt sich aus Tab. A4.11 (vgl. (6.46), (6.47))

$$\frac{\Delta t_D P}{C_L} = 348 \ \frac{ps \ mW}{pF} \ , \tag{6.66}$$

$$\frac{\Delta \bar{t}_D P}{C_L} = 499 \ \frac{ps \ mW}{pF} \ . \tag{6.67}$$

Im einzelnen liegen die Abweichungen von diesen Mittelwerten unter 27% bzw. 26%.

Ähnlich wie bei der ECL ergibt sich auch bei der FECL eine geringfügige Verbesserung, wenn man am nicht benutzten Ausgang $\bar{Q}$ den Widerstand R_2=0 setzt. So ergibt sich für das invertierende Gatter bei P_0 eine Verringerung der Gatterlaufzeit um 5% (Tab. A4.10).

6.3.4 FECL - Platzbedarf

Der für die Widerstände R_{E1}, R_{E2} und R_1 benötigte Platzbedarf des FECL-Gatters (Bild 6.1) kann gering gehalten werden, wenn man R_1 aus drei Widerständen gleicher Struktur wie R_2 (Struktur nach Bild 4.10 mit $l_R = b_R = 10\mu m$) und einer Struktur gleicher Breite mit drei Kontakten, die so angeordnet sind, daß sich der für den Wert von R_1 noch fehlende Anteil von ca. $0{,}8R_2$ ergibt, sowie zwischen zwei Kontakten die für die Gegenkopplung maßgebliche Summe

$$R_{E1} + R_{E2} \simeq 0{,}4 R_2 \ . \tag{6.68}$$

Man erhält dann den in Bild 6.22 dargestellten Nettoplatzbedarf als Funktion der Verlustleistung. Danach gibt es auch bei der FECL nur einen kleinen Leistungsbereich, in dem durch Verwendung von Transistoren mit nur einem Basiskontakt (n_B= 1) anstelle der (optimalen) Transistoren mit zwei Basiskontakten der Platzbedarf geringfügig reduziert werden kann.

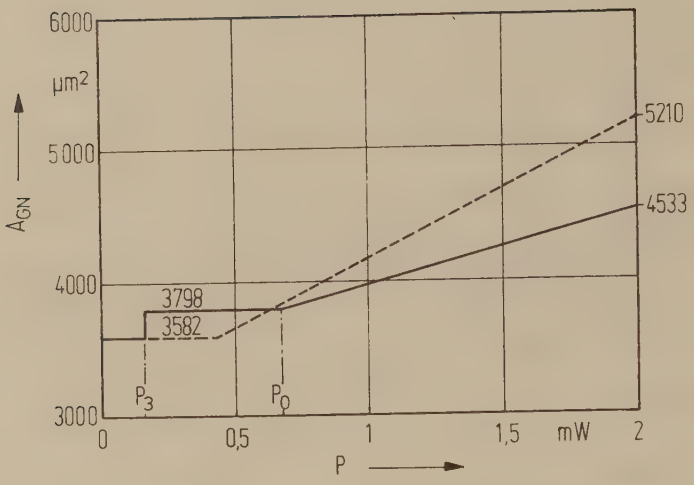


Bild 6.22: Nettoplatzbedarf A_{GN} des FECL-Gatters mit $n_I=2$ als Funktion der Verlustleistung P . Ergänzend ist auch für $P > P_3$ der Platzbedarf bei $n_B=1$ eingetragen (Strichlinie).

6.4 NTL

6.4.1 NTL - Dimensionierung und Störsicherheit

Bild 6.23 zeigt das Grundgatter der NTL. Eine Besonderheit für die im Rahmen dieser Arbeit untersuchten Schaltungskonzepte stellt die temperaturabhängige Versorgungsspannung der NTL dar. Zunächst sollen die Gründe für diese Maßnahme kurz erläutert werden. Dabei sowie bei der nachfolgenden Dimensionierung sollen wieder die zu Beginn von Abschn. 6.1.1 genannten Vereinfachungen zugrundegelegt werden.

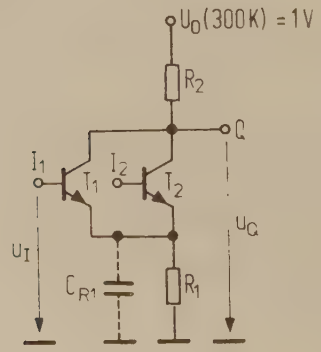


Bild 6.23: NTL-NOR-Gatter mit $n_I=2$

Einer der beiden Transistoren T_1, T_2 sei gesperrt und damit unwirksam.

Mit der Hilfsgröße

$$V = R_2/R_1 \quad , \tag{6.69}$$

die $|V_u^*|$ entspricht, falls im Umschaltpunkt die Spannung an R_1 wesentlich größer als U_T ist, ergibt sich der Hub

$$\Delta U = V(U_0 - U_{BEF}) \quad . \tag{6.70}$$

Soll zur Vermeidung der Sättigung

$$U_{CE} < U_{CES} = U_{C'ES} + r_C I_C \tag{6.71}$$

mit $U_{C'ES}$ aus (4.19), (4.20) erfüllt werden, so ergibt sich mit (6.70) die Bedingung

$$U_0 < U_{BEF} + \frac{1}{V}(U_{BEF} - U_{CES}) \quad . \tag{6.72}$$

Berechnet man durch Gleichsetzen $U_I = U_Q$ (Bild 6.23) die Verstärkung V_u^* im Umschaltpunkt, so ergibt sich aus der Bedingung $|V_u^*| > 1$ und der BE-Spannung im Umschaltpunkt U_{BE}^* (sie ist geringfügig niedriger als U_{BEF}) für U_0 die untere Grenze

$$U_0 > U_{BE}^* + U_T + 2U_T/(V-1) \quad . \tag{6.73}$$

Berücksichtigt man nun, daß beide Grenzen im gesamten Temperaturbereich zwischen T_0 und T_S eingehalten werden müssen, so ergibt sich für die Wahl von V und U_0 nur ein sehr geringer Spielraum, solange man von einer konstanten Spannung U_0 ausgeht. Je nachdem, wie man V und U_0 wählt, ergeben sich entweder extrem große Transistoren, unvertretbar kleine Störabstände oder unrealistische Anforderungen an die Toleranz von Widerstandsverhältnissen und Versorgungsspannung [14].

Die NTL ist daher praktisch nur verwendbar, wenn man eine in geeigneter Weise temperaturabhängige Versorgungsspannung vorsieht. Dabei gilt es, einen Kompromiß zwischen den beiden im folgenden genannten Grenzfällen zu finden [12]:

1) Man hält unabhängig von der Temperatur den Abstand von der Sättigungsgrenze (6.72) δU konstant. Dann gilt für den Hub

$$\Delta U = U_{BEF} - U_{CES} - \delta U \quad , \tag{6.74}$$

d.h. ΔU hat aufgrund des überwiegenden Einflusses der Temperaturabhängigkeit von U_{BEF} (vgl.(6.25), (4.20)) einen negativen Temperaturkoeffizienten. Führt man die Dimensionierung bei $T = T_S$

durch (was hier ohne Bedeutung ist, s.u.), so ergibt sich bei $T = T_0$ eine etwas höhere Störsicherheit und eine geringfügig größere Gatterlaufzeit.

2) Man sorgt für einen temperaturunabhängigen Hub, was sich nach (6.70) und (6.25) durch einen Temperaturkoeffizenten der Versorgungsspannung von

$$\frac{dU_0}{dT} = \frac{dU_{BEF}}{dT} = -1{,}6\text{mV/K} \qquad (6.75)$$

erreichen läßt (eine geeignete Regelschaltung ist in [14] angegeben). Jetzt muß, wie bei allen übrigen untersuchten Schaltungen, die Dimensionierung zur Vermeidung der Sättigung bei T_S durchgeführt werden; man erhält also für $T = T_S$ die gleichen Schaltungseigenschaften wie im ersten Fall. Allerdings bleiben diese Eigenschaften nun auch bei sinkender Temperatur nahezu unverändert. Da das Schwergewicht dieser Arbeit auf den Schaltungseigenschaften liegt, wurde dieser (bezüglich der Dimensionierung etwas kritischere)Fall bevorzugt.

An dieser Stelle ist ein Hinweis bezüglich des Vergleichs der Schaltungskonzepte angebracht: Natürlich erfolgt die Versorgungsspannungsregelung nicht verlustleistungslos. Vorteilhaft ist es, das Stellglied des Reglers mit einem separaten Leistungstransistor (je Chip) zu realisieren[14]und lediglich Regelverstärker und Temperaturfühler mit auf dem Chip unterzubringen. Beim Vergleich der NTL mit anderen Schaltungskonzepten sind dann zwei Fälle zu unterscheiden:

1) Bezüglich der Abführung der Verlustleistung der Gatterschaltung selbst sind die Schaltungskonzepte direkt vergleichbar.

2) Betrachtet man dagegen die Anstrengungen, die u.U. notwendig sind, um die Gesamtverlustleistung eines sehr komplexen und aufgrund der geforderten kurzen Signalleitungen dennoch kompakten Digitalsystems abzuführen, so muß die in den Reglern umgesetzte Leistung in den Vergleich einbezogen werden.

Trotz Verwendung einer temperaturabhängigen Versorgungsspannung ist bei der NTL nur ein sehr ungünstiges Verhältnis $\Delta U_K/\Delta U$ erreichbar. Es liegt daher nahe, die in (6.72) und (6.73) enthaltenen Freiheitsgrade für die Wahl von V und U_0 zu nutzen, um wenigstens näherungsweise den Maximalwert von $\Delta U_K/\Delta U$ einzustellen. Zu diesem Zweck sind in Bild 6.24 die normale und inverse Übertragungskennlinie der NTL

unter Annahme einer unendlichen Steilheit der Transistoren aufgetragen. Daraus entnimmt man für den in Bild 6.1 definierten Kettenstörabstand U_K die Beziehung

$$V\Delta U_K = \Delta U - \Delta U_K - \Delta U/V \quad . \tag{6.76}$$

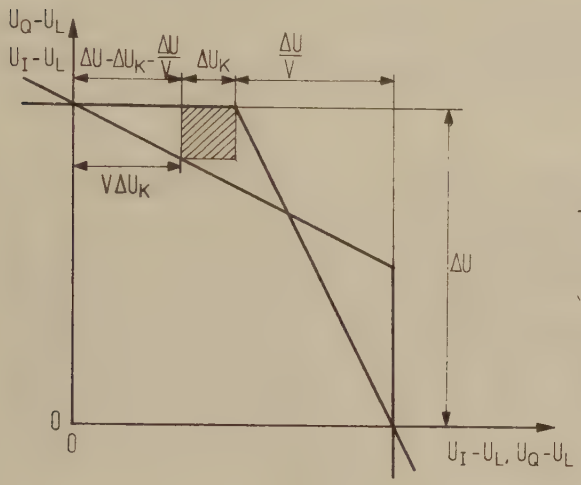


Bild 6.24: Vereinfachte normale und inverse Spannungs-Übertragungskennlinie des NTL-Gatters.

Daraus läßt sich der Wert V bestimmen, für den $\Delta U_K/\Delta U$ ein Maximum annimmt:

$$V = 1 + \sqrt{2} \quad . \tag{6.77}$$

Um dieses Verhältnis genauer einstellen zu können und um den Einzelstörabstand ΔU_H etwas zu verbessern, wurde der nächst kleinere ganzzahlige Wert gewählt:

$$V = R_2/R_1 = 2 \quad . \tag{6.78}$$

Für die Untersuchung der NTL wurde ein Hub

$$\Delta U = 400mV \tag{6.79}$$

gewählt. Dieser Wert kann selbst bei verwendung extrem großflächiger Transistoren nicht erheblich vergrößert werden, denn auch hier ergibt sich durch die Sättigungsbedingung ($T = T_S$), wie bei der ECL und der FECL, die Grenze $\Delta U < 590mV$. Mit dem gewählten Hub und $V = 2$ erhält

man aus (6.70) für $T = T_0$ die Versorgungsspannung

$$U_0(T_0) = 1V \ . \qquad (6.80)$$

Aus der Verlustleistung pro Gatter, die im Mittel (zwischen H- und L-Pegel am Ausgang)

$$P = \frac{U_0 \Delta U}{2 R_2} \qquad (6.81)$$

beträgt, ergibt sich der relativ niedrige Lastwiderstand

$$\frac{R_2}{k\Omega} = \frac{0,2}{P/mW} \ . \qquad (6.82)$$

Bild 6.25 zeigt die normale und die inverse Spannungsübertragungskennlinie des NTL-Gatters für $B_N = \infty$ bzw. $B_N = 50$ (und $n_Q = 2$). Im Vergleich der beiden Teilbilder zeigt sich deutlich, wie groß der Einfluß einer ausgangsseitigen Last in Verbindung mit einer endlichen Stromverstärkung auf die bereits bei $B_N = \infty$ ungünstige Übertragungskennlinie ist. Insbesondere wird der Kettenstörabstand nahezu halbiert, wodurch eine sehr hohe Empfindlichkeit gegenüber gleichzeitig bei aufeinanderfolgenden Gattern auftretenden Störungen entsteht. Man entnimmt Bild 6.25b die Störabstände:

$$\Delta U_H = 137mV \ , \quad \Delta U_L = 203mV \ , \quad \Delta U_K = 23mV \ . \qquad (6.83)$$

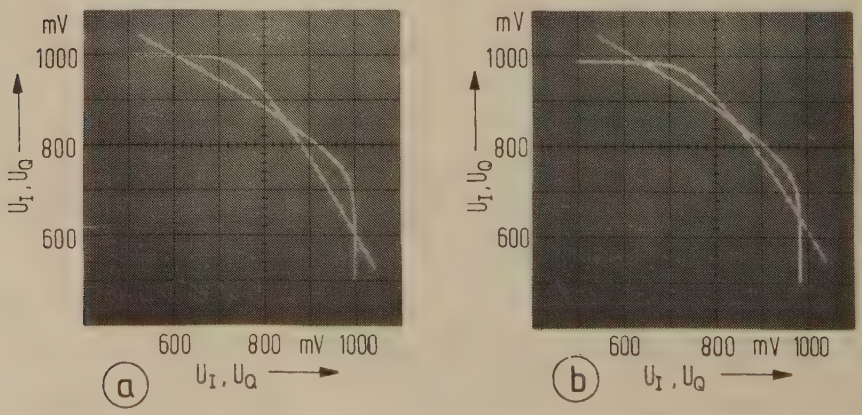


Bild 6.25: Normale und inverse Spannungsübertragungskennlinie des NTL-Gatters nach Bild 6.23, (a) für $B_N = \infty$, (b) für $B_N = 50$ und $n_Q = 2$.

Neben der hohen Lastempfindlichkeit der NTL dominieren wie bei ECL und FECL Versorgungsspannungsschwankungen und relative Widerstandstoleranzen als Störeinflüsse. Im folgenden Zahlenwerte für $P \simeq 0{,}05mW$ (genau: $P = P_2 = 0{,}048mW$) und $P = 2mW$ wieder in geschweiften Klammern angegeben.

Eine Verringerung des Potentials am Versorgungsanschluß wirkt sich gleichermaßen auf U_L und U_H aus. Eine Verringerung von U_L kann nicht zur Störung führen. Dagegen ergibt sich eine Störung, wenn U_H um ΔU_H verringert wird, d.h.

$$\Delta U_0 = \Delta U_H = 137mV \ . \qquad (6.84)$$

Daraus ergibt sich bei Normierung auf den mittleren Versorgungsstrom mit (6.5)

$$R_0 = \{2{,}7k\Omega \ ; \ 69\Omega\}. \qquad (6.85)$$

Eine Anhebung des Potentials am Masseanschluß wird mit R_2/R_1 verstärkt auf den Ausgang übertragen, wenn an diesem U_L liegt, d.h.

$$\Delta U_M = \Delta U_L R_1/R_2 = 102mV \qquad (6.86)$$

Daraus ergibt sich mit (6.5)

$$R_M = \{2{,}0k\Omega \ ; \ 51\Omega\}. \qquad (6.87)$$

Diese Werte sind zwar nicht wesentlich höher als bei der FECL; allerdings werden hier nahezu ebenso hohe Anforderungen an die Zuleitungen der Versorgungsspannung gestellt, vgl.(6.85).

Die zulässige relative Widerstandstoleranz erscheint zunächst sehr groß, denn um den L-Pegel ausgehend von $U_L = 650mV$ (Bild 6.25b) um $\Delta U_L = 203mV$ anzuheben, bedarf es einer relativen Änderung des Widerstandsverhältnisses $r = V = R_2/R_1$ von

$$\frac{\Delta r}{r} = \frac{-\Delta U_L}{U_0 - U_L} = -0{,}58 \ . \qquad (6.88)$$

Bezüglich der Einzelstörgrößen ergibt sich zwar für die NTL ein ähnliches Bild wie für die FECL; beim Vergleich muß man aber das wesentlich geringere Verhältnis $\Delta U_K/\Delta U$ der NTL berücksichtigen, denn dieses Verhältnis ist ein -allerdings leider nur qualitatives- Maß für die Empfindlichkeit einer Schaltung gegenüber dem gleichzeitigen Auftreten mehrerer Störungen.

6.4.2 NTL - Dynamisches Verhalten

Die Untersuchung des dynamischen Verhaltens wurde im Gegensatz zur ECL und FECL am mittleren Gatter einer Kette aus fünf Gattern durchgeführt. Diese Erhöhung der Gatterzahl wurde notwendig, weil die geringe Verstärkung im Umschaltpunkt zur Spannungsrückwirkung über mehrere Gatter hinweg führt; deshalb war die Nachbildung einer unendlich langen Gatterkette mit einer geringeren Anzahl von Gattern nicht möglich.

Für die Widerstände R_2 wurden Elemente mit der Struktur nach Bild 4.10 und der Breite b_R=10µm zugrunde gelegt, R_1 bestand aus der Parallelschaltung zweier solcher Elemente.

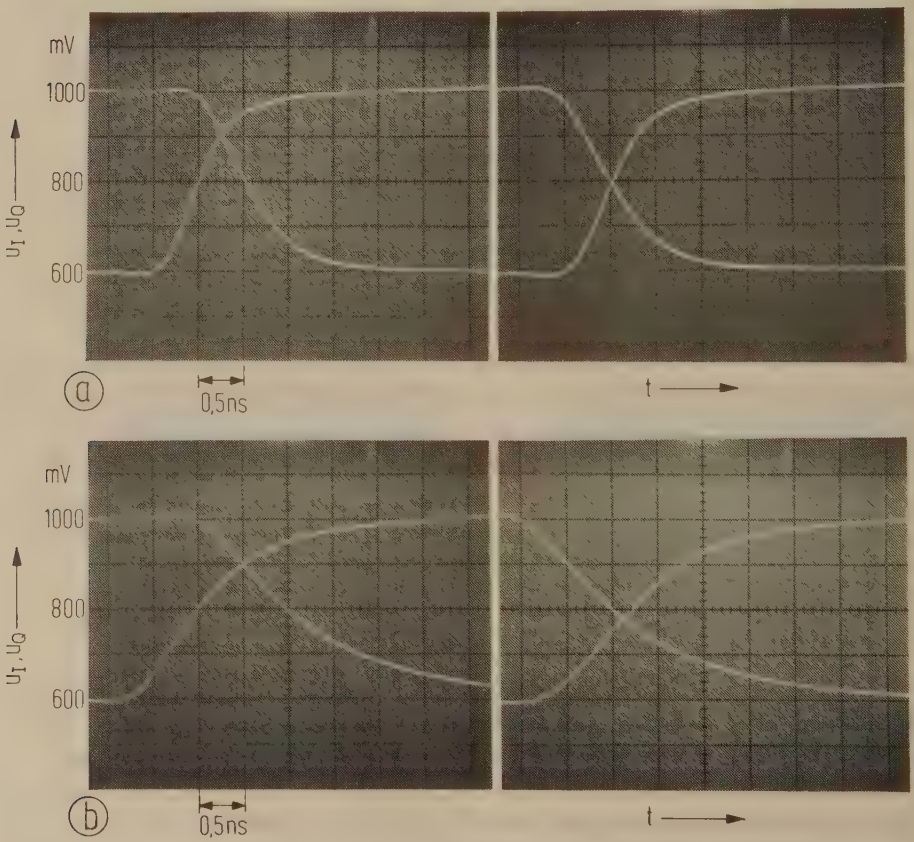


Bild 6.26: Verlauf von Eingangsspannung u_I und Ausgangsspannung u_Q eines NTL-Gatters. (a) $P = P_0 = 0,5mW$, (b) $P = 0,048mW$.

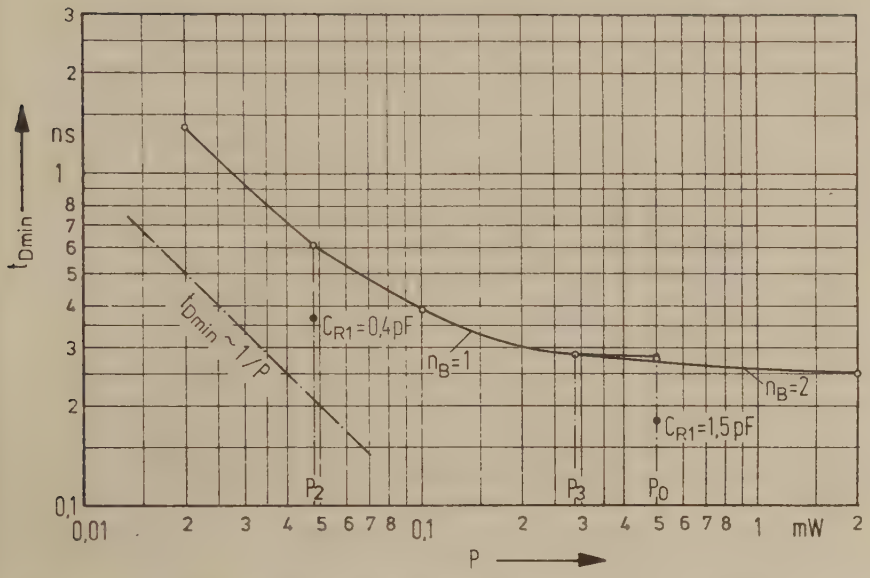


Bild 6.27: Minimale Gatterlaufzeit t_{Dmin} eines NTL-Gatters als Funktion der Verlustleistung P; n_B ist die Anzahl der Basiskontakte.

Die Bilder 6.26 bis 6.28 vermitteln einen Überblick über das dynamische Verhalten des NTL-Gatters. Die vollständigen Simulationsergebnisse sowie die dazugehörigen Schaltungs- und Bauelementedaten sind in Tab. A4.12 und A4.13 (Anhang A4) angegeben.

Bild 6.26 zeigt an zwei Beispielen das simulierte Schaltverhalten. Die starke lineare Gegenkopplung durch R_1 führt zu nahezu exponentiellen Übergängen der Spannungen u_I und u_Q; Überschwinger oder Knickstellen, wie sie bei allen übrigen Schaltungskonzepten registriert wurden, sind nicht erkennbar.

In Bild 6.27 ist die minimale Gatterlaufzeit t_{Dmin} über der mittleren Verlustleistung P pro Gatter aufgetragen. Die Simulationsergebnisse sind besonders markiert. Bei $P = P_2 = 0,048mW$ ergibt sich für die NTL eine Knickstelle der Kurve $t_{Dmin}(P)$, (vgl. Abschn.6.1.2). Die beiden Steigungen der Kurve wurden mit Hilfe der Empfindlichkeitsfaktoren nach (6.89) und der Beziehung (6.13) bestimmt. Auf die mit C_{R1}=0,4pF bzw. 1,5pF bezeichneten Punkte wird im folgenden Abschnitt eingegangen.

Ergänzend zeigt Bild 6.28 die Abfall- und Anstiegszeit der Ausgangsspannung. Auffällig sind die verglichen mit t_{Dmin} sehr hohen Werte von t_f und t_r; dies steht im Zusammenhang mit der geringen Steigung der Übertragungskennlinie im Übergangsbereich.

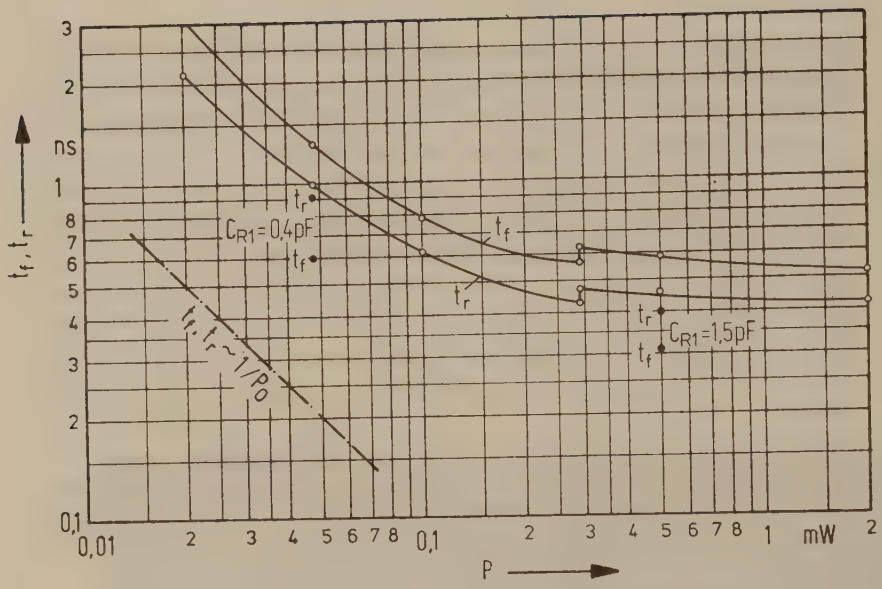


Bild 6.28: Abfallzeit t_f und Anstiegszeit t_r der Ausgangsspannung des NTL-Gatters als Funktion der Verlustleistung P .

6.4.3 NTL - Empfindlichkeitsanalyse

Bei $P = P_0 = 0,5mW$ wurde eine Empfindlichkeitsanalyse durchgeführt, die in einigen Punkten über den in Abschn. 6.1.3 beschriebenen Umfang hinausgeht. Die wichtigsten Ergebnisse sind in Bild 6.29 aufgetragen, weitere Ergebnisse können Tab. A4.14 (Anhang A4) entnommen werden. Bezüglich der Darstellungsform sei wieder auf Abschn. 6.2.3 verwiesen.

Zur Anpassung der Technologie sollte man einerseits (wie bei der ECL, Bild 6.13) versuchen, die CB-Kapazität zu verringern; in [13] wird eine NTL beschrieben, bei der trotz Verwendung einer pn-Isolation (anstelle der Oxidwall-Isolation) Gatterlaufzeiten erreicht wurden, die sogar noch geringfügig unter den am Schluß dieses Abschnitts genannten Wertenliegen. Dies ist darauf zurückzuführen, daß durch ein selbstjustierendes Verfahren für die Basiskontakte die Fläche von C_{CBa} klein gehalten werden konnte und zusätzlich noch r_{Ba} verringert wurde.

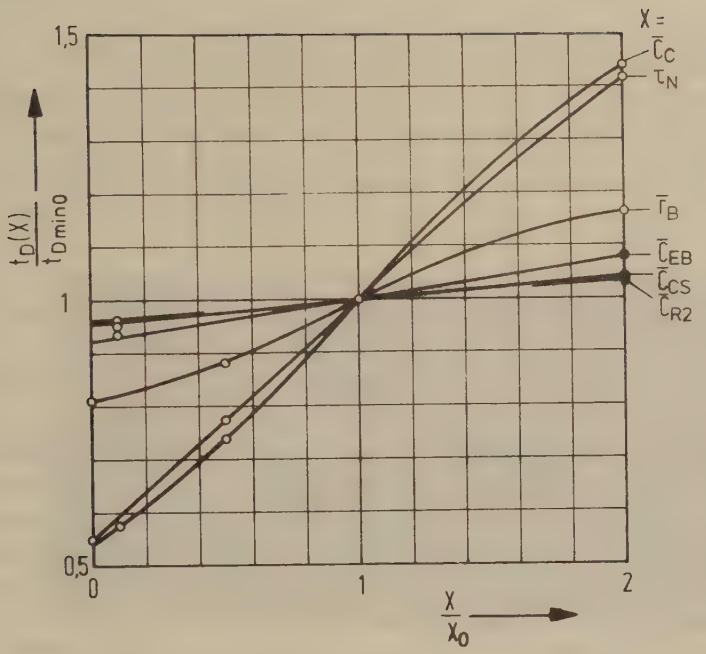


Bild 6.29: Einfluß der Änderung eines Parameters X auf die Laufzeit t_D eines NTL-Gatters bei $P = P_0 = 0,5mW$ (vgl. Bild 6.7).

Außerdem sollte man eine Verringerung von τ_N anstreben, wobei hier verglichen mit der FECL (Bild 6.21) die eventuell damit verbundene Erhöhung des Schichtwiderstandes der inneren Basis sogar noch größer sein darf.

Aus den Ergebnissen der Empfindlichkeitsanalyse wurden die in Abschn. 6.1.3 definierten Empfindlichkeitsfaktoren für das NTL-Gatter bestimmt:

$$k_1 = 2.22\ , \quad k_2 = 3,14\ , \quad k_3 = 0,150\ ,$$
$$k_4 = 1,25\ , \quad k_5 = 0,329\ , \quad k_6 = 0,165\ , \qquad (6.89)$$
$$k_7 = 0,956\ .$$

Ein Vergleich der mit (6.89) aus (6.13) berechneten Gatterlaufzeiten t_D' mit den Simulationsergebnissen t_{Dmin} zeigte, daß sich in keinem Fall ein Abweichungsbetrag über 8,4% ergab (Tab. A4.12, A4.13).

Die Abhängigkeit der Gatterlaufzeiten des NTL-Gatters vom fan out n_Q kann Tab. A4.15 entnommen werden. Man erhält

(vgl. (6.44), (6.45)) weitgehend unabhängig von P etwa

$$\frac{1}{t_{Dmin}} \frac{\Delta t_D}{\Delta n_Q} = 0{,}26 \ . \qquad (6.90)$$

Für die Abhängigkeit der Gatterlaufzeiten von einer Lastkapazität C_L am Ausgang ergibt sich aus Tab. A4.15 (vgl. (6.46), (6.47))

$$\frac{\Delta t_D P}{C_L} = 170 \ \frac{ps \ mW}{pF} \ . \qquad (6.91)$$

Im einzelnen lagen die Abweichungen von diesem Mittelwert unter 13%.

Das dynamische Verhalten der NTL kann erheblich verbessert werden, wenn eine ausreichend große Kapazität C_{R1} parallel zu R_1 geschaltet wird (Bild 6.23). Auf diese Weise bleibt die Gegenkopplung zwar zur Vermeidung der Sättigung wirksam (Abschn. 3.3), während des Schaltvorgangs wird ihr nachteiliger Einfluß aber verringert.

Zunächst scheint es, als ob man C_{R1} möglichst groß wählen sollte. Man muß aber berücksichtigen, daß R_1 dynamisch nicht mehr als kurzgeschlossen werden kann, der Verbesserung also sicher Grenzen gesetzt sind. Hinzu kommt, daß die mit C_{R1} zunehmende Eingangskapazität das dynamische Verhalten verschlechtern kann. Es gibt also ein Optimum für C_{R1}, von dem an mit steigendem C_{R1} die Gatterlaufzeit t_D zunimmt. Dieses Optimum ist von n_Q abhängig und wurde für n_Q=3 bei $P = P_0$ =0,5mW und $P = P_2$ =0,048mW bestimmt. Es ergeben sich die Werte

$$C_{R1}(P_0) = 1{,}5\,pF \ , \qquad C_{R1}(P_2) = 0{,}4\,pF \qquad (6.92)$$

Bei kleineren Werten n_Q erhöht sich der Optimalwert von C_{R1}. Beispielsweise ergibt sich für n_Q=2 bei P_2 eine Kapazität von 0,7pF. Sie führt allerdings gegenüber 0,4pF zu keiner nennenswerten Verringerung von t_D (Tab. A4.15). Die Ergebnisse für t_D, t_f und t_r bei n_Q=2 mit C_{R1} nach (6.92) sind zum Vergleich in Bild 6.27 und 6.28 eingetragen. Es ließen sich also erhebliche Verbesserungen erreichen, obwohl auf eine erneute Optimierung der Transistoren verzichtet wurde.

Die relative Abhängigkeit der Gatterlaufzeit von n_0 nach (6.90) wird durch C_{R1} praktisch nicht verändert. Dagegen wurde für P_2 gezeigt, daß sich der Einfluß von Lastkapazitäten drastisch verringert (nahezu um den Faktor 2, s. Tab. A4.15).

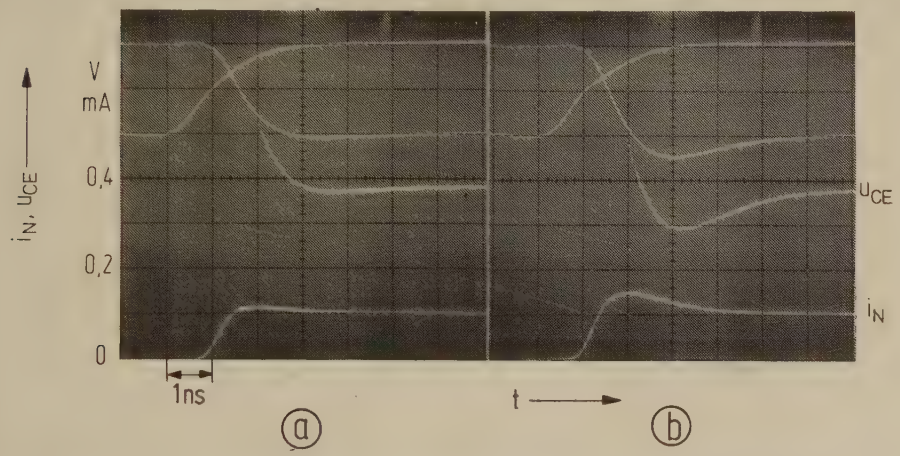


Bild 6.30: Verlauf von u_{CE} und i_N beim Einschalten des Transistors eines NTL-Gatters nach Bild 6.23 bei $P = P_2 = 0{,}048$mW mit (a) $C_{R1}=0{,}4$pF, (b) $C_{R1}=0{,}7$pF. Zusätzlich sind jeweils oben u_I und u_Q mit 200mV/Skt dargestellt.

Bei der Optimierung von C_{R1} ergibt sich eine neue Randbedingung: Durch das beschleunigte Einschalten des Transistors ergibt sich ein Unterschwingen von u_{CE} und durch die zusätzliche kapazitive Last ein Überschwingen des inneren Kollektorstromes i_N. Dies kann zur Verletzung der Sättigungsbedingung führen, was dann von Bedeutung ist, wenn hohe Frequenzen verarbeitet werden sollen. Bild 6.30 verdeutlicht diesen Zusammenhang für P_2. Man erkennt, daß sich i_N schon dem statischen Wert $\Delta U/R_2$ (=0,096mA) genähert hat, wenn das Minimum von u_{CE} erreicht wird. Bei $C_{R1}=0{,}7$pF würde sich aber immer noch eine Verletzung der Sättigungsbedingung ergeben. Diese ist aber bei $C_{R1}=0{,}4$pF unbedeutend. Gleichermaßen ergab sich auch für P_0, daß bei $C_{R1}=1{,}5$pF die Sättigungsbedingung nicht verletzt wird.

6.4.4 NTL - Platzbedarf

In Bild 6.31 ist der Nettoplatzbedarf pro Gatter über der Verlustleistung aufgetragen. Wieder ist der Bereich, in dem durch Verwendung von Transistoren mit einem Basiskontakt (n_B=1) der Platzbedarf geringfügig reduziert werden kann klein. Allerdings wird man in der Praxis diese Möglichkeit nutzen, weil die sich

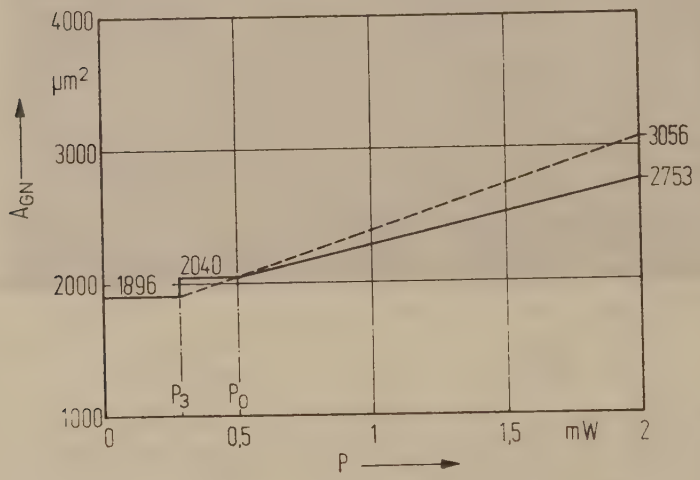


Bild 6.31: Nettoplatzbedarf A_{GN} des NTL-Gatters mit n_I=2 als Funktion der Verlustleistung P_0. Ergänzend ist auch für $P > P_3$ der Platzbedarf bei n_B=1 eingetragen (Strichlinie).

ergebende Erhöhung von t_{Dmin} vernachlässigbar ist (Bild 6.27) und weil u.U. der tatsächliche Platzbedarf durch die nicht mehr erforderlichen Verbindungen von je zwei Basiskontakten zusätzlich verringert wird. Auch der zusätzliche Platzbedarf einer Kapazität C_{R1} zur Verringerung der Gatterlaufzeit kann in Grenzen gehalten werden. Realisiert man die Werte C_{R1} nach (6.92) z.B. mit dem BE-Übergang, so erhält man durch grobe Abschätzung die benötigten Flächen 2400 bzw. 850µm² einschließlich Isolationsrand, wenn man annimmt, daß die Hälfte der Fläche im Sinne eines ausreichend kleinen Serienwiderstandes für die Kontaktierung verwendet wird. Eine Verringerung dieser Flächen ist unter Verwendung der Sperrschicht zwischen Leitbasis- und Emitterzone möglich.

6.5 C^3L

6.5.1 C^3L - Dimensionierung und Störsicherheit

Die C^3L wird in [17,18] mit einer Konstantstromquelle zur Einprägung des Versorgungsstromes I_0 vorgeschlagen. Sie soll auch hier zunächst für diesen Fall anhand von Bild 6.32 diskutiert werden.

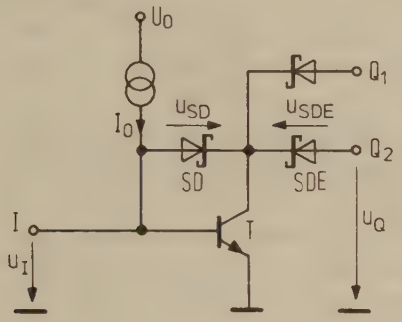


Bild 6.32: C^3L-Gatter mit $n_Q=2$ und Konstantstromquelle zur Einprägung von I_0.

Der Hub wird bei der C^3L durch die Differenz der Durchlaßspannungen U_{SDF} und U_{SDEF} der Dioden SD und SDE eingestellt: Für $U_I=U_H$ ist T leitend und am Ausgang liegt $U_Q=U_L$. Daraus folgt

$$\Delta U = U_{SDF} - U_{SDEF} \quad , \tag{6.93}$$

Es gibt zwei Möglichkeiten, diese Differenz einzustellen:

1) SD erhält zusätzlich einen Serienwiderstand R_S. Dann gilt $\Delta U=R_S I_0$.

2) Es werden Dioden mit unterschiedlichen Barrierenhöhen Φ_B, Φ_{BE} verwendet. Dann entspricht ΔU der Differenz der Barrierenhöhen.

Die erste Möglichkeit ist nur dann sinnvoll, wenn man mit einer Standard-Metallisierung aus Aluminium auskommen will. Geht man davon aus, daß für Al-Schottky-Dioden etwa $U_{SDF}=500mV$ gilt, so ergibt sich bei leitendem Transistor T eine Spannung

$$U_{BC} = U_{SDF} + \Delta U \quad . \tag{6.94}$$

Dies führt zur Forderung nach sehr großflächigen Transistoren, damit die Sättigung vermieden werden kann, und damit zur drastischen Erhöhung der Gatterlaufzeit. Würde aus diesen Gründen ein Schottky-Dioden-Metall mit geringerer Barrierenhöhe (als Al) verwendet, so wäre nicht einzusehen, warum man anstelle von R_S nicht für SD das ohnehin vorhandene Aluminium verwenden sollte. Entsprechend beschränken sich die folgenden Ausführungen auf diesen Fall.

Im Gegensatz zu den Schaltungskonzepten mit Seriengegenkopplung (ECL, FECL, NTL) wird bei der C^3L die Übertragungskennlinie erheblich durch die Bahnwiderstände der Schottky-Dioden und das fan out beeinflußt. Diese Größen werden deshalb abweichend von den zu Beginn von Abschn. 6.1.1 genannten Vereinfachungen berücksichtigt.

Die Abhängigkeit von n_Q bedingt, daß V_u^* nicht mehr für ein einzelnes Gatter berechnet werden kann, sondern für eine unendlich lange Gatterkette bestimmt werden muß. Hier wurde diese Gatterkette durch ein Flipflop aus zwei Invertern nachgebildet, das eine "endlose" Kette mit $n_Q=1$ darstellt und somit die gleichen Ergebnisse liefert.

Bild 6.33 zeigt das Kleinsignalersatzschaltbild des Flipflops für den Umschaltpunkt. D.h. die Ströme und Spannungen sind für beide Inverter gleich. Das führt auch zu paarweise gleichen Kleinsignalwiderständen R_{sd} bzw. R_{sde} von SD und SDE sowie zur gleichen Steilheit S für beide Transistoren.

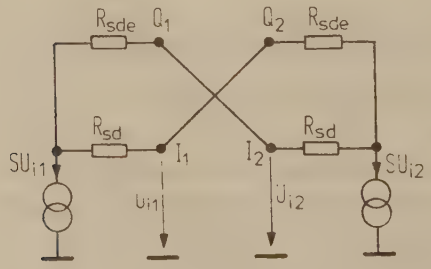


Bild 6.33: Kleinsignalersatzschaltbild eines Flipflops aus zwei C^3L-Invertern (Index 1, Index 2).

Es läßt sich zeigen, daß die Kreisverstärkung dieser Schaltung und damit auch $|V_u^*|$ größer als eins ist für

$$S(R_{sd} - R_{sde}) > 4 \ . \qquad (6.95)$$

Im folgenden soll (4.21) mit m=1 verwendet werden. Diese Maßnahme hat kaum Einfluß auf die Berechnung der Übertragungskennlinien, vereinfacht aber die Darstellung. Ersetzt man die Größen in (6.95) durch die Ströme I_{SD}, I_{SDE} der Schottky-Dioden und den Strom $I_C=I_{SD}+I_{SDE}$ der beiden Transistoren im Umschaltpunkt und setzt für alle Schottky-Dioden den gleichen Bahnwiderstand r_{SD} voraus, so ergibt sich aus (6.95)

$$\frac{I_{SDE}}{I_{SD}} > 2 + \sqrt{3} \ . \qquad (6.96)$$

Im Umschaltpunkt ist $U_Q=U_I$ und damit auch $U_{SD}=U_{SDE}$ (Bild 6.32). Aus ergibt sich dann mit (4.21) und

$$U_{SD} = U'_{SD} + r_{SD}I_{SD} \ , \quad U_{SDE} = U'_{SDE} + r_{SD}I_{SDE} \ , \qquad (6.97)$$

$$I_0 = I_{SD} + I_{SDE} \qquad (6.98)$$

eine Forderung für die Differenz der Barrierenhöhen:

$$\Phi_B - \Phi_{BE} > r_{SD}I_0\frac{\sqrt{3}-1}{2} + U_T\ln(2+\sqrt{3}) \ . \qquad (6.99)$$

Der Einfluß von n_Q auf diese Forderung kann analytisch nicht erfaßt werden. Zwar ist eine Berechnung noch möglich, wenn für alle Gatter der gleiche Wert n_Q eingesetzt wird. Sie zeigt aber, daß es noch kritischer ist, wenn n_Q in der Kette zwischen 1 und einem Maximalwert n_{Qmax} wechselt. Diesen Fall berücksichtigt die folgende grobe Abschätzung, mit der man auf der sicheren Seite liegt.

Die differentielle Spannungsverstärkung eines C^3L-Inverters wird durch die Lastimpedanz, die Gegenkopplung über den Kleinsignalwiderstand R_{sd} von SD und die Steilheit S von T bestimmt. Sorgt man durch eine geeignete Spannung am Eingang einer Gatterkette dafür, daß die Spannung U_{CE} eines Inverters der Kette im Umschaltpunkt unverändert bleibt, wenn das fan out von eins auf n_Q erhöht wird, so bleibt sicher $|V_U^*|>1$, wenn man S um den Faktor n_Q erhöht und R_{sd} konstant hält. Dafür gibt es zwei Möglichkeiten.

1) Die Emitterfläche A_E des Transistors wird entsprechend $A_E \sim n_Q$ erhöht. Dies führt bei unveränderter Spannung am Eingang des

Inverters zur gewünschten Erhöhung von S, ohne daß U_{SD} und damit R_{sd} verändert werden. Diese Maßnahme erschwert allerdings den Strukturentwurf einer Schaltung.

2) Die BE-Spannung von T wird um

$$\Delta U_{BE} = U_T \ln n_Q \tag{6.100}$$

erhöht. Soll nun allerdings R_{sd} konstant bleiben, so muß Φ_B um den gleichen Betrag erhöht werden. Damit ändert sich die Forderung (6.99) folgendermaßen:

$$\Phi_B - \Phi_{BE} > r_{SD} I_0 \frac{\sqrt{5}-1}{2} + U_T \ln[n_Q(2+\sqrt{5})]. \tag{6.101}$$

Diese Maßnahme führt allerdings aufgrund der Sättigungsbedingung zu sehr großen Transistoren, selbst wenn in einem System große Werte n_Q nur vereinzelt vorkommen.

Für diese Arbeit wurde ein Kompromiß zwischen beiden Möglichkeiten gewählt: Für $n_Q \leq 3$ bleibt A_E konstant, für $n_Q > 3$ ist $A_E \sim n_Q$.

Legt man für SD eine Al-Schottky-Diode mit der Fläche $A_{SD}=1,5A_E$ (Abschn. 4.5.1) zugrunde und für deren Barrierenhöhe

$$\Phi_B = 690\text{mV}\ , \tag{6.102}$$

so ergibt eine Auswertung der Sättigungsbedingung mit $n_Q=3$ und T=350K näherungsweise eine obere Grenze für die Spannung an r_{SD}:

$$r_{SD} I_0 < 34\text{mV}\ . \tag{6.103}$$

Mit (6.101) erhält man dann (ebenfalls bei $n_Q=3$, T=350K)

$$\Phi_B - \Phi_{BE} > 98\text{mV} \tag{6.104}$$

als Bedingung für $|V_U^*|>1$.

Als Kontaktmetall für SDE wurde Titan gewählt. Es ermöglicht eine sehr gut reproduzierbare Barrierenhöhe

$$\Phi_{BE} = 490\text{mV}\ . \tag{6.105}$$

Mit (6.102) wird (6.104) also sicher erfüllt. Aus (6.93) ergibt sich nun mit (4.21) ein Hub

$$\Delta U = 200\text{mV}\ . \tag{6.106}$$

Ein geeigneter pnp-Transistor zur Einprägung des Stromes I_0

(Bild 6.32) kann mit der hier zugrundegelegten Basistechnologie nicht realisiert werden. Durch eine grobe Abschätzung können die Gründe dafür verdeutlicht werden. Bei einem lateralen pnp-Transistor setzen Hochstromeffekte in der Basis oberhalb einer Kollektorstromdichte

$$-j_C = q\, D_p N_C / w_B \tag{6.107}$$

ein (D_p Diffusionskonst. f. Löcher). Weit oberhalb dieser Stromdichte gilt für die Stromverstärkung etwa:

$$B_N \sim -1/j_C \tag{6.108}$$

Geht man z.B. von einem Transistor mit einer maximalen Stromverstärkung von 50 aus und fordert im Betrieb $B_N > 1$, so gilt für die Stromdichte

$$-j_C < 50\, q\, D_p N_C / w_B \,. \tag{6.109}$$

Bei der C^3L führt die Dimensionierung zur Vermeidung der Sättigung für Transistoren mit Minimalstruktur ($A_E = 8\mu m^2$) etwa zur Beziehung

$$I_0 = 8 \cdot 10^{-21} A \cdot N_C / cm^{-3} \,. \tag{6.110}$$

Setzt man für die Emitterfläche des pnp-Transistors das Produkt aus Umfang l_E der Emitterzone und Eindringtiefe $z_{LB} = 0{,}4\mu m$ der Leitbasis (Tab. 4.1) voraus und nimmt eine effektive Basisweite $w_B = 2\mu m$ an, so ergibt sich durch Vergleich von (6.109) und (6.110)

$$A_{E,pnp} = z_{LB} l_E = \frac{I_0}{-j_C} > 160\mu m^2 \;; \quad l_E > 400\mu m \tag{6.111}$$

Der pnp-Transistor würde damit wesentlich größer als der ganze Rest des C^3L-Inverters. Gleichzeitig würde sich an der Basis eine hohe Lastkapazität ergeben, die das Schaltverhalten drastisch verschlechtern würde.

Deshalb wurde, wie in Bild 6.34 gezeigt, ein Widerstand R zur Einprägung von I_0 verwendet. Zur Festlegung der Versorgungsspannung U_0 wurden zunächst zwei Optimalwerte bestimmt. Der erste war so bemessen, daß die Zeit, die zur Umladung einer am Eingang angreifenden linearen Kapazität von U_L auf U_H benötigt wird, bei vorgegebener Leistung ein Minimum annimmt. Der zweite wurde entsprechend für die Umladung einer am Eingang angreifenden Diffusionskapazität bestimmt. Setzte man dabei jeweils den Hub nach

(6.106) und

$$U_H = U_{BEF} = 800mV \ , \tag{6.112}$$

so ergab sich als Mittelwert der beiden nur wenig unterschiedlichen Optimalwerte

$$U_0 = 1{,}2\,V \ . \tag{6.113}$$

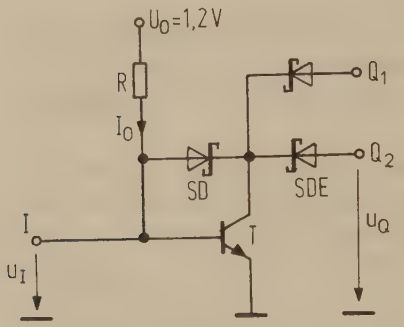


Bild 6.34: C^3L-Inverter mit $n_Q=2$ und Widerstand R zur Einprägung von I_0.

Unter Brücksichtigung der für $U_I=U_H$ und $U_I= U_L$ unterschiedlichen Werte von I_0 (die man mit Näherungswerten der Spannungspegel berechnen kann)

$$I_{0H} = (U_0-U_H)/R \ , \quad I_{0L} = (U_0-U_L)/R \tag{6.114}$$

lassen sich in guter Näherung die Spannungspegelpegel berechnen. Dabei kann man den Einfluß von r_{SD} vernachlässigen, mit Ausnahme von U_L (hier führt der Unterschied zwischen I_{0H} und I_{0L} zu einem gewissen Einfluß). Setzt man $U_I(n_Q=1) = U_{BEF}$ voraus, so gilt

$$U_H = U_{BEF} + U_T \ln \frac{2+3n_Q}{5} \ , \tag{6.115}$$

$$U_L = U_H - (\Phi_B - \Phi_{BE}) + U_T \ln 1{,}5 + r_{SD}(I_{0L} - I_{0H}) \ , \tag{6.116}$$

$$U^* = U_H - U_T \frac{2+3n_Q}{2n_Q} \ . \tag{6.117}$$

Aus der Verlustleistung pro Gatter, die im Mittel (zwischen H- und L-Pegel am Eingang

$$P = U_0 \frac{U_0 - (U_H+U_L)/2}{R} \tag{6.118}$$

beträgt, ergibt sich für R

$$\frac{R}{k\Omega} = \frac{0{,}6}{P/mW} \ . \tag{6.119}$$

Bild 6.35 zeigt die normale und inverse Spannungsübertragungskennlinie des C^3L-Gatters für $B_N = \infty$, bzw. $B_N = 50$. Da im Gegensatz zu den bisher diskutierten Schaltungen mit Seriengegenkopplung hier bereits im Falle $B_N = \infty$ die Pegel von n_Q und in geringem Maße auch von P abhängen (vgl.(6.115)ff), ist es von Bedeutung, daß die Kennlinien für $P = P_0 = 0{,}25mW$ mit $n_Q = 2$ aufgenommen wurden. Anders als bei den bisher untersuchten Schaltungen hat hier B_N keinen nennenswerten Einfluß auf die Übertragungskennlinie; es ergibt sich lediglich eine geringe Verschiebung aufgrund der Erhöhung von U_{BEF} um den Spannungsabfall am Basisbahnwiderstand. Bild 6.35b entnimmt man die Störabstände

$$\Delta U_H = 20mV \ , \quad \Delta U_L = 170mV \ , \quad \Delta U_K = 15mV \qquad (6.120)$$

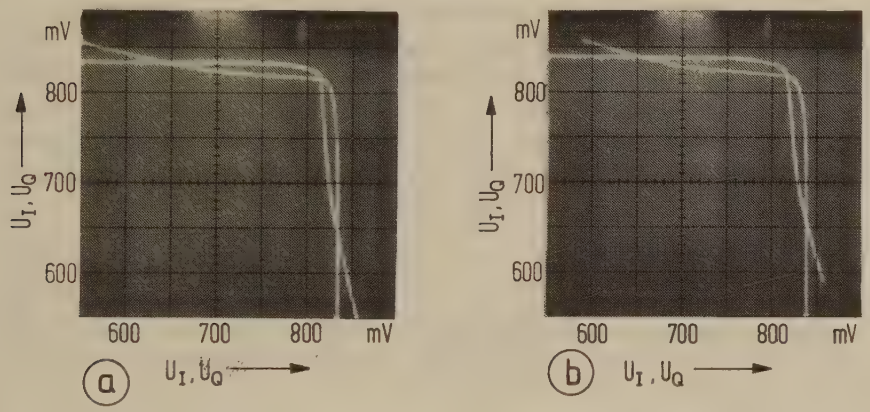


Bild 6.35: Normale und inverse Spannungsübertragungskennlinie des C^3L-Gatters nach Bild 6.34 bei $P=P_0=0{,}25mW$ und $n_Q=2$, (a) für $B_N=\infty$, (b) für $B_N=50$.

Trotz der zum Teil geringen Störabstände ergibt sich für die C^3L eine gute Störsicherheit. Auch hier werden in geschweiften Klammern wieder die Werte für $P_0=0{,}05mW$ und $P_0=2mW$ angegeben.

Ein Störstrom ΔI_P, der in eine Signalleitung eingeprägt wird, fließt im Falle $U_I=U_L$ über die Entkopplungsdiode SDE des treibenden Gatters ab. Er erhöht damit die BE-Spannung und entsprechend die CE-Spannung sowie die Spannung U_{SDE} beim treibenden Gatter. Berücksichtigt man nur den weitaus größten dieser Einflüsse, nämlich den Spannungsabfall am Bahnwiderstand r_{SDE}, der nach (6.103) im Normalbetrieb bereits 34mV betragen kann, so ist dennoch ein beträchtlicher

$$\Delta I_P \simeq U_L/r_{SD} \simeq 5I_0 \qquad (6.121)$$

zur Störung führen. Kritischer ist der Fall $U_I=U_H$. Aber auch hier wird der Transistor des gestörten Gatters erst gesperrt, wenn

$$\Delta I_P \simeq -I_{0H} = \left\{-41\mu A\,;\,-1{,}67mA\right\} \qquad (6.122)$$

erreicht. Auch dieser Wert ist noch günstiger als bei allen bisher betrachteten Schaltungen. Dieser Strom kann durch den Abfall der Spannung auf einer benachbarten Leitung hervorgerufen werden. Mit

$$t_f = \left\{310ps\,;\;235ps\right\} \qquad (6.123)$$

aus Tab. A4.16 und A4.17 (Anhang A4) ergibt sich dann

$$C_P \simeq \left\{0{,}13pF\,;\;4{,}1pF\right\}\ . \qquad (6.124)$$

Diese Werte entsprechen etwa denen für die ECL und die FECL. Allerdings ist hier eine Störung allein durch kapazitives Übersprechen möglich, da nach Bild 6.3 die Störspannungsamplitude $\Delta U/8 \simeq 24mV$ größer als ΔU_H ist.

Eine Störspannung entlang der Eingangsleitung eines Gatters ist ohne Bedeutung, wenn der Transistor des treibenden Gatters gesperrt ist. Im Falle $U_I=U_L$ aber gilt

$$\Delta U_S = \Delta U_L = 170mV\ . \qquad (6.125)$$

Bei der C^3L sind zusätzlich erstmals die statischen Signalströme von Bedeutung. Entsprechend (6.4) erhält man mit (6.125) den zulässigen Leitungswiderstand einer Signalleitung

$$R_S = \frac{\Delta U_S}{I_{0L}} = \left\{3{,}4k\Omega\;;\;\;85\Omega\right\}. \qquad (6.126)$$

Diese Werte dürften allerdings kaum zu Schwierigkeiten führen.

Eine Verringerung des Potentials am Versorgungsanschluß kann im Falle $U_I=U_H$ zur Störung führen. Allerdings darf U_0 bis zum Umschaltpunkt sinken:

$$\Delta U_0 \simeq U_0 - U^* \simeq U_0 - U_{BEF} = 400mV\ . \qquad (6.127)$$

Daraus ergibt sich bei Normierung auf I_0

$$R_0 = \left\{9{,}6k\Omega\;;\;\;240\Omega\right\}. \qquad (6.128)$$

Wider Erwarten ergeben sich auch für die Massezuleitungen keine schwer zu erfüllenden Forderungen. Eine Potentialänderung am Masseanschluß wirkt sich nur im Falle $U_I=U_H$ aus. Da U_Q sich nun etwa im gleichen Maße ändert wie das Potential am Massean-

schluß, gilt

$$\Delta U_M = \Delta U_L = 170mV \qquad (6.129)$$

und man erhält bei Normierung auf I_0

$$R_M = \{4,1k\Omega \; ; \; 100\Omega\} . \qquad (6.130)$$

Widerstandsstreuungen auf dem Chip sind für die Störsicherheit ohne Bedeutung, da sich der Widerstand erheblich ändern darf, bevor ein Gatter nicht mehr die Summe $n_Q I_{0L}$ der belastenden Gatter übernehmen kann oder bevor es für das treibende Gatter eine so große Last darstellt, daß U_L bis auf U* angehoben wird.

Eine Änderung von U_{BEF} wirkt sich ebenso aus, wie ΔU_M (s.o.), darf also auch entsprechend hoch sein. Höhere Anforderungen ergeben sich für die Reproduzierbarkeit der Schottky-Dioden. Zwar sind bei einzelnen Gattern wieder hohe Streubreiten zulässig; betrachtet man aber die Gesamtschaltung, so muß man berücksichtigen, daß der Abstand zum Minimalhub(entsprechend (6.104))klein ist. Unter der Annahme, daß Streuungen der Differenz der Barrierenhöhen vorwiegend durch die Al-Schottky-Dioden bestimmt werden, erhält man für diese den Grenzwert

$$U_{SD} = -92mV . \qquad (6.131)$$

(Ein oberer Grenzwert wird durch die Sättigungsbedingung gesetzt.)

Man stellt zusammenfassend fest, daß die C^3L trotz der sehr kleinen Werte ΔU_H und ΔU_K relativ störsicher ist. Es zeigte sich, daß denkbare Störungsursachen in erster Linie den L-Pegel stören, weil im Falle des H-Pegels die Signalleitung hinreichend niederohmig abgeschlossen ist.

6.5.2 C^3L - Dynamisches Verhalten

Die Untersuchung des dynamischen Verhaltens wurde, wie bei der NTL, am mittleren Gatter einer Kette aus fünf Gattern durchgeführt. Zwar ist hier $|V_U^*|$ groß, dafür ergibt sich aber eine Rückwirkung vom nicht belasteten letzten Gatter auf die Pegel am Ausgang des vorletzten. Außerdem wird das Signal am Ausgang des ersten Gatters noch merklich verzerrt, da mit dem linearen Innenwiderstand des treibenden Generators nur sehr schlecht der Ausgangswiderstand eines Gatters nachgebildet werden konnte, obwohl eine Diode SDE in Reihe zum Generator geschaltet wurde. Für die Widerstände wurde wieder die Struktur nach Bild 4.10 mit b_R=10um zugrundegelegt.

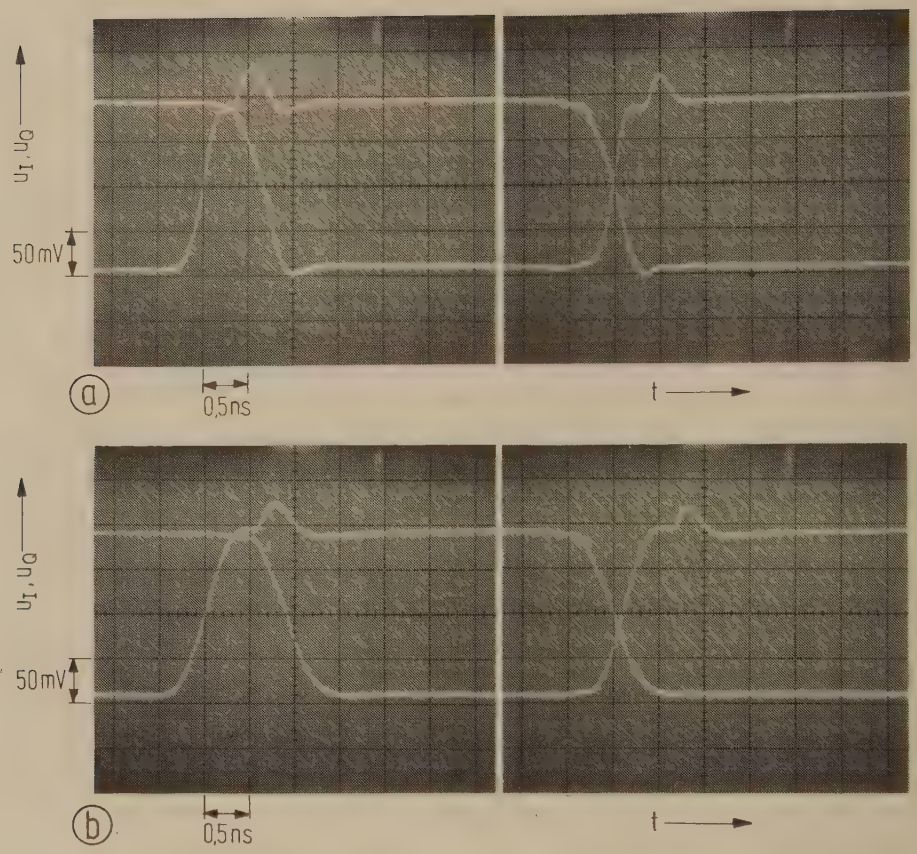


Bild 6.36: Verlauf von Eingangsspannung u_I und Ausgangsspannung u_Q eines C^3L-Gatters. (a) $P = P_0 = 0,25mW$, (b) $P = 0,05mW$.

Bei gesperrtem Transistor wird u_{CE} durch die sehr niedrigen Ströme der nahezu gesperrten Elemente T, SD und SDE bestimmt. Damit ist u_{CE} stark von der Frequenz und von Exemplarstreuungen abhängig. Für die Simulation wurde der ungünstigste Fall angenommen, daß vor dem Einschalten $u_{SDE} \approx 0$ bzw. $u_{CE} \approx U_{BEF}$ ist. Dies kann durch einen Widerstand parallel zu SDE erreicht werden, der so groß ist, daß sein Einfluß während der Schaltvorgänge vernachläs-

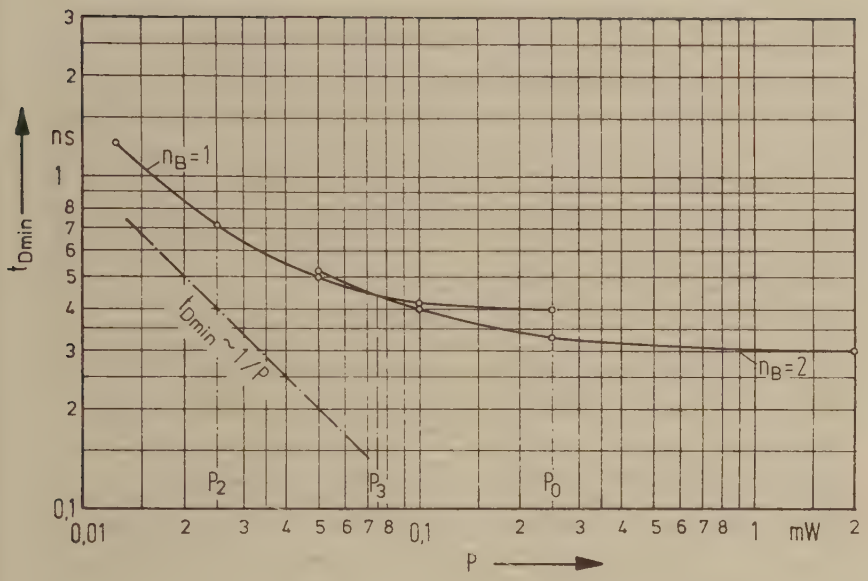


Bild 6.37: Minimale Gatterlaufzeit t_{Dmin} eines C^3L-Gatters als Funktion der Verlustleistung P ; n_B ist die Anzahl der Basiskontakte.

sigbar ist. Damit trotzdem vor dem Einschalten $u_{SDE} \approx 0$ wird, muß mit einer entsprechend niedrigen Frequenz simuliert werden.

Bei der Dimensionierung der Transistoren zur Vermeidung der Sättigung bei $n_Q=3$ wurde berücksichtigt, daß sich die Ströme I_{OH} und I_{OL} bei $T=T_S$ aufgrund der Temperaturabhängigkeit von U_{BEF} erhöhen. Die Temperaturabhängigkeiten von U_{BEF} selbst sowie von U_{SDF} und U_{SDEF} wurden durch das Dimensionierungsprogramm berücksichtigt (Anhang A1).

Die Bilder 6.36 bis 6.38 geben einen Überblick über das dynamische Verhalten des C^3L-Gatters. Umfangreichere Daten enthält der Anhang A4 (Tab. A4.16, A4.17).

Bild 6.36 zeigt an zwei Beispielen das simulierte Schaltverhalten (Bild 6.36b entspricht dem in Abschn. 4.4.2, Bild 4.20 dargestellten Ergebnis.) Der Überschwinger nach dem Anstieg von $u_I (=u_{BE})$ wird durch den hohen dynamischen Laststrom beim Ausschalten des Lastgatters hervorgerufen. Man kann das daraus

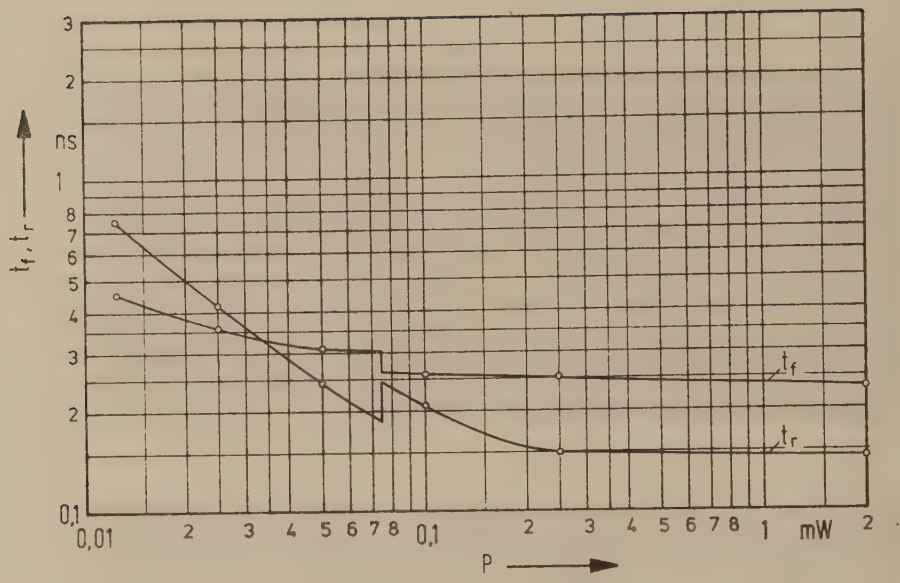


Bild 6.38: Abfallzeit t_f und Anstiegszeit t_r der Ausgangsspannung des C^3L-Gatters als Funktion der Verlustleistung P .

schließen, daß jeweils im linken Oszillogramm der Überschwinger mit dem Abfall der Ausgangsspannung, d.h. mit dem Ausschalten des Lastgatters zusammenfällt. Der Überschwinger ist bei der Ausgangsspannung des untersuchten Gatters kleiner (rechtes Oszillogramm, vgl. Bild 4.20 unten). Hier wird er durch das Ausschalten des letzten Gatters der Kette hervorgerufen, bei dem aufgrund der fehlenden weiteren Lastgatter der Kollektorstrom im eingeschalteten Zustand kleiner ist, was auch zu einem kleineren dynamischen Laststrom für das vorletzte Gatter führt.

In Bild 6.37 ist die minimale Gatterlaufzeit t_{Dmin} über der mittleren Verlustleistung P pro Gatter aufgetragen. Danach ermöglicht die C^3L auch bei extrem geringer Leistung noch sehr kleine Gatterlaufzeiten.

Ergänzend zeigt Bild 6.38 die Abfall- und die Anstiegszeit der Ausgangsspannung, die gleichzeitig mit t_{Dmin} aufgenommen wurden. Auffällig sind die verglichen mit t_{Dmin} sehr kleinen Werte von t_f und t_r; dies steht im Zusammenhang mit der großen Steigung der Übertragungskennlinie im Übergangsbereich.

6.5.3 C^3L - Empfindlichkeitsanalyse

Bei $P = P_0 = 0{,}25mW$ wurde eine Empfindlichkeitsanalyse durchgeführt, deren wichtigste Ergebnisse in Bild 6.39 aufgetragen sind. Weitere Ergebnisse können Tab. A4.20 (Anhang A4) entnommen werden. Bezüglich der Darstellungsform sei auf Abschn. 6.2.3 verwiesen.

Zur Anpassung der Technologie speziell an die C^3L sollte man wie bei der ECL in erster Linie Maßnahmen zur Verringerung der CB-Kapazität treffen. Die Anforderungen an die Transitzeit τ_N sind bei der C^3L geringer als bei allen anderen bisher beschriebenen Schaltungskonzepten.

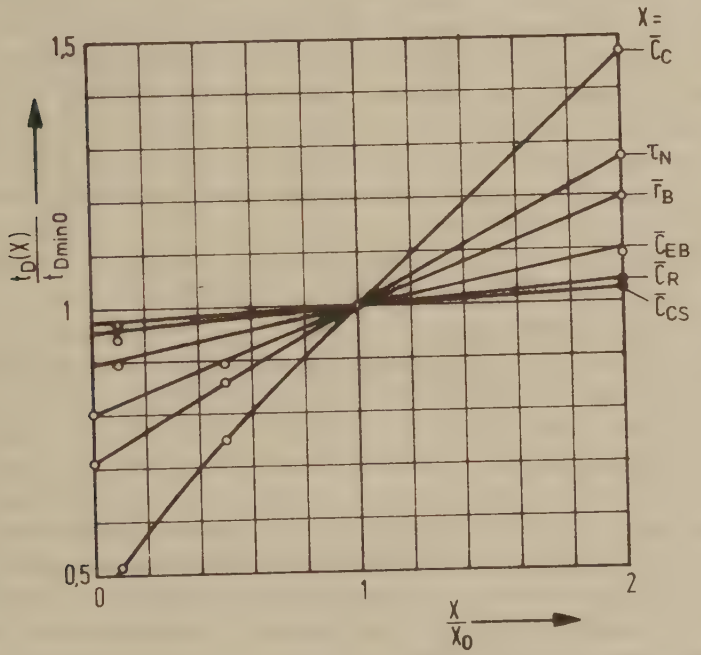


Bild 6.39: Einfluß der Änderung eines Parameters X auf die Laufzeit t_D eines C^3L-Gatters bei $P = P_0 = 0{,}25mW$ (vgl. Bild 6.7).

Aus den Ergebnissen der Empfindlichkeitsanalyse wurden die in Abschn. 6.1.3 definierten Empfindlichkeitsfaktoren für das C^3L-Gatter bestimmt:

$$k_1 = 8{,}67\ , \quad k_2 = 1{,}80\ , \quad k_3 = 0{,}084\ ,$$
$$k_4 = 0{,}598\ , \quad k_5 = 0{,}073\ , \quad k_6 = 0{,}130\ , \qquad (6.132)$$
$$k_7 = 1{,}038\ .$$

Die Abweichung der mit diesen Empfindlichkeitsfaktoren und (6.13) berechneten Gatterlaufzeiten t_D' von t_{Dmin} betrug in keinem Fall mehr als 9,1% (Tab. A4.16, A4.17).

Die Abhängigkeit der Gatterlaufzeit des C^3L-Gatters vom fan out n_Q kann Tab. A4.21 entnommen werden. Im Gegensatz zu den bisher untersuchten Schaltungen ergab sich keine lineare Abhängigkeit der Gatterlaufzeit t_{Dmin} von n_Q. Bei der C^3L steht zum Einschalten eines jeden Lastgatters separat der Strom I_0 zur Verfügung, sodaß sich eine Erhöhung von t_D mit n_Q nur dadurch ergeben kann, daß für den Anstieg des Kollektorstromes von Null auf etwa $(n_Q+1)I_0$ aufgrund der Transitzeit τ_N eine größere Zeit benötigt wird. Andererseits wird der Anstieg von u_{CE} mit zunehmenden n_Q beschleunigt, da $\overline{C}_{CS}$ und $\overline{C}_C$ schneller aufgeladen werden. Dies kann insbesondere bei kleinen Leistungen die Erhöhung von t_D aufgrund des Kollektorstroms kompensieren. Für n_Q=1...3 ergaben sich im Rahmen der Untersuchung bei P_0 und P_0=0,05mW keine Erhöhungen von t_D gegenüber $t_{Dmin}(n_Q=2)$ über 16,6%(P_0=0,05mW, n_Q=1).

Für die Abhängigkeit der Gatterlaufzeit von einer Lastkapazität ergibt sich aus Tab. A4.21 (vgl. (6.46), (6.47))

$$\frac{\Delta t_D P}{C_L} = 133\ \frac{ps\ mW}{pF}\ . \qquad (6.133)$$

Im einzelnen liegen die Abweichungen von diesem Mittelwert unter 8,3%. Dieser Wert ist nicht direkt mit den Werten vergleichbar, die man für die bisher untersuchten Schaltungen mit nur einem belasteten Ausgang erhält. Da die mögliche Leitungslänge von der Chipgröße abhängt, muß man bei der C^3L damit rechnen, daß bei n_Q=2 zwei Leitungen die entsprechende Länge haben. Dementsprechend wurden hier beide Ausgänge mit C_L belastet. Andererseits ist die mittlere Leitungslänge unabhängig davon, ob die Signalverzweigung durch mehrere Eingänge oder mehrere Ausgänge erfolgt. Diesbezüglich müßte also für den Vergleich der Wert nach (6.133) halbiert werden.

6.5.4 C^3L - Platzbedarf

In Bild 6.40 ist der Nettoplatzbedarf pro Gatter über der Verlustleistung aufgetragen. Im Gegensatz zu den bisher beschriebenen Schaltungskonzepten ergibt sich für $P > P_3$ durchweg eine Verringerung des Platzbedarfs bei Verwendung von Transistoren mit einem Basiskontakt($n_B=1$). Allerdings sollte man diese geringfügige

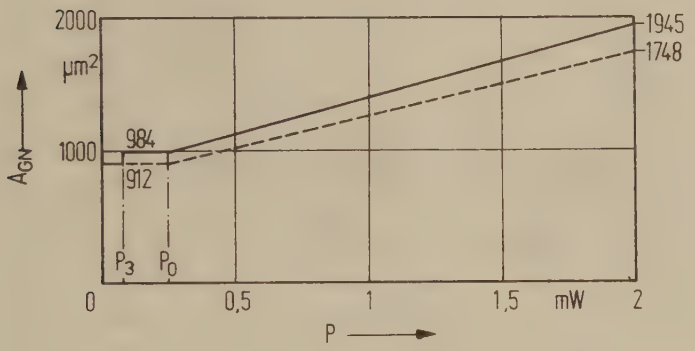


Bild 6.40: Nettoplatzbedarf A_{GN} des C^3L-Gatters mit $n_0=2$ als Funktion der Verlustleistung P . Ergänzend ist auch für $P > P_3$ der Platzbedarf bei $n_B=1$ eingetragen (Strichlinie).

Verbesserungsmöglichkeit angesichts der merklichen Erhöhung der Gatterlaufzeit (Bild 6.37) nicht nutzen. Zudem lohnt sich hier eine Platzersparnis bei hochintegrierten Schaltungen ohnehin nicht, da die Fläche eines C^3L-Gatters bereits so klein ist, daß die Fläche der Gesamtschaltung überwiegend durch die Verbindungsleitungen bestimmt wird. Beim Vergleich mit dem Platzbedarf aller anderen im Rahmen dieser Arbeit untersuchten Schaltungskonzepte ist zu beachten, daß der sehr geringe Nettoplatzbedarf in der Praxis auch annähernd erreicht werden kann, da das Gatter selbst außer der Verbindung zwischen der Basis des Transistors T mit dem Widerstand R (Bild 6.34) keine internen Verbindungsleitungen zwischen Bauelementen benötigt.

6.6 TTL

6.6.1 TTL - Dimensionierung und Störsicherheit

Das TTL-Gatter nach Bild 6.41 hat eine Reihe von Gemeinsamkeiten mit dem C^3L-Gatter, die allerdings erst bei näherer Betrachtung sichtbar werden. Zur Erläuterung dieser Gemeinsamkeiten soll zunächst auch bei der TTL angenommen werden, daß R durch eine Konstantstromquelle I_0 ersetzt sei; auch im übrigen werden die gleichen Annahmen gemacht wie bei der C^3L (Abschn. 6.5.1).

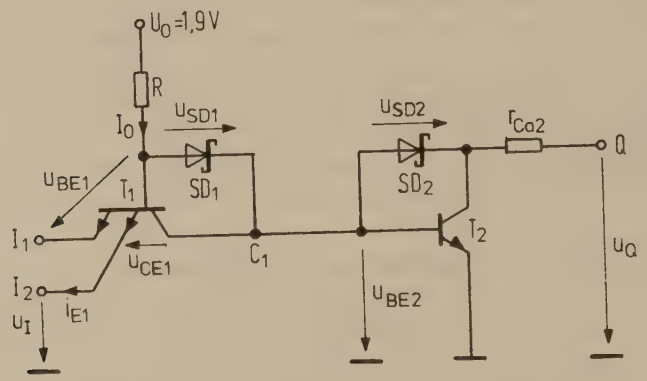


Bild 6.41: TTL-NAND-Gatter mit $n_I=2$. Der äußere Kollektorbahnwiderstand r_{Ca2} von T_2 wurde gesondert eingezeichnet, da er die Spannungspegel mitbestimmt.

Aufgrund $B_N=\infty$ fließt I_0 durch SD_1, sodaß $U_{SD1}=U_{SD1F}$ konstant ist. Mit $U_{CE1}=U_{BE1}-U_{SD1}$ ergibt sich dann für die Abhängigkeit der Spannung U_{CE1} von T_1 (Bild 6.41) eine Diodenkennlinie. Man kann also T_1 und SD_1 durch eine Entkopplungsdiode ersetzen, deren Flußspannung für $U_I=U_L$ sich aus der BE-Flußspannung von T_1 ergibt,

$$U_{CEF} = U_{BE1F} - U_{SD1F} \,, \qquad (6.134)$$

wenn gleichzeitig I_0 am Knoten C_1 (Bild 6.41) eingeprägt wird. Man erhält damit in einer TTL-Gatterkette die gleichen Verhältnisse wie für C^3L-Gatter, da es gleichgültig ist, ob die Entkopplungsdiode dem Eingang oder dem Ausgang zugeordnet ist (Abschn. 3.4).

Für die zur Regeneration logischer Signale erforderliche Mindesthöhe des Hubes $\Delta U'$ der Spannung U_{BE2} der TTL gilt daher etwa das gleiche wie für den Hub ΔU der C^3L. Ist T_1 gesperrt, so sind T_2 und SD_2 leitend ($U_{BE2}=U_{BE2F}$, $U_{SD2}=U_{SD2F}$). Dann ergibt sich am Ausgang Q

$$U_L = U_Q = U_{BE2F} - U_{SD2F} + n_Q r_{Ca2} I_0 \,, \qquad (6.135)$$

(wobei U_{BE2F} von n_Q abhängt). Legt man diese Spannung an den Eingang des Gatters, so gilt mit (6.134)

$$U_{BE2} = U_{BE2F} - U_{SD2F} + n_Q r_{Ca2} I_0 + U_{BE1F} - U_{SD1F} \,. \qquad (6.136)$$

Für den Hub von U_{BE2} gilt also[1)]

$$\Delta U' = U_{SD1F} + U_{SD2F} - U_{BE1F} - n_Q r_{Ca2} I_0 \,. \qquad (6.137)$$

Setzt man für eine grobe Abschätzung $U_{SD1F}=U_{SD2F}=500mV$ und $U_{BE1F}=800mV$ ein und läßt den Einfluß von r_{Ca} unberücksichtigt, so ergibt sich wie in (6.106)

$$\Delta U' = 200mV \,. \qquad (6.138)$$

Bei der untersuchten Schaltung wurde ein Widerstand R zur Einprägung von I_0 verwendet. Die Versorgungsspannung wurde in der gleichen Weise optimiert wie bei der C^3L. Für die TTL ergab sich [14]

$$U_Q = 1{,}9\,V \,. \qquad (6.139)$$

Damit ergibt sich für R die zugeschnittene Größengleichung

$$\frac{R}{k\Omega} = \frac{1{,}33}{P\,/\,mW} \,. \qquad (6.140)$$

Bild 6.42 zeigt das Simulationsergebnis für die Übertragungskennlinien, die sich in einer Gatterkette zwischen dem Knoten C_1 eines Gatters (Bild 6.41) und dem Knoten C_1 des nachfolgenden Gatters ergeben[1)]. Ein Vergleich mit Bild 6.35 bestätigt die genannten Gemeinsamkeiten der TTL mit der C^3L. Man entnimmt Bild 6.42 (für $B_N=50$) die auf C_1 bezogenen Störabstände

$$\Delta U'_H = 18mV \,, \quad \Delta U'_L = 195mV \,, \quad \Delta U'_K = 13mV \,. \qquad (6.141)$$

1) Die Wahl dieser Schnittstelle schließt Verfälschungen der Beurteilung durch den ungenau definierten H-Pegel am Ausgang aus (s.u.) und erleichtert den Vergleich mit der verwandten C^3L.

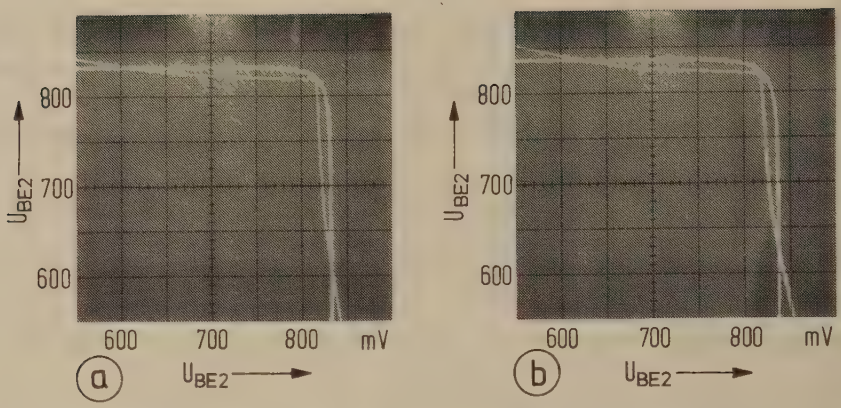


Bild 6.42 : Normale und inverse Spannungsübertragungskennlinie des TTL-Gatters nach Bild 6.41, bezogen auf den Kollektor C_1 des Transistors T_1, bei $P=P_0=0,37mW$ und $n_Q=2$; (a) für $B_N=\infty$, (b) für $B_N=50$.

Diese haben zwar keine Bedeutung für den Einfluß von Störströmen und -spannungen, können aber wie bei der C^3L zur Beurteilung der Störungen durch Parameterstreuungen auf dem Chip herangezogen werden.

Bei der Übertragungskennlinie zwischen Eingang und Ausgang des Gatters ist zwar der Bereich,in dem $U_Q<U^*$ gilt, durch den leitenden Transistor T_2 und die leitende Diode SD_2 wohl definiert, nicht aber der Bereich oberhalb des Umschaltpunktes U^*. Hier werden der Transistor T_2 des untersuchten Gatters und die Transistoren T_1 der nachfolgenden Gatter bei sehr geringen Strömen betrieben. Setzt man ein einzelnes Lastgatter und damit für dessen Transistor T_1 den gleichen Strom wie für T_2 voraus, so ergibt sich für beide auch etwa die gleiche BE-Spannung $U_{BEL}=U_{BEF}-\Delta U'\simeq 600mV$. Mit $U_{SD1F}=500mV$ erhält man dann eine Ausgangsspannung von ca. 700mV. Dieser Wert kann sich bei Aufteilung des Ausgangsstromes auf mehrere Gatter zwar geringfügig erhöhen; wahrscheinlicher ist es aber, daß er durch den nichtidalen Sperrstrom von SD_2 verringert wird. Für diese Arbeit wurde daher angenommen, daß der H-Pegel Werte im Bereich

$$650mV \leq U_H \leq 700mV \qquad (6.142)$$

annehmen kann. Bild 6.43a zeigt die Übertragungskennlinien für diese beiden Grenzfälle. Sie wurden bei $P=P_0=0,37mW$ und $n_I=n_Q=2$ aufgenommen, sind aber nur geringfügig von diesen Größen abhängig. U_{QH} wurde mit einer geeigneten Konstantstromquelle eingestellt.

Hinsichtlich der Störabstände ist U_H=650mV der ungünstigste Fall. Deshalb wurde die ensprechende Übertragungskennlinie zusammen mit der inversen Übertragungskennlinie in Bild 6.43b dargestellt. Man entnimmt diesem Bild die Störabstände

$$\Delta U_H = 100mV \ , \quad \Delta U_L = 195mV \ , \quad \Delta U_K = 70mV \ . \tag{6.143}$$

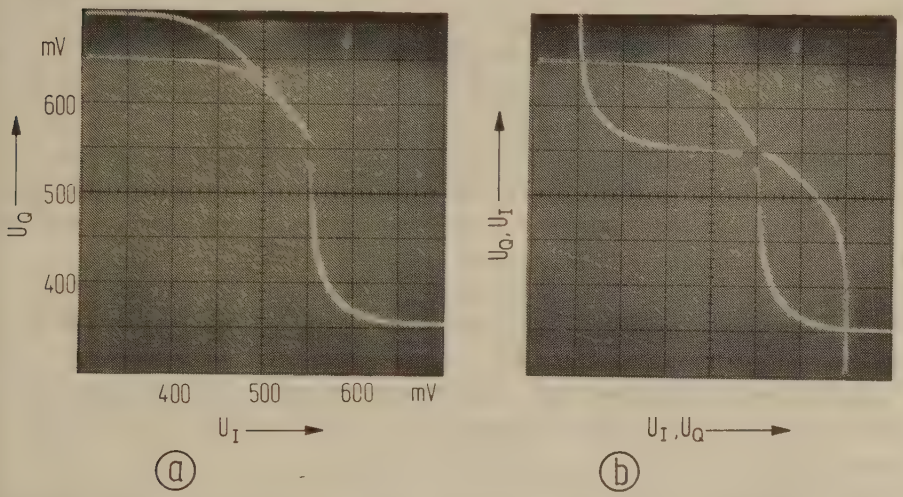


Bild 6.43: Spannungs-Übertragungskennlinien des TTL-Gatters nach Bild 6.41. (a) Für U_H=650mV und U_H=700mV, (b) Darstellung zusammen mit der inversen Übertragungskennlinie für U_H=650mV. ($P = P_0$ =0,37mW , n_Q=2).

Bei der folgenden Diskussion der Störsicherheit werden wieder Zahlenwerte für P =0,05mW und P =2mW in geschweiften Klammern angegeben.

Ein Störstrom ΔI_p, der in eine Signalleitung eingeprägt wird, führt am ehesten zur Störung des logischen Signals, wenn auf der Leitung der H-Pegel liegt. Eine Störung tritt aber erst dann auf, wenn die Transistoren T_2 der über diese Leitung angesteuerten Gatter keinen nennenswerten Basisstrom mehr erhalten. Daraus folgt (n_Q=1)

$$\Delta I_P \simeq I_0 = \left\{-2.6\mu A \ ; \ -1,1mA\right\} . \tag{6.144}$$

Hier wurde nicht mehr zwischen den Werten I_{0H} und I_{0L} unterschieden, da die Schwankung von I_0 kleiner ist als bei der C^3L. Mit den Werten aus Tab. A4.23, A4.24 (Anhang A4),

$$t_f = \{210ps\ ;\ 140ps\}\ , \tag{6.145}$$

die sich auf den für hohe Frequenzen gültigen Hub von ca. 200mV beziehen, ergibt sich dann aus (6.1) und (6.2)

$$C_p \simeq \{0,055pF\ ;\ 1,5pF\}\ . \tag{6.146}$$

Der erste Wert entspricht nach (6.11) einer Leitungslänge von 2,8mm, die für hochintegrierte Schaltungen nicht ungewöhnlich ist. Hinzu kommt, daß die Spannung an der gestörten Leitung kurz nach dem Sperren des treibenden Transistors T_2 nur wenig über dem Umschaltpunkt liegt, während die störende Leitung vor dem Abfall der Spannung möglicherweise auf U_H=700mV gelegen hat. Damit reicht die Störspannungsamplitude selbst nach der Teilung entsprechend Bild 6.3 zur Störung aus. Die TTL muß also insbesondere bei kleinen Leistungen als empfindlich gegenüber kapazitivem Übersprechen bezeichnet werden.

Eine Störspannung entlang einer Signalleitung kann nur dann zur Störung führen, wenn der treibende Transistor leitend ist. Mit (6.143) gilt dann

$$\Delta U_S = \Delta U_L = 195mV\ . \tag{6.147}$$

An den zulässigen Leitungswiderstand einer Signalleitung ergeben sich etwas höhere Anforderungen als bei der C^3L, da u.U. mehrere Gatter über eine Leitung angesteuert werden. Mit (6.147) ergibt sich z.B. bei n_Q=3 aus (6.4)

$$R_S = \frac{\Delta U_S}{3I_0} = \{2,5k\Omega\ ;\ 62\Omega\}\ . \tag{6.148}$$

Für die Anforderungen an die Versorgungs- und Massezuleitungen wie für die Einflüsse von Parameterstreuungen ergeben sich bei der TTL weitgehend die gleichen Werte wie bei der C^3L (Abschn. 6.5.1). Eine Ausnahme bilden die Flußspannungen von Transistoren und Schottky-Dioden. Für die Toleranzen dieser Flußspannungen ergeben

sich bei Zugrundelegung der Einzelstörabstände wieder relativ große Werte (vgl. Abschn. 6.5.1). Wie bei der C^3L ergeben sich aber auch hier Probleme, wenn eine Änderung bei mehreren aufeinanderfolgenden Gattern (bzw. bei allen) auftritt. Dann kann sich der Hub $\Delta U'$ nach (6.137) an der Basis der Transistoren T_2 u.U. soweit verringern, daß logische Signale nicht mehr regeneriert werden. Wie in Abschn. 6.6.1 erläutert, ist das Gleichspannungs-Übertragungsverhalten der TTL bezüglich der Basen der Transistoren T_2 dem der C^3L äquivalent. Man darf deshalb die untere Grenze des Hubes (98mV, vgl.(6.104)) von der C^3L übernehmen. Unter Vernachlässigung des Einflusses von r_{Ca2} ergibt sich dann aus (6.137) und (6.138) die Grenze

$$\Delta U_{BE} - 2\Delta U_{SD} \simeq 100mV \ . \qquad (6.149)$$

Da die Streuung von U_{BEF} sicher wesentlich geringer ist, als die der Flußspannung U_{SDF} der Al-Schottky-Dioden, wird aus (6.149)

$$\Delta U_{SD} \simeq -50mV \ . \qquad (6.150)$$

Eine lokale Temperaturerhöhung auf dem Chip ist ohne praktische Bedeutung, da die Temperaturabhängigkeit von U_{BE1} weitgehend durch die von U_{SD1} und U_{SD2} kompensiert wird.

6.6.2 TTL - Dynamisches Verhalten

Das dynamische Verhalten wurde wieder mit einer Kette aus fünf Gattern untersucht. Dabei wurde die Gatterlaufzeit zwischen den Kollektoren C_1 der Eingangstransistoren (Bild 6.41) des zweiten und dritten Gatters gemessen. Zwar ist es in einer unendlich langen Gatterkette gleichgültig, welche Stelle in zwei aufeinanderfolgenden Gattern zur Bestimmung der Gatterlaufzeit herangezogen wird. Bei fünf Gattern aber ergaben sich für die drei mittleren Gatter bereits merkliche Unterschiede der Laufzeiten, was darauf schließen ließ, daß die Kette bezüglich der Spannungsverläufe an den Ausgängen noch nicht als unendlich lang angesehen werden durfte. Dagegen ergaben sich keine nennenswerten Unterschiede wenn zwischen C_1 des zweiten und dritten bzw. des dritten

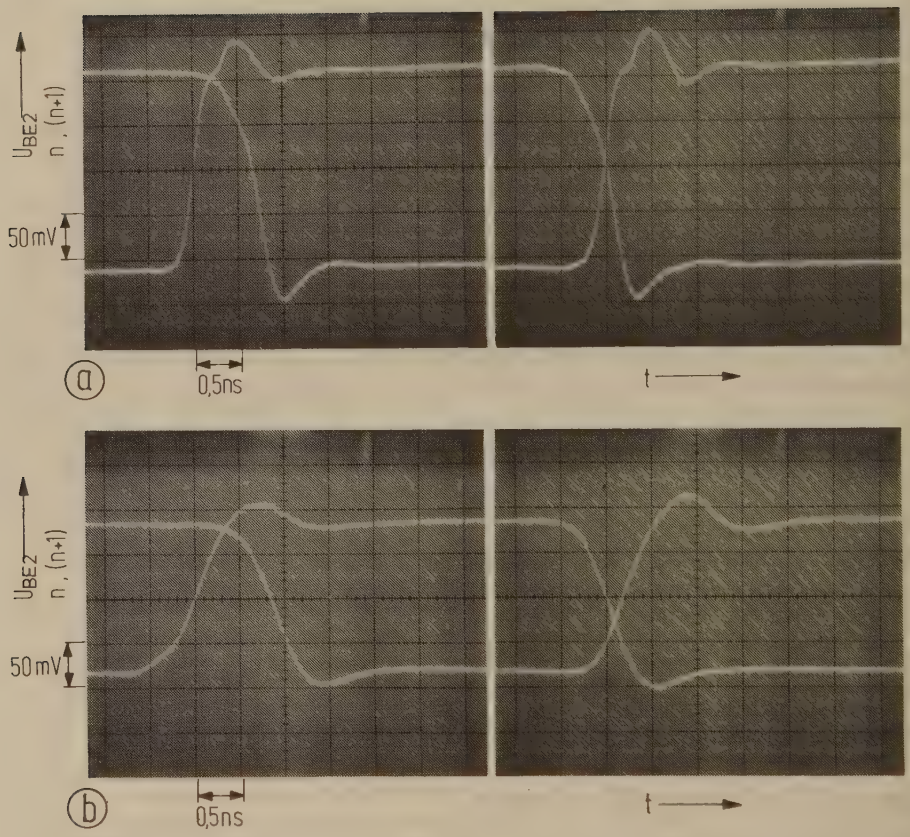


Bild 6.44: Verlauf der Spannungen $u_{BE2}(n)$ eines TTL-Gatters und $u_{BE2}(n+1)$ des nachfolgenden Gatters. (a) $P = P_0 = 0,37mW$, (b) $P = 0,05mW$.

und vierten Gatters die Laufzeit bestimmt wurde.

Zur Nachbildung von $n_Q=2$ wurden wieder Stromtransformationen an den Schnittstellen zwischen den Gattern vorgenommen; $n_I=2$ wurde dadurch nachgebildet, daß die Basis von T_1 mit einer Kapazität belastet wurde, die der Serienschaltung der EB-Kapazität des zweiten Emitters von T_1 mit der Ausgangskapazität eines gesperrten Transistors T_2 entsprach. Für die Widerstände wurde die

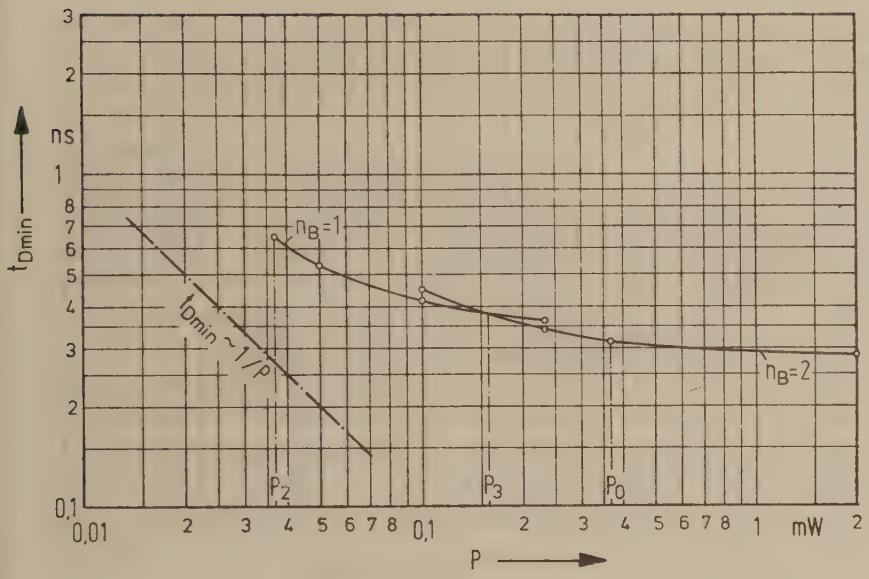


Bild 6.45: Minimale Gatterlaufzeit t_{Dmin} eines TTL-Gatters als Funktion der Verlustleistung P ; n_B ist die Anzahl der Basiskontakte des Ausgangstransistors.

Struktur nach Bild 4.10 mit b_R=10µm zugrundegelegt.

Um den ungünstigsten Fall darzustellen, wurde der Maximalwert von U_H nach (6.142) durch einen großen Widerstand zwischen Basis und Emitter von T_1 und eine hinreichend niedrige Frequenz eingestellt (vgl. Abschn. 6.5.2).

Bei der Dimensionierung der Transistoren zur Vermeidung der Sättigung bei n_Q=3 wurde berücksichtigt, daß sich die beiden Werte I_{OH} und I_{OL} des Stromes I_0 bei $T=T_S$ aufgrund der Temperaturabhängigkeiten der BE-Spannungen (-1,6mV/K) und der SD-Spannungen (ca. -1mV/K) erhöhen. Die Temperaturabhängigkeit dieser Spannungen selbst wurde durch das Dimensionierungsprogramm berücksichtigt (Anhang A1).

Abweichend von allen übrigen Schaltungen mußten innerhalb eines TTL-Gatters unterschiedliche Transistoren verwendet werden. Wie eine Voruntersuchung zeigte, haben sowohl der Basisbahnwiderstand als auch die Sperrschichtkapazitäten des Eingangstransistors T_1 keinen wesentlichen Einfluß auf das dynamische Verhalten des TTL-Gatters. Deshalb konnte grundsätzlich die in Bild 4.8 gezeigte

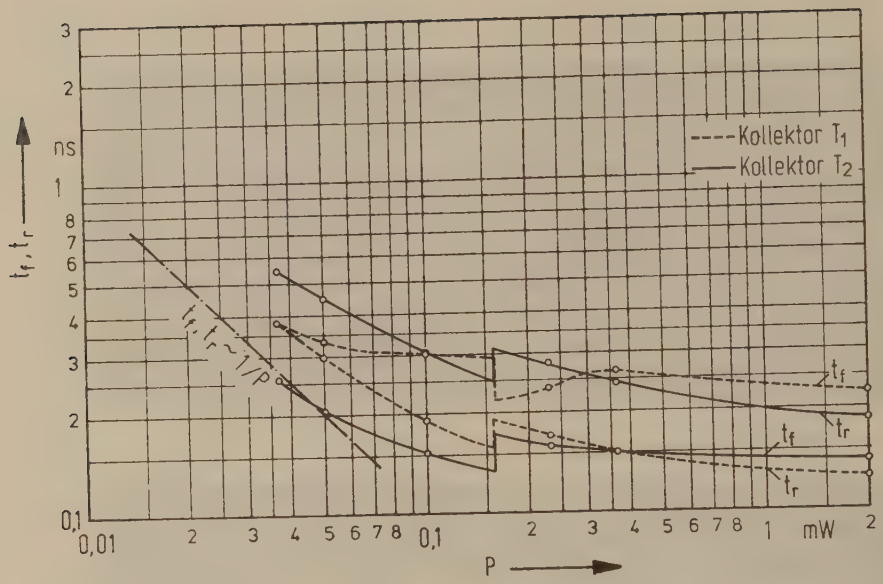


Bild 6.46: Abfallzeiten t_f und Anstiegszeiten t_r der Spannungen am Kollektor des Eingangstransistors T_1(u_{BE2}) bzw. des Ausgangstransistors T_2(u_Q, u_I) eines TTL-Gatters als Funktion von P .

Struktur mit einem Basiskontakt verwendet werden, die außerdem zur Entwurfserleichterung die gleiche Emitterstreifenlänge y_E wie der Ausgangstransistor T_2 erhielt.

Die Bilder 6.44 bis 6.46 geben einen Überblick über das dynamische Verhalten des TTL-Gatters. Umfangreichere Daten enthält der Anhang A4 (Tab. A4.23 bis A4.25).

Bild 6.44 zeigt an zwei Beispielen das simulierte Schaltverhalten. Ein Vergleich von Bild 6.44 mit Bild 6.36 macht die im vorhergehenden Abschnitt beschriebene Ähnlichkeit zwischen TTL und C^3L deutlich.

Bild 6.45 zeigt die minimale Gatterlaufzeit t_{Dmin}, Bild 6.46 die gleichzeitig aufgenommenen Abfall- und Anstiegszeiten von u_Q und u_{BE2} (Bild 4.41) jeweils als Funktion der Verlustleistung P.

Auch hier verdeutlicht ein Vergleich mit Bild 6.37, 6.38 die Ähnlichkeit mit der C^3L. Die vorübergehende Verringerung der Abfallzeit von u_{BE2} (Kollektor von T_1) mit fallender Leistung zwischen P_3 und ca. 0,35mW ist darauf zurückzuführen, daß die in Bild 6.44a erkennbare Knickstelle in der Abfallflanke mit abnehmen-

der Leistung nach oben verschoben wird. (Sie ist in Bild 6.44b verschwunden.) Der gleiche Effekt sorgt bei der C^3L dafür, daß t_f bis P_3 herab nahezu konstant bleibt (Bild 6.38).

6.6.3 TTL - Empfindlichkeitsanalyse

Bei $P = P_0 = 0{,}37mW$ wurde eine Empfindlichkeitsanalyse durchgeführt, deren wichtigste Ergebnisse in Bild 6.47 aufgetragen sind. Weitere Ergebnisse können Tab. A4.26 entnommen werden. Bezüglich der Darstellungsform sei auf Abschn. 6.2.3 verwiesen.

Ein Vergleich mit der C^3L zeigt, daß hier hauptsächlich der Einfluß von $\bar{C}_C$ und $\bar{C}_{CS}$ angestiegen ist. Das rührt einmal daher, daß der Hub der Ausgangsspannung der TTL entsprechend höher ist als der Hub der CE-Spannung der C^3L. Hinzu kommt bezüglich $\bar{C}_{CS}$, daß bei der TTL an der Basis von T_2 nun zusätzlich die Substratkapazität von T_1 als Last angreift.

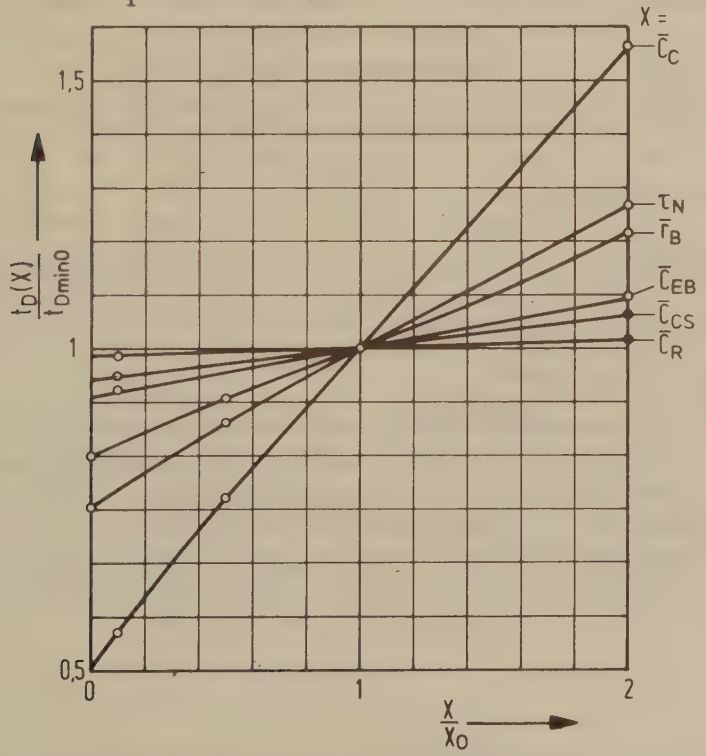


Bild 6.47: Einfluß der Änderung eines Parameters X auf die Laufzeit t_D eines TTL-Gatters bei $P = P_0 = 0{,}37mW$ (vgl. Bild 6.7).

Aus den Ergebnissen der Empfindlichkeitsanalyse wurden die in Abschn. 6.1.3 definierten Empfindlichkeitsfaktoren für das TTL-Gatter bestimmt:

$$k_1 = 5{,}84\ , \quad k_2 = 1{,}71\ , \quad k_3 = 0{,}110\ ,$$
$$k_4 = 0{,}958\ , \quad k_5 = 0{,}286\ , \quad k_6 = 0{,}069\ , \qquad (6.151)$$
$$k_7 = 0{,}976\ .$$

Die Abweichung der mit diesen Empfindlichkeitsfaktoren und (6.13) berechneten Gatterlaufzeiten t_D' von t_{Dmin} betrug weniger als 8,4%, falls $n_B=2$ war. Für $n_B=1$ lag t_D' um bis zu 20% höher als t_{Dmin}, da die Empfindlichkeitsfaktoren für $n_B=2$ berechnet wurden, der Eingangstransistor aber in jedem Fall nur einen Basiskontakt hat (Tab. A4.23 bis A4.25).

Die Abhängigkeit der Gatterlaufzeit des TTL-Gatters vom fan out n_Q (Tab. A4.27) ist ebenso wie bei der C^3L nichtlinear (vgl. Abschn. 6.6.3). Für $n_Q=1...3$ ergaben sich im Rahmen der Untersuchung bei P_0 und $P = 0{,}05$mW keine Erhöhungen von t_D gegenüber $t_{Dmin}(n_Q=2)$ über 11,2%($P = 0{,}05$mW, $n_Q=1$).

Für die Abhängigkeit der Gatterlaufzeit von einer Lastkapazität ergibt sich aus Tab. A4.27 (vgl. (6.46), (6.47))

$$\frac{\Delta t_D P}{C_L} = 150\ \frac{\text{ps mW}}{\text{pF}}\ . \qquad (6.152)$$

Im einzelnen liegen die Abweichungen von diesem Mittelwert unter 6,1%.

6.6.4 TTL - Platzbedarf

In Bild 6.48 ist der Nettoplatzbedarf pro Gatter über der Verlustleistung aufgetragen. Für $P > P_3$ ergibt sich ein geringfügig kleinerer Platzbedarf, wenn man auch hier einen Transistor T_2 mit einem Basiskontakt ($n_B=1$) verwendet. Allerdings geht dies wie bei der C^3L merklich zulasten der Gatterlaufzeit (Bild 6.45).

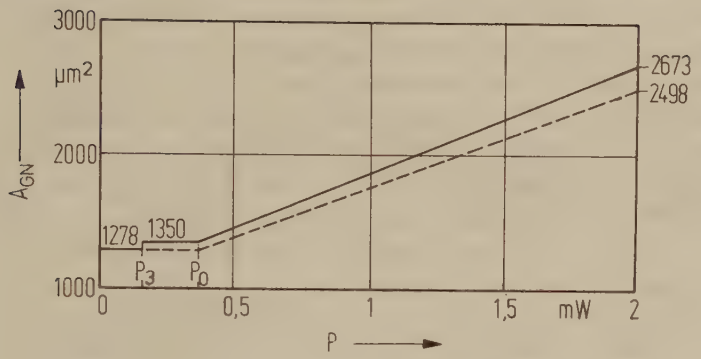


Bild 6.48: Nettoplatzbedarf A_{GN} des TTL-Gatters mit n_I=2 als Funktion der Verlustleistung P . Ergänzend ist auch für $P > P_3$ der Platzbedarf bei n_B=1 eingetragen (Strichlinie).

6.6.5 TTL mit linearer Parallelgegenkopplung

In Abschn. 3.3 wurde erwähnt, daß grundsätzlich die Schottky-Dioden zur Vermeidung der Sättigung durch Widerstände ersetzt werden können. Um dies zu demonstrieren, wurde als Beispiel die TTL ausgewählt. Bild 6.49 zeigt die entsprechende Schaltung. In dieser Schaltung ergeben sich mit U_0=1,8V und $R_1+R_2=2R_3$ für $U_Q=U_L$ etwa die gleichen Spannungen an T_2 wie bei einer vergleichbaren TTL-Schaltung mit Schottky-Dioden. Die Spannung U_{BC1} bei

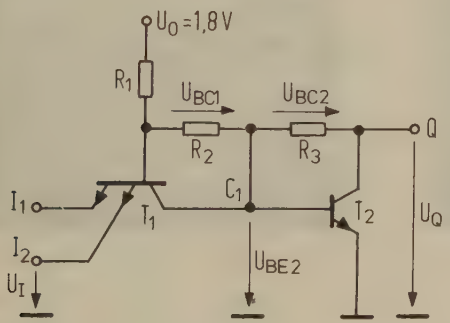


Bild 6.49: TTL mit linearer Parallelgegenkopplung.

leitendem Transistor T_1 kann durch das Verhältnis R_2/R_1 eingestellt werden. Mit $R_1/R_2=1,5$ ergeben sich die in Bild 6.50 gezeigten Übertragungskennlinien.

Ein Vergleich der Übertragungskennlinien bezüglich U_{BE2} (Bild 6.50a) mit Bild 6.42 zeigt, daß bei linearer Gegenkopplung die Regeneration logischer Signale sicher verschlechtert wird. Die Übertragungskennlinien zwischen Ein- und Ausgang ergeben aber noch akzeptable Störspannungsabstände (Bild 6.50b).

Probleme ergeben sich bei Erhöhung der Temperatur. Wäre U_0 konstant, so würde eine Verringerung von U_{BE2F} zur Erhöhung der Summe der Spannungen an R_1 und R_2 und damit der Spannung U_{BC2} führen. Der L-Pegel sinkt also stark mit steigender Temperatur, was zur Forderung nach Transistoren mit großer Emitterfläche oder hoher Epitaxiedotierung führen würde. Wie bei der NTL sollte man also auch hier eine in geeigneter Weise temperaturabhängige Versorgungsspannung vorsehen.

Daß die lineare Gegenkopplung hinsichtlich des Schaltverhaltens nur Nachteile mit sich bringt, wurde bereits in Abschn. 3.3 erläutert. Dennoch käme ein solches Schaltungskonzept für hochintegrierte Schaltungen infrage, wenn keine zu hohen Anforderungen an die Geschwindigkeit gestellt werden, denn es treten hier kaum technologische Probleme auf.

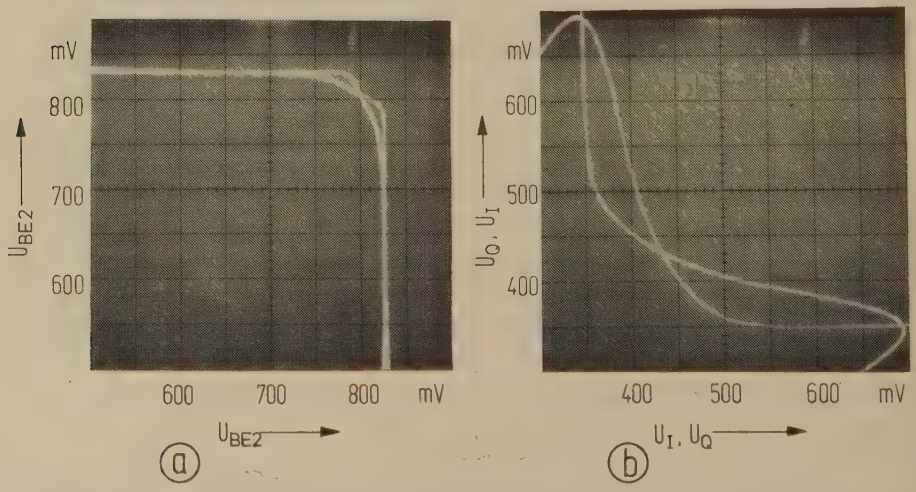


Bild 6.50: Normale und inverse Spannungs-Übertragungskennlinien des TTL-Gatters nach Bild 6.49. (a) Zwischen dem Kollektor von T_1 eines Gatters und dem entsprechenden Kollektor im nachfolgenden Gatter, (b) zwischen Ein- und Ausgang.

6.7 DCTL

6.7.1 DCTL - Dimensionierung und Störsicherheit

Die bei der NTL durch Verwendung einer Kapazität C_{R1} parallel zu R_1 erreichte Verringerung der Gatterlaufzeit (Abschn. 6.4.3), ließ es als erfolgversprechend erscheinen, ein ähnliches Schaltungskonzept zu untersuchen, bei dem der Widerstand R_1 relativ klein ist. Ein solches Konzept ist die DCTL, deren Grundgatter Bild 6.51 zeigt.

Bei der Dimensionierung werden wieder die zu Beginn von Abschn. 6.1.1 genannten Vereinfachungen zugrundegelegt. Außerdem bleibt zunächst der Einfluß von r_{Ca} unberücksichtigt und T_2 wird als gesperrt betrachtet.

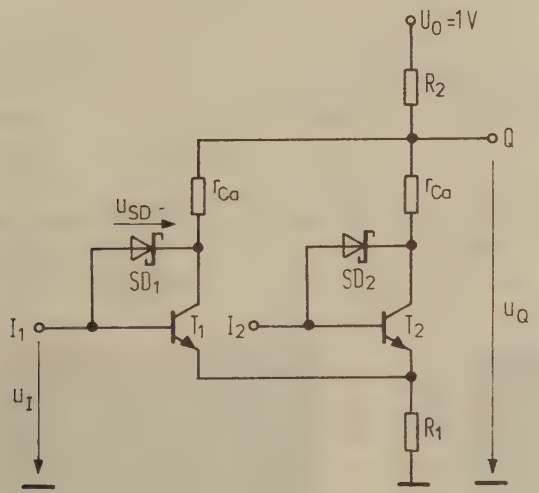


Bild 6.51: DCTL-NOR-Gatter mit n_I=2. Die äußeren Kollektorbahnwiderstände r_{Ca} wurden separat eingezeichnet, weil sie den Hub mitbestimmen.

Der Hub ergibt sich dann aus der Flußspannung U_{SDF} der Clamp-Diode. Verwendet man Ti-Schottky-Dioden, um einen kleinen Hub zu erreichen, so ist

$$\Delta U = U_{SDF} = 300mV \; . \qquad (6.153)$$

Dieser Wert ist so groß, daß sich eine Untersuchung der Grenze, bei der $|V_u^*| = 1$ wird, erübrigt.

Zur Vermeidung des "current hogging"-Effektes [4] ist ein gemeinsamer Emitterwiderstand

$$R_1 = R_2/10 \qquad (6.154)$$

für alle Transistoren eines Gatters vorgesehen. Wie sich anhand von Bild 6.52 qualitativ zeigen läßt, bietet diese Anordnung einen erheblichen Vorteil gegenüber der Verwendung separater Emitterwiderstände.

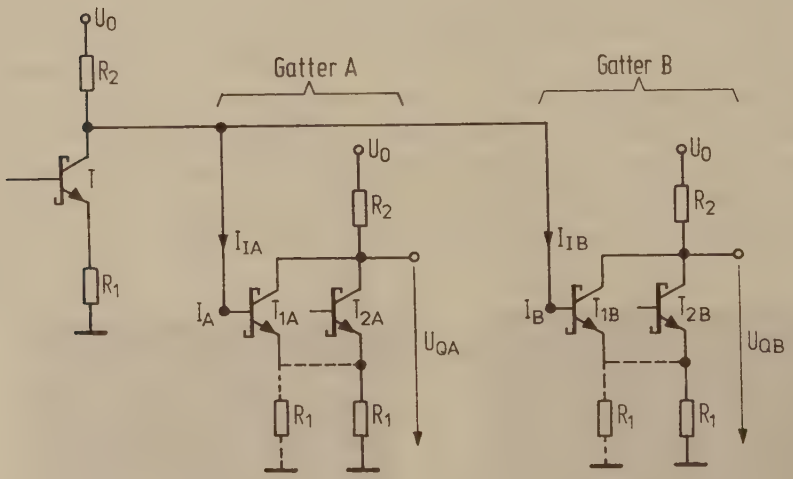


Bild 6.52: Zur Erläuterung des "current hogging"-Effekts.

Der Transistor T eines Gatters, das zwei Gatter A und B ansteuert, sei gesperrt. Sind T_{2A} und T_{2B} ebenfalls gesperrt, so ist es gleichgültig, ob R_1 jeweils beiden Transistoren gemeinsam ist oder nicht. Läßt man Exemplarstreuungen (s.u.) zunächst unberücksichtigt, so gilt jetzt $I_{IA}=I_{IB}$. Wird nun z.B. T_{2B} leitend, so ergeben sich Unterschiede zwischen beiden Möglichkeiten. Bei separaten Widerständen R_1 führt das Einschalten von T_{2B} zur Verringerung von U_{QB}. Diese Verringerung würde sich über die leitende Clamp-Diode von

T_{1B} auf den Eingang I_B übertragen und so zu einer erheblichen Zunahme von I_{IB} führen. Für das Gatter A würde dann nur noch ein geringerer Strom I_{IA} zur Verfügung stehen.

Im Falle gemeinsamer Widerstände R_1 würde das Einschalten von T_{2B} zur Erhöhung der Spannung an R_1 und damit zur Verringerung von I_{IB} führen (Differenzverstärkerprinzip). Damit stünde für Gatter A sogar ein höherer Eingangsstrom zur Verfügung.

Für die Versorgungsspannung wurde der Wert der NTL übernommen; U_0=1V. Aufgrund der niedrigen Flußspannung der Clamp-Diode nach (6.153) sind relativ hohe Stromdichten in den Transistoren möglich. Deshalb wurde für die BE-Flußspannung U_{BEF}=850mV eingesetzt. Damit sowie mit (6.153) und (6.154) lassen sich die Spannungspegel berechnen:

$$U_H = \frac{U_{BEF} + [U_0(1 + 1/n_Q) + U_{SDF}]R_1/R_2}{1 + (1 + 1/n_Q)R_1/R_2} = 896\text{mV} , \qquad (6.155)$$

$$U_L = U_H - \Delta U = 596\text{mV} , \qquad (6.156)$$

wobei die Zahlenwerte für ein fan out n_Q=2 gelten. Mit der mittleren Verlustleistung

$$P = U_0(2U_0 - U_H - U_L)/(2R_2) \qquad (6.157)$$

ergibt sich dann für R_2 die zugeschnittene Größengleichung

$$\frac{R_2}{k\Omega} = \frac{0,254}{P/\text{mW}} . \qquad (6.158)$$

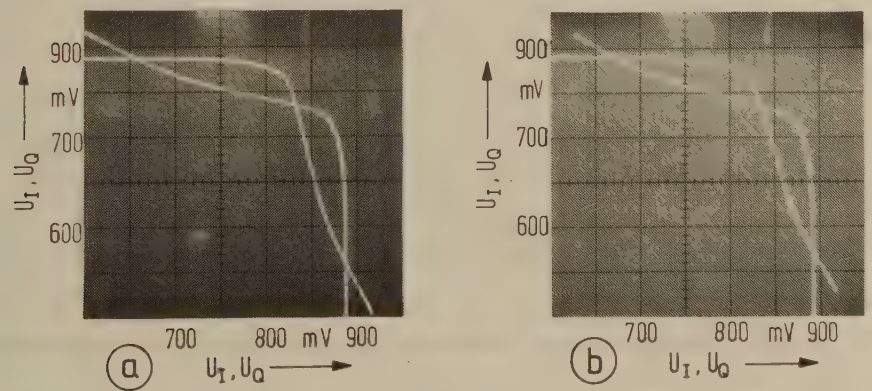


Bild 6.53: Normale und inverse Spannungsübertragungskennlinie des DCTL-Gatters nach Bild 6.51 bei P=P_0=0,48mW und n_Q=2, (a) für B_N=∞, (b) für B_N=50.

Bild 6.53 zeigt die Übertragungskennlinien der DCTL. Sie sind wie bei den zuvor diskutierten Schottky-Dioden-Schaltungen geringfügig von P, n_Q und B_N abhängig. Die Spannung U_H entspricht etwa dem Wert nach (6.155), für U_L ergibt sich ein merklich höherer Wert. Dieser wird durch den bisher nicht berücksichtigten Spannungsabfall an r_{Ca} in Bild 6.51 hervorgerufen (Anhang A4, Tab. A4.29: $r_{Ca}I_{Cein} \approx 52mV$). Man entnimmt dem Bild die Störabstände

$$\Delta U_H = 50mV,\ \Delta U_L = 180mV,\ \Delta U_K = 30mV\ . \qquad (6.159)$$

Auch hier zeigen sich die nach den bisherigen Untersuchungen für Schottky-Dioden-Schaltungen typischen Merkmale, daß ΔU_K nur relativ wenig kleiner ist als ΔU_H und daß ΔU_L wesentlich größer als ΔU_H ist. Allerdings sind diese Merkmale aufgrund der Gegenkopplung durch R_1 etwas weniger ausgeprägt.

Bei der folgenden Diskussion der Störströme und -spannungen werden Zahlenwerte für P =0,05mW und P =2mW in geschweiften Klammern angegeben.

Ein Störstrom ΔI_P, der in eine Signalleitung eingeprägt wird, führt am ehesten zur Störung, wenn auf dieser Leitung U_H liegt. Geht man davon aus, daß die Eingangsströme der durch die gestörte Leitung angesteuerten Gatter vernachlässigbar klein sind, so fließt im Falle der Störung im Widerstand R_2 des treibenden Gatters nur noch ΔI_P. Mit dem Umschaltpunkt

$$U^* = 835mV \qquad (6.160)$$

aus Bild 6.53 ergibt sich demnach

$$|\Delta I_P| = (U_0 - U^*)/R_2 = \{32,5\mu A\ ;\ 1,3mA\}\ . \qquad (6.161)$$

Mit den maßgeblichen Werten aus Tab. A4.28 und A4.29 bzw. Bild 6.56

$$t_f = \{580ps\ ;\ 255ps\} \qquad (6.162)$$

und dem Hub ΔU=230mV ergibt sich dann aus (6.1), (6.2)

$$C_P = \{0,16pF\ ;\ 2,9pF\}\ . \qquad (6.163)$$

Eine Störspannung entlang einer Signalleitung darf im ungünstigsten Fall den Wert

$$\Delta U_S = \Delta U_H = 50mV \qquad (6.164)$$

annehmen. Damit ergibt sich aufgrund der Begrenzung des statischen Signalstromes durch R_2 aus (6.4)

$$R_S = R_2\Delta U_S/(U_0 - U_H) = \{2,2k\Omega\ ;\ 55\Omega\}\ . \qquad (6.165)$$

Die Versorgungsspannung darf sich bis auf U* verringern, bevor eine Störung eintritt, d.h.

$$\Delta U_0 = U_0 - U^* = 165mV \ . \qquad (6.166)$$

Daraus ergibt sich bei Normierung auf den mittleren Versorgungsstrom

$$R_0 = \{3,3k\Omega \ ; \ 82,5\Omega\}. \qquad (6.167)$$

Die DCTL ist unter den hier untersuchten Schaltungen die einzige, bei der sich "current hogging"-Probleme ergeben. Das liegt daran, daß ein begrenzter Ausgangsstrom eines treibenden Gatters auf mehrere Eingänge mit erheblichen statischen Eingangsströmen verteilt werden muß. Aus diesem Grunde werden hier die höchsten Anforderungen an die Massezuleitungen gestellt. Treibt ein Gatter mit $U_Q=U_H$ zwei Gatter, so darf sich das Massepotential an einem der beiden etwa um ΔU_H anheben, bevor eine Störung auftritt:

$$\Delta U_M = \Delta U_H = 50mV \qquad (6.168)$$

Bei Normierung auf den mittleren Versorgungsstrom wird daraus

$$R_M = \{1k\Omega \ ; \ 25\Omega\} \ . \qquad (6.169)$$

Im Vergleich zu allen anderen Schaltungskonzepten stellt also die DCTL mit Abstand die höchsten Anforderungen an die Massezuleitungen.

Die Anforderungen an die Konstanz von U_{BE} sind bei der DCTL mit Abstand die höchsten unter allen untersuchten Schaltungen. Mit der gleichen Annahme wie zur Berechnung von (6.168) ergibt sich mit (6.154)

$$\Delta U_{BE} = \frac{R_1}{R_2} \Delta U_L = 18mV \ . \qquad (6.170)$$

Dies entspricht einem lokalen Temperaturunterschied auf dem Chip von nur

$$|\Delta T| \simeq 11K \ , \qquad (6.171)$$

also einem Wert, der auf großen Chips durchaus vorkommen kann. Die Schottky-Dioden führen zu keinen nennenswerten Toleranzproblemen.

Zusammenfassend läßt sich also sagen, daß die DCTL eine Reihe von Störproblemen aufwirft, die alle im Zusammenhang mit dem "current hogging"-Effekt stehen.

6.7.2 DCTL - Dynamisches Verhalten

Die Untersuchung des dynamischen Verhaltens erfolgte am mittleren Gatter einer Kette aus fünf Gattern. Für R_2 wurde die Struktur nach Bild 4.10 mit b_R=10um zugrundegelegt, die Struktur von R_1 hat keine nennenswerte Bedeutung für das dynamische Verhalten.

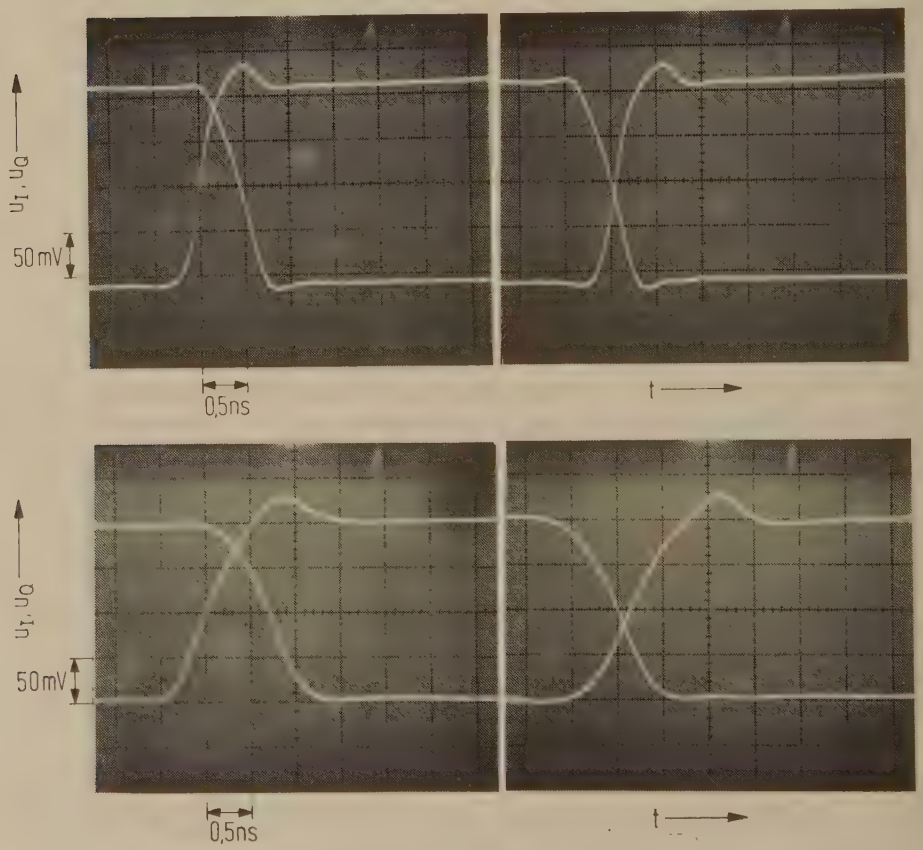


Bild 6.54: Verlauf von Eingangsspannung u_I und Ausgangsspannung u_Q eines DCTL-Gatters. (a) P =P_0 =0,48mW, (b) P =0,05mW.

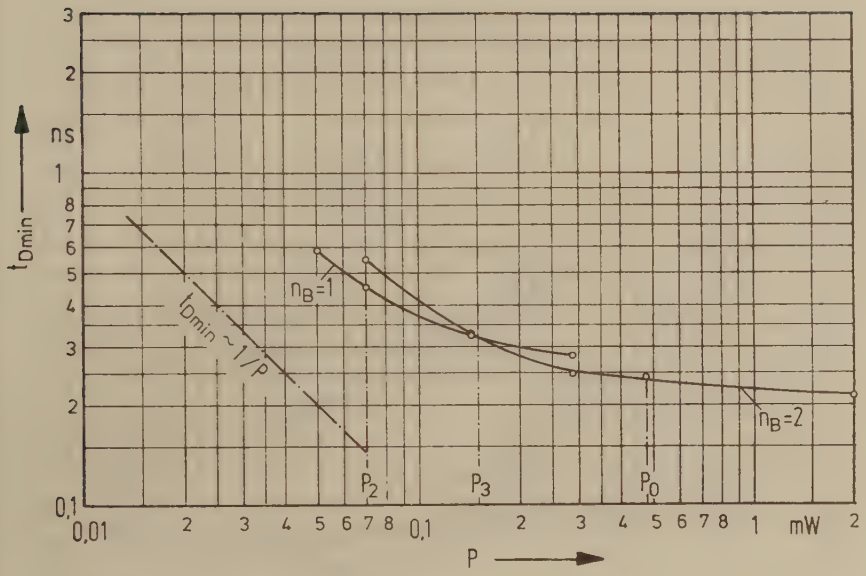


Bild 6.55: Minimale Gatterlaufzeit t_{Dmin} eines DCTL-Gatters als Funktion der Verlustleistung P ; n_B ist die Anzahl der Basiskontakte.

Die Bilder 6.54 bis 6.56 vermitteln einen Überblick über das dynamische Verhalten des DCTL-Gatters. Umfangreichere Daten enthält der Anhang A4 (Tab. A4.28, A4.29).

Bild 6.54 zeigt an zwei Beispielen das simulierte Schaltverhalten. In Bild 6.55 ist die minimale Gatterlaufzeit t_{Dmin} über der Verlustleistung P pro Gatter aufgetragen. Die erwartete Verbesserung gegenüber der NTL bestätigt sich zumindestens bei größeren Werten P in gewissem Maße; allerdings werden die Werte der NTL mit Kapazität C_{R1} nicht erreicht (vgl. Bild 6.27). Das liegt daran, daß bei der DCTL der Strom in R_2 in keinem Schaltzustand zu Null wird, was bei vorgegebener Leistung trotz gleicher Versorgungsspannung zu größeren Werten R_2 als bei der NTL führt. Bei niedrigen Leistungen verschwindet die Verbesserung ganz, da die Schottky-Dioden die Miller-Kapazität zwischen Kollektor und Basis erhöhen.

Ergänzend zeigt Bild 6.55 die Abfall- und die Anstiegszeit der Ausgangsspannung, die gleichzeitig mit t_{Dmin} aufgenommen wurden.

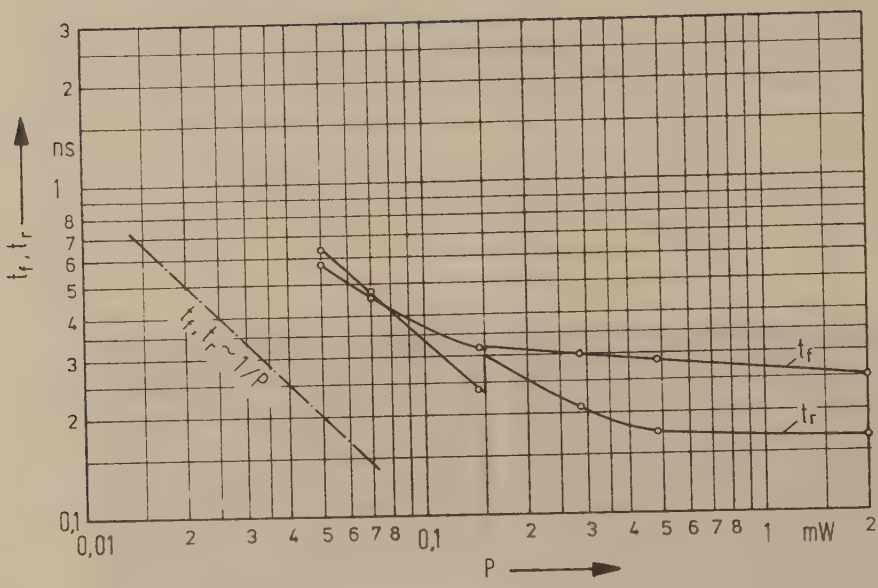


Bild 6.56: Abfallzeit t_f und Anstiegszeit t_r der Ausgangsspannung des DCTL-Gatters als Funktion der Verlustleistung P .

6.7.3 DCTL - Empfindlichkeitsanalyse

Bei $P = P_0 = 0{,}48$mW wurde eine Empfindlichkeitsanalyse durchgeführt, deren wichtigste Ergebnisse in Bild 6.57 aufgetragen sind. Weitere Ergebnisse können Tab. A4.30 (Anhang A4) entnommen werden. Bezüglich der Darstellungsform sei auf Abschn. 6.2.3 verwiesen.

Ein Vergleich mit der NTL zeigt, daß sich nur der Einfluß des Basisbahnwiderstands wesentlich verändert hat. Das war aufgrund der drastischen Verringerung des Gegenkopplungswiderstands R_1 auch zu erwarten. Für die Anforderungen an die Technologie ergibt sich also neben den in Abschn. 6.4.3 genannten noch der Wunsch nach einem geringeren Schichtwiderstand der inneren Basis oder nach geringeren Streifenbreiten.

Aus den Ergebnissen der Empfindlichkeitsanalyse wurden die in Abschn. 6.1.3 definierten Empfindlichkeitsfaktoren für das NTL-Gatter bestimmt:

$k_1 = 3{,}47$, $k_2 = 2{,}42$, $k_3 = 0{,}120$

$k_4 = 0{,}978$, $k_5 = 0{,}324$, $k_6 = 0{,}121$, (6.172)

$k_7 = 1{,}012$.

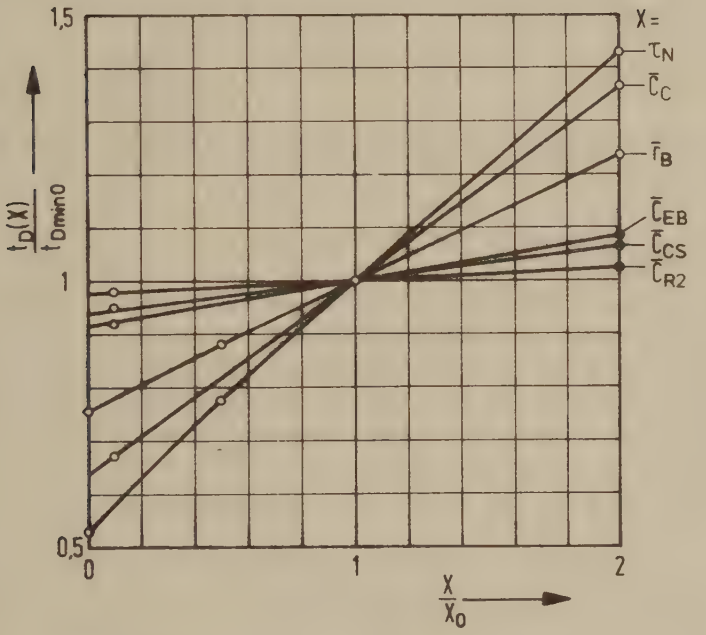


Bild 6.57: Einfluß der Änderung eines Parameters X auf die Gatterlaufzeit t_D eines DCTL-Gatters bei $P = P_0 = 0{,}5mW$ (vgl. Bild 6.7).

Die Abweichung der mit diesen Empfindlichkeitsfaktoren und (6.13) berechneten Gatterlaufzeit t_D' von t_{Dmin} betrug jeweils weniger als 8,8% (Tab. A4.28, A4.29).

Die Abhängigkeit der Gatterlaufzeit vom fan out n_Q ist beim DCTL-Gatter wieder annähernd linear (Tab. A4.31). Man erhält für $P = P_0 = 0{,}48mW$ und damit auch für $P > P_0$

$$\frac{1}{t_{Dmin}} \frac{\Delta t_D}{\Delta n_Q} = 0{,}20 \qquad (6.173)$$

und bei P =0,05mW

$$\frac{1}{t_{Dmin}} \frac{\Delta t_D}{\Delta n_Q} = 0,27 . \qquad (6.174)$$

Der Unterschied zwischen diesen Werten ist so gering, daß auch Rückschlüsse für andere Leistungen möglich wären.

Für die Abhängigkeit der Gatterlaufzeit von einer Lastkapazität ergibt sich aus Tab. A4.31

$$\frac{\Delta t_D P}{C_L} = 126 \frac{ps\,mW}{pF} . \qquad (6.175)$$

Im einzelnen liegen die Abweichungen von diesem Mittelwert unter 6,1%.

6.7.4 DCTL - Platzbedarf

Um den Platzbedarf für R_1 in realistischen Grenzen zu halten, wurde l_R=5µm und b_R=50µm zugrundegelegt. Überträgt man l_R auf die Struktur in Bild 4.10, so ergibt sich einschließlich Isolation für R_1 eine Fläche von 1102µm^2. Dann erhält man abhängig von der Verlustleistung den in Bild 6.58 aufgetragenen Nettoplatzbedarf pro Gatter. Ein Vergleich mit Bild 6.31 zeigt, daß er nur wenig größer ist als der für die NTL, aus der diese DCTL hergeleitet wurde.

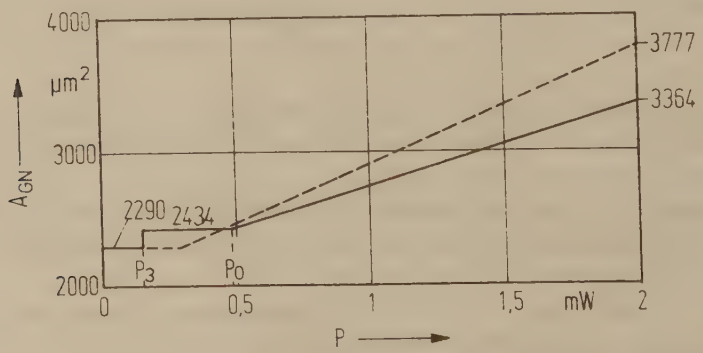


Bild 6.58: Nettoplatzbedarf A_{GN} des DCTL-Gatters mit n_I=2 als Funktion der Verlustleistung P . Ergänzend ist auch für $P > P_3$ der Platzbedarf bei n_B=1 eingetragen (Strichlinie).

7 Vergleich der unterschiedlichen Schaltungskonzepte

In Kap. 6 wurden nur in geringem Umfang Vergleiche zwischen verschiedenen Schaltungskonzepten vorgenommen. Deshalb soll in diesem Kapitel eine vergleichende Übersicht über die wichtigsten Eigenschaften der Schaltungen zusammengestellt werden. Im Vordergrund steht dabei das dynamische Verhalten der Grundgatter (Abschn. 7.1). Von besonderer Bedeutung ist hier die Gatterlaufzeit. Daneben werden aber auch Anstiegs- und Abfallzeiten diskutiert. Um ihre praktische Bedeutung besser beurteilen zu können, wurden ergänzend einige Flipflops simuliert.

Ein zweites Vergleichskriterium ist die Störsicherheit (Abschn. 7.2), da diesbezüglich unzureichende Eigenschaften Anlaß dazu geben, von der Anwendung selbst eines Schaltungskonzepts mit hervorragenden dynamischen Eigenschaften abzusehen.

Schließlich wird noch die Eignung der Schaltungskonzepte für hochintegrierte Schaltungen verglichen (Abschn. 7.3).

Bei der Zusammenstellung von Daten wird der Übersichtlichkeit wegen nicht auf Abschnitte, Gleichungen und Bilder aus Kap. 6 bzw. Tabellen im Anhang A4 verwiesen, da dort jeweils die Gliederung ein schnelles Auffinden dieser Daten ermöglicht.

7.1 Dynamisches Verhalten

In dieser Arbeit wird zur Beurteilung des dynamischen Verhaltens eine lange Gatterkette herangezogen, in der an jeder Schnittstelle sowohl das fan in n_I als auch das fan out n_Q zwei ist. Zusätzlich wurde n_Q variiert. Die Ergebnisse sind daher sehr gut auf komplexere Digitalschaltungen übertragbar. Allerdings würde dieses Verfahren bei der Untersuchung realer Gatter zu meßtechnischen Schwierigkeiten führen. Deshalb haben sich in der Praxis zur Beurteilung der Gatterlaufzeit zwei meßtechnisch problemlose Verfahren durchgesetzt: Die Messung der Schwingfrequenz eines Ringoszillators und die Messung der oberen Grenze der Frequenz, die von einem Flipflop noch geteilt wird. Die Ergebnisse beider Verfahren können jedoch nicht ohne weiteres auf komplexere Digitalschaltungen übertragen werden, denn im ersten Fall ist durchweg $n_I=n_Q=1$ und im zweiten wechseln n_I und n_Q bereits in der Testschaltung. Ein Vergleich der Ergebnisse dieser Arbeit mit Ringoszillator-Ergebnissen

ist direkt möglich, da Simulationen mit n_Q=1 durchgeführt wurden und n_I im allgemeinen kaum von Bedeutung ist. Ein Vergleich mit Flipflop-Ergebnissen wird durch die für Flipflops gewonnenen Simulationsergebnisse in Abschn. 7.1.3 möglich.

7.1.1 Gatterlaufzeit

Bild 7.1 gibt eine Übersicht über die Gatterlaufzeiten t_{Dmin} der verschiedenen Grundgatter. Bei Gattern mit einem invertierenden Ausgang ($\overline{Q}$) und einem nichtinvertierenden Ausgang (Q) wurde jeweils der in diesen Vergleich einbezogen, der die geringere Laufzeit ergibt, ($\overline{Q}$ bei der ECL und Q bei der FECL). Die NTL ist im Vergleich zu den übrigen Konzepten etwas bevorzugt, da sie mit einer temperaturabhängigen Versorgungsspannung ausgestattet ist. Allerdings würden sich bei den anderen Schaltungskonzepten durch eine vergleichbare Maßnahme keine erheblichen Verbesserungen ergeben.

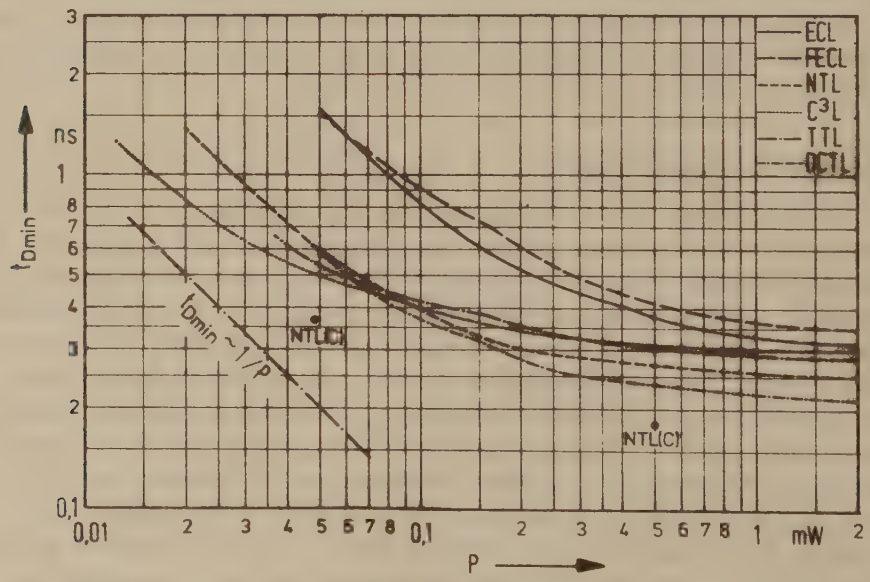


Bild 7.1: Durch Optimierung erreichte Gatterlaufzeiten t_{Dmin} der untersuchten Grundgatter bei n_I=n_Q=2 als Funktion der Verlustleistung P. Zusätzlich sind wieder die mit NTL(C) bezeichneten Beispiele für die Verbesserung der NTL durch eine Kapazität C_{R1} eingetragen.

Im folgenden sollen die Unterschiede zwischen den Ergebnissen plausibel gemacht werden. Dazu wird abgeschätzt, in welchem Verhältnis die Steuerströme zum Ein- bzw. Ausschalten der Transistoren zum Versorgungsstrom stehen, wenn ein Gatter durch gleichartige Gatter angesteuert bzw. belastet wird. Man erhält so eine grobe quantitative Aussage über die Verhältnisse der Gatterlaufzeiten zueinander.

Die FECL muß von diesem Vergleich ausgenommen werden; hier würde sich, verglichen mit der ECL, aufgrund des geringeren Hubes (bei gleichem U_0) eine kurzere Gatterlaufzeit ergeben. Dieser Effekt wird jedoch dadurch überkompensiert, daß aufgrund der Rückkopplung der gesamte Schaltvorgang durch das zum Teil nacheinander erfolgende Umschalten zweier hintereinandergeschalteter Inverter bestimmt wird.

Der günstigste Fall wäre es, wenn man eine Inverterkette aufbauen könnte, bei der die Emitter auf Masse liegen, jeweils der Kollektor direkt die Basis des nachfolgenden Transistors treibt und bei der die Ströme in den Lastwiderständen gesperrter Transistoren zu Null werden. Man erhält so ein besonders günstiges Verhältnis zwischen Steuerstrom und Verlustleistung, denn zum Einschalten steht der doppelte Wert des mittleren Versorgungsstromes I_0 zur Verfügung. Außerdem stellt der jeweils treibende Transistor sogar ein Vielfaches dieses Stromes bereit.

Dem geschilderten Fall kommt die NTL(C) (NTL mit Kapazitäten C_{R1}) recht nahe; hier wird die Sättigung durch lineare Seriengegenkopplung ausgeschlossen, und der nachteilige Einfluß dieser Maßnahme auf t_{Dmin} durch Kurzschließen des Gegenkopplungswiderstandes R_1 während der Schaltvorgänge vermindert. Tatsächlich ist diese Schaltung auch mit Abstand die schnellste.

Verzichtet man bei der NTL (aus Platzgründen) auf die Kapazitäten C_{R1}, so werden die Basisschaltströme durch R_1 begrenzt; dieser nachteilige Einfluß der Gegenkopplung läßt sich quantitativ praktisch nur durch Simulation erfassen.

Bei der DCTL verschwindet der Strom im Lastwiderstand bei gesperrtem Transistor nicht mehr vollständig. Damit steht (aufgrund des gleichen Wertes für U_0) ein entsprechend geringerer Strom zum Einschalten zur Verfügung und man erhält verglichen mit der NTL(C) einen entsprechend höheren Wert für t_{Dmin} bei bei größeren Leistungen. Bei kleinen Leistungen vergrößert sich dieser Abstand sogar (trotz gleichen Hubes), da durch die Schottky-Dioden die Miller-Kapazität zwischen Basis und Kollektor vergrößert wird.

Noch ungünstiger ist das Verhältnis zwischen Einschaltstrom und

Versorgungsstrom bei der C^3L. Hier wird in die Basen ein nahezu konstanter Strom eingeprägt, d.h. es steht nur etwa ein halb so großer Strom zum Einschalten zur Verfügung (ungefähr gleiche Werte für U_0). Man würde demnach eine Verdoppelung von t_{Dmin} im Vergleich zur NTL(C) erwarten. Diese wird jedoch nicht ganz erreicht, weil sich bezüglich des Ausschaltvorganges weniger gravierende Änderungen ergeben. Der Abstand zur NTL(C) verringert sich bei kleinen Leistungen noch weiter. Hier macht sich die Zuordnung des Lastwiderstandes zur Basis vorteilhaft bemerkbar, denn sie führt bei zunehmendem fan out (n_Q=2 in Bild 7.1) zu einer entsprechenden Vervielfachung des Stromes zum Aufladen der Substratkapazität eines ausschaltenden Transistors. Diese Annahme wird durch die in Abschn. 6.5.3 diskutierte Abhängigkeit $t_{Dmin}(n_Q)$ gestützt. Die TTL liefert nahezu die gleichen Ergebnisse wie die C^3L, was aufgrund der Verwandtschaft dieser Konzepte zu erwarten war.

Erheblich höhere Gatterlaufzeiten ergeben sich bei sehr kleiner Leistung für die ECL. Dies läßt sich am besten im Vergleich zur C^3L erklären, denn in beiden ist der Versorgungsstrom näherungsweise konstant (bei der ECL recht exakt). Aufgrund der höheren Versorgungsspannung und des Leistungsverbrauchs der Referenzschaltung ist bei der ECL eine höhere Leistung erforderlich, um den gleichen Strom I_0 wie bei der C^3L zu erreichen. Im Vergleich entspricht dies einer Verschiebung der Kurve $t_{Dmin}(P)$ (Bild 7.1) parallel zur P-Achse um den Faktor 1,67. Im Bereich $P>P_0$ spielt dies keine Rolle, da hier jeweils t_{Dmin} nahezu konstant ist. Dagegen ist bei sehr kleinen Leistungen die Verschiebung wesentlich größer (nahezu um den Faktor 4). Dies hat zwei weitere Ursachen. Während bei der C^3L zum Ausschalten im Prinzip ein sehr viel höherer Strom als I_0 zur Verfügung steht, wird dieser Strom bei der ECL ebenfalls auf I_0 begrenzt. Dies allein kann etwa mit dem Faktor 2 zur o.g. Verschiebung beitragen, sodaß man insgesamt ca. 3,3 erhält. Der verbleibende Unterschied zum Faktor 4 entsteht dadurch, daß der Ausgangswiderstand der ECL durch R_2 gegeben ist. Damit steht nur zu Beginn eines Schaltvorgangs der Strom I_0 zur Verfügung und ein mit Fortschreiten des Schaltvorganges zunehmender Anteil fließt nutzlos durch R_2 (RC-Umladung).

In Tab. 7.1 sind die relativen Abhängigkeiten der Verzögerungszeiten vom fan out zusammengefaßt. Für die ECL, die NTL und die DCTL ergeben sich vergleichbare Werte. Der geringere Wert bei der FECL paßt zu der o.g. Vorstellung, daß hier zwei Inverter nacheinander schalten, denn es ändert sich nur bei einem der beiden die Belastung. Das prinzipiell andere Verhalten der C^3L und der TTL bei Schwankungen von n_Q wurde bereits erläutert. Hier wurden nur

Tab. 7.1: Relative Änderung der Gatterlaufzeit bei einer Erhöhung des fan out n_Q um eins. Bezugsgröße ist $t_{Dmin}(n_Q=2)$.

P	ECL	FECL	NTL	C^3L	TTL	DCTL
$\geq P_0$	22%	13%	26%	-	-	20%
0,05mW	33%	21%	26%	-17%*	-11%*	27%

*)siehe Text.

die Werte eingetragen, die sich für P = 0,05mW bei einem Wechsel von n_Q=1 auf n_Q=2 ergeben. Für n_Q>2 wird t_{Dmin} nahezu unabhängig von n_Q, was bei hohen Leistungen sogar für n_Q>1 gilt.

7.1.2 Anstiegs- und Abfallzeiten

Die Anstiegs- und Abfallzeiten der verschiedenen Gatter lassen sich kaum übersichtlich in einem Diagramm darstellen. Es muß deshalb auf die Bilder für die einzelnen Schaltungskonzepte verwiesen werden. Um dennoch einen Überblick zu vermitteln, wurden je Schaltung für die Simulationsergebnisse, die zu den Kurven in Bild 7.1 führten, die Verhältnisse

$$K_t = \frac{(t_f + t_r)}{2t_{Dmin}} \qquad (7.1)$$

Tab. 7.2: Obere und untere Grenze des Verhältnisses des Mittelwertes von Abfall- und Anstiegszeit zur Gatterlaufzeit.

$\frac{t_f+t_r}{2t_{Dmin}}$	ECL	FECL	NTL	C^3L	TTL	DCTL
Maximum	1,58	0,87	1,95	0,63	0,64	1,03
Minimum	1,40	0,76	1,75	0,48	0,55	0,86

gebildet. Obere und untere Grenzen der so erhaltenen Bereiche von V_t sind in Tab. 7.2 zusammengestellt.

Die Streubereiche für V_t sind demnach relativ klein, obwohl ein weiter Bereich der Verlustleistung pro Gatter überstrichen wird und bei jedem Schaltungskonzept ein Übergang von einem auf zwei Basiskontakte vorliegt.

Ein Vergleich der Werte aus Tab. 7.2 zeigt, daß Schaltungen mit einem besonders steilen Übergangsbereich der Übertragungskennlinie (FECL, C^3L, TTL) auch einen kleinen Wert für V_t aufweisen.

Das liegt daran, daß im Falle einer geringen Steigung im Übergangsbereich der Schaltvorgang des Gatters relativ früh eingeleitet wird, sodaß sich gemessen an der Übergangszeit (t_f, t_r) eine kurze Verzögerungszeit (t_{Dmin}) ergibt. Ist dagegen der Übergangsbereich der Übertragungskennlinie steil, so muß die Eingangsspannung zunächst einen großen Teil des Hubes durchlaufen, bevor der eigentliche Schaltvorgang des Gatters eingeleitet wird. Damit ergibt sich in diesem Fall eine höhere Verzögerungszeit gemessen an der Übergangszeit.

Abfall- und Anstiegszeit sind nur dann von Bedeutung, wenn hohe Frequenzen verarbeitet werden sollen. Das ist z.B. bei Schaltungen zur digitalen Nachrichtenverarbeitung und -übertragung sowie in sequentiellen Logikschaltungen (z.B. Schieberegister, Eingangsstufen von Frequenzteilern) der Fall. Während bei der Nachrichtenverarbeitung und -übertragung u.U. keine besonderen Anforderungen an die Gatterlaufzeit gestellt werden (konstante Verzögerungen führen nicht zur Signalverzerrung), werden in sequentiellen Logikschaltungen i.a. sowohl kurze Abfall- und Anstiegszeiten als auch geringe Laufzeiten benötigt. Um die Bedeutung der Wertebereiche in Tab. 7.2 abzuschätzen, wurden die im folgenden Abschnitt beschriebenen Untersuchungen von Flipflopschaltungen vorgenommen.

7.1.3 Untersuchung von Flipflops

Um den Einfluß der dynamischen Kenngrößen der Grundgatter auf das Verhalten von sequentiellen Logikschaltungen beurteilen zu können, wurden einige Flipflops simuliert. Zudem wird in der Literatur häufig die obere Eingangsgrenzfrequenz von Frequenzteilerstufen als Kriterium zur Beurteilung des dynamischen Verhaltens eines Schaltungskonzepts herangezogen [82]. Um eine Beziehung zu diesem Kriterium und den in dieser Arbeit angestellten Untersuchungen herzustellen, wurde auch hier die obere Eingangsfrequenz von Frequenzteilerstufen durch Simulation ermittelt.

Als Beispiele wurden die in Bild 7.2 aus NOR-Gattern zusammengestellten Flipflops verwendet. Mit NAND-Gattern (z.B. TTL) ergeben sich die gleichen Schaltungen; das ist leicht einzusehen, denn wendet man auf ein Gatter, das für positive Logik ein NAND-Gatter darstellt, die negative Logik an, so ergibt sich ein NOR-Gatter. Aber auch bei Verwendung von Invertern mit entkoppelten Ausgängen (C^3L) ergeben sich ähnliche Schaltungen. Die Umsetzung der Gatterschaltungen von NAND-Gattern in solche Inverter erfolgt

dadurch, daß man ein NAND-Gatter, das n Lastgatter treibt durch einen Inverter mit n Ausgängen und einem WIRED AND [4] am Eingang ersetzt.

Läßt man den Einfluß von t_r und t_f zunächst außer acht und läßt die Ausgänge der Flipflops unbelastet, so ergibt sich als minimale Periodendauer des Eingangssignals an C für das zweiflankengesteuerte Flipflop

$$T_{min} = 2t_{D1} + 2t_{D2} \quad (7.2)$$

Darin sind t_{Di} die Gatterlaufzeiten für verschiedene Werte des fan out n_Q wobei der zweite Index n_Q bezeichnet. Dieses Ergebnis ist leicht einzusehen, denn für den Wechsel des Ausgangspegels

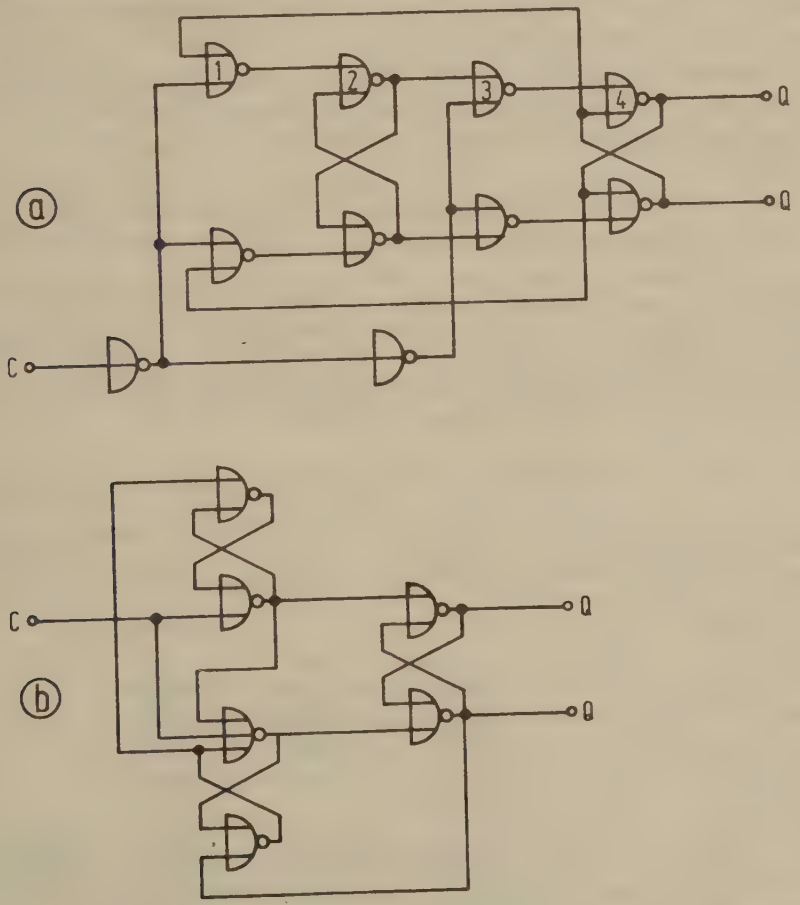


Bild 7.2: Master-Slave-Flipflops (Zwischenspeicherflipflops) aus NOR-Gattern, (a) zweiflankengesteuert, (b) einflankengesteuert.

muß ein logisches Signal z.B. vom Ausgang $\overline{Q}$ über die Gatter 1, 2, 3 und 4 zum Ausgang Q übertragen werden (Bild 7.2); bei den Gattern 1 und 3 ist n_Q=1 und bei den Gattern 2 und 4 ist n_Q=2.

Eine ähnliche, allerdings kompliziertere Betrachtung liefert für das einflankengesteuerte Flipflop

$$T_{min} = t_{D1} + 2t_{D2} + t_{D3} \quad . \tag{7.3}$$

Es ergeben sich also keine gravierenden Unterschiede zwischen den beiden Flipfloptypen.

Für die Untersuchungen wurden die Schaltungskonzepte ausgewählt, die nach Tab. 7.2 Extreme hinsichtlich des Verhältnisses V_t darstellen, also die C^3L und die NTL. Ergänzend wurde noch ein Beispiel mit mittlerem Wert für K_t, die ECL ausgewählt. Mit diesen drei Schaltungskonzepten wurde das einflankengesteuerte Flipflop untersucht. Die Simulationen wurden jeweils bei den Werten P_0 der Verlustleistung pro Gatter durchgeführt (C^3L:0,25mW, ECL:1,04mW, NTL:0,5mW).

Die Simulationsergebnisse sind in Tab. 7.3 zusammengefaßt. Ein Vergleich zwischen den Werten nach (7.3) und den Simulationsergeb-

Tab. 7.3: Simulierte minimale Periodendauer T_{min} des Eingangssignals von Frequenzteilerstufen aus einflankengesteuerten Master-Slave-Flipflops. Zum Teil ist unter T_{min} der Hub der Ausgangsspannung angegeben. Die Ansteuerung erfolgte über eine Spannungsquelle mit dem theoretischen Hub der Schaltungskonzepte und einem Tastverhältnis V_T. In der mit * markierten Zeile ist das Ergebnis bei Ansteuerung über einen Inverter angegeben.

	C^3L	ECL	NTL	NTL(C_{R1})
Theoretischer Wert nach (7.3) bzw. Kap.6	1,35ns (190mV)	1,31ns (400mV)	1,1ns (400mV)	0,711ns (400mV)
V_T = 0,3	1,78ns		1,48ns	
V_T = 0,4	1,68ns (200mV)	1,48ns (400mV)	1,45ns (260mV)	
V_T = 0,5	1,52ns (200mV)	1,48ns (400mV)	1,45ns (260mV)	
V_T = 0,6	1,50ns (200mV)	1,48ns (400mV)	1,55ns (260mV)	
V_T = 0,7	1,70ns		1,75ns	
*V_T = 0,5	1,52ns (200mV)	1,52ns (400mV)	1,45ns (260mV)	0,72ns (200mV)

nissen zeigt, daß der Einfluß von t_f und t_r ohne besondere Bedeutung ist. Die Tatsache, daß auch bei Schaltungen mit relativ geringen Werten für t_f und t_r der theoretische Wert von T_{min} nicht

erreicht wird, deutet darauf hin, daß die in einer langen Kette erhaltenen Ergebnisse für t_D nicht uneingeschränkt zur Beurteilung eines Flipflops herangezogen werden können. Andererseits ergab sich für die NTL mit einer Kapazität C_{R1} parallel zum Gegenkopplungswiderstand nahezu der theoretische Wert von T_{min}, obwohl bei dieser Schaltung für K_t nach (7.1)

$$K_t(NTL(C_{R1})) = 1{,}99$$

gilt, ein Wert also, der alle Ergebnisse nach Tab. 7.2 übertrifft. Auch dies weist auf die geringe Bedeutung von t_f und t_r hin.

Ergänzend wurde noch ein zweiflankengesteuertes NTL-Flipflop untersucht. Hier ergibt sich aus (7.2) T_{min}=0,96ns; gemessen wurden 1,3ns bei Ansteuerung über eine Spannungsquelle und 1,45ns bei Ansteuerung über eine Kette aus zwei Gattern. Dieses Ergebnis bestätigt die durch (7.2) und (7.3) begründete Vermutung, daß keines der Flipfloptypen besondere dynamische Vorteile bietet.

Die Zahlenwerte demonstrieren, daß man mit derart einfachen Schaltungskonzepten Teiler für hohe Frequenzen mit geringer Verlustleistung aufbauen kann. Man erreicht z.B. mit der NTL(C_{R1})

$$f_{max} = 1/T_{min} \simeq 1{,}4\text{GHz} \qquad (7.4)$$

bei einer Verlustleistung von

$$P = 6P_0 = 3\text{mW} \qquad (7.5)$$

und mit der C^3L immerhin noch

$$f_{max} \simeq 660\text{MHz} \qquad (7.6)$$

bei einer Verlustleistung von nur

$$P = 7P_0 = 1{,}75\text{mW}\ , \qquad (7.7)$$

wobei der Platzbedarf dieser Schaltung auf dem Chip extrem gering ist. Überträgt man das Ergebnis für die NTL mit C_{R1} auf P =0,048mW (Bild 7.1, NTL(C)), so erhält man f_{max}≃860MHz bei nur 0,29mW.

---

1) Frequenzteiler mit dieser Grenzfrequenz werden heute häufig in den Eingangsstufen von Fernsehgeräten eingesetzt. Allerdings ist deren Verlustleistung sehr viel höher. Bei diesen Teilern wird außerdem die spezielle Möglichkeit des "series gating" bei der symmetrischen ECL genutzt, um auch mit relativ langsamen Gattern hohe Grenzfreqenzen zu erreichen (vgl. S.10, S.28)

7.2 Störsicherheit

Tabelle 7.4 gibt einen Überblick über die wichtigsten Zahlenwerte der in Kap. 6 diskutierten Kenngrößen, die im Zusammenhang mit der Störsicherheit stehen. Störeinflüsse, die für ein Schaltungskonzept ohne praktische Bedeutung sind, wurden fortgelassen. Die Bedeutung der Störgrößen soll hier nocheinmal kurz wiederholt werden:

ΔU, ΔU_H, ΔU_L, ΔU_K: Hub und Spannungsstörabstände nach Bild 6.1. Diese Größen sind nur zum Vergleich ähnlicher Schaltungskonzepte geeignet (z.B. ECL-FECL-NTL). Da die zulässigen Einzelstörgrößen meist so hoch sein dürfen, daß sie in der Praxis kaum allein zur Störung der logischen Pegel führen, wurde mit $\Delta U_K/\Delta U_H$ noch ein Maß für die Nichtlinearität der Übertragungskennlinie angegeben. Es ist geeignet, zumindest qualitativ zu beurteilen, wie empfindlich ein Schaltungskonzept gegenüber dem gleichzeitigen Auftreten mehrerer Störungen an aufeinanderfolgenden Gattern ist.

C_P: Anhaltswert für die Koppelkapazität zwischen zwei benachbarten Signalleitungen, die allein zur Störung führt.

R_M: Maß für die Anforderungen an die Widerstände der Massezuleitungen (für die Versorgungsspannungszuleitungen waren die Anforderungen durchweg geringer). Es ist zu beachten, daß sich dieser Wert auf ein einzelnes Gatter bezieht.

$\Delta r/r$, ΔU_{BE}, ΔU_{SD}, ΔT: Streugrenzen für Widerstandsverhältnisse, BE- bzw. SD-Flußspannung und Temperaturdifferenzen auf dem Chip, deren Erreichen allein zur Störung führen kann. Schwankungen dieser Größen-

Tab. 7.4: Kenngrößen der Störsicherheit; für Cp und R_M wurde der im Bereich P=0,05...2mW ungünstigste Wert eingesetzt, für die Spannungsstörabstände die für B_N= 50 und n_Q=2 simulierten Werte.

	ECL	FECL	NTL	C^3L	TTL	DCTL	Einheit
ΔU	370	190	340	190	295	230	mV
ΔU_H	185	95	137	20	100	50	mV
ΔU_L	185	95	203	170	195	180	mV
ΔU_K	85	55	23	15	70	30	mV
$\Delta U_K/\Delta U_H$	0,46	0,58	0,17	0,75	0,7	0,6	-
C_P	-	-	-	0,13	0,055	0,16	pF
R_M	150	76	51	100	100	25	Ω
$\lvert\Delta r/r\rvert$	0,3	0,48	0,58	-	-	-	-
$\lvert\Delta U_{BE}\rvert$	-	-	-	-	-	18	mV
$\lvert\Delta U_{SD}\rvert$	-	-	-	92	50	-	mV
$\lvert\Delta T\rvert$	-	-	-	-	-	11	K

Geht man von der ECL und der FECL aus, die insgesamt eine vergleichbare, relativ hohe Störsicherheit aufweisen, so ergeben sich für die übrigen Schaltungskonzepte folgende Besonderheiten:

NTL: Hier ergeben sich höhere Anforderungen an die Massezuleitungen, die umso gravierender sind, als das Verhältnis $\Delta U_K/\Delta U_H$ sehr viel geringer ist als bei der ECL und der FECL. Die geringen Anforderungen bezüglich der relativen Widerstandstoleranz dürfen nicht darüber hinwegtäuschen, daß hier Fehler zu ernsthaften Problemen bei der Vermeidung der Sättigung der Transistoren führen.

C^3L: Hier ergibt sich der geringste Wert für ΔU_H. Dies führt jedoch nur zu einer gewissen Anfälligkeit gegenüber kapazitivem Übersprechen. Bei besonders komplexen Schaltungen muß daher ein Augenmerk auf die Leitungsführung gerichtet werden. Im übrigen zeigte die Diskussion, daß durchweg die Störung des L-Pegels wahrscheinlicher ist. Dies verdeutlicht die Fragwürdigkeit der Spannungsstörabstände als Hilfsmittel zum Vergleich verschiedenartiger Schaltungskonzepte. Weiter weist die C^3L das größte Verhältnis $\Delta U_K/\Delta U_L$ auf, d.h. an aufeinanderfolgenden Gattern angreifende Störungen können nahezu wie Einzelstörungen betrachtet werden.

TTL: Sie ist der C^3L sehr ähnlich, ergibt aber im Gegensatz zu jener u.U. erhebliche Probleme aufgrund der hohen Anforderungen an die Toleranz der Schottky-Dioden. Diese Toleranzen sind gleichermaßen kritisch bezüglich der Vermeidung der Sättigung.

DCTL: Bemerkenswert sind hier die sehr hohen Anforderungen bezüglich R_M und ΔU_{BE}, die durch den "current hogging"-Effekt bedingt sind. Zwar ist die BE-Spannung in der Praxis hervorragend reproduzierbar, dafür aber stark temperaturabhängig, sodaß sich entsprechend hohe Anforderungen an die Konstanz der Temperatur auf dem Chip ergeben. Damit ist die DCTL für hochintegrierte Schaltungen weniger geeignet als die übrigen Konzepte.

7.3 Eignung der Schaltungskonzepte für hochintegrierte Schaltungen.

Wichtigster Gesichtspunkt für die Eignung der Schaltungskonzepte für hochintegrierte Schaltungen ist der Platzbedarf pro Gatter. Er bestimmt zum einen direkt, zum anderen über die Abhängigkeit der mittleren Leitungslänge indirekt die Chipgröße. Nimmt man als Maß für den Platzbedarf die in Kap. 6 dargestellten Nettoflächen der Grundgatter, so ergibt sich der in Bild 7.3 dargestellte Vergleich. Allerdings gibt dieser Vergleich ein verzerrtes Bild, wie an einem Beispiel gezeigt wird.

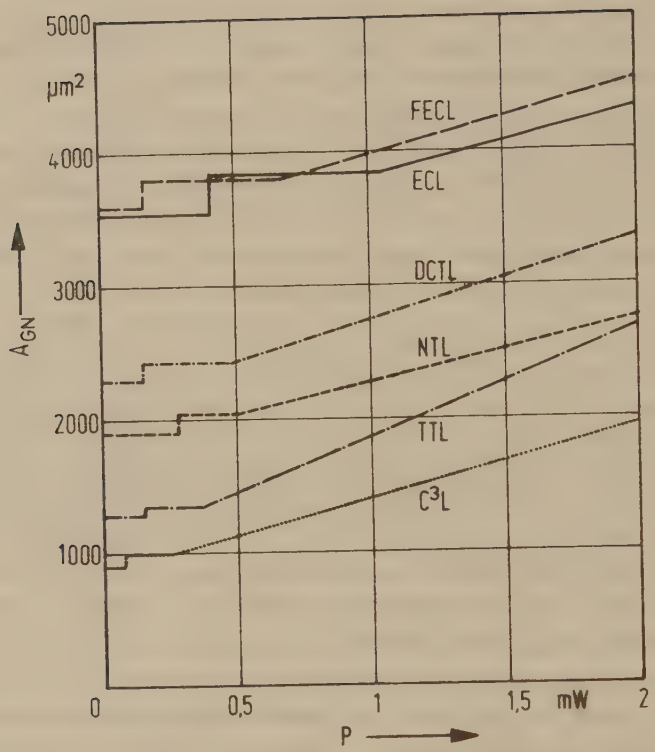


Bild 7.3: Nettoplatzbedarf A_{GN} der verschiedenen Schaltungskonzepte.

In diesem Beispiel soll folgende Modellvorstellung zugrunde gelegt werden. Eine Schaltung aus n Gattern wird auf einem quadratischen Chip der Kantenlänge s untergebracht. Die Signalleitungen sollen sich überwiegend in einer Metallisierungsebene befinden. Jedes Gatter soll zu diesem Leitungssystem eine Leitung der Länge $l_L = s/2$ beitragen. Für das einzelne Gatter werde die doppelte Nettofläche $2A_{GN}$ benötigt. Mit dem Mittenabstand a_L zweier Leitungen voneinander gilt dann für die Chipfläche A_{CH}:

$$A_{CH} = n a_L \frac{s}{2} + n \cdot 2A_{GN} , \qquad (7.8)$$

bzw. mit $A_{CH} = s^2$:

$$A_{CH} = \left(\frac{n a_L}{4} + \sqrt{\left(\frac{n a_L}{4} \right)^2 + 2nA_{GN}} \right)^2 . \qquad (7.9)$$

Diese Beziehung soll nun mit n=1000 und a_L=7µm (Abschn. 6.1.1) für die verschiedenen Gatter ausgewertet werden. Dabei werden diese mit

Tab. 7.5: Vergleich der Schaltungskonzepte für eine Schaltung aus 1000 Gattern, die bei $P=P_0$ betrieben werden. A_{GN} Nettofläche eines Gatters, A_{CH} Chipfläche, P_{ges} Gesamtleistung, C_L mittlere Leitungskapazität, t_D mittlere Erhöhung von t_D gegenüber t_{Dmin}.

	ECL	FECL	NTL	C^3L	TTL	DCTL
$A_{GN}/\mu m^2$	3849	3798	2040	984	1350	2434
A_{CH}/mm^2	25	25	20	14	15	17
P_{ges}/W	1,04	0,67	0,5	0,25	0,37	0,48
C_L/pF	0,38	0,38	0,34	0,28	0,29	0,31
$\Delta t_D/ps$	227	197	116	74	118	81

P_0 betrieben (Abschn. 6.1.2). Die Ergebnisse zeigt Tab. 7.5. Die Tabelle demonstriert, daß die relativ großen Unterschiede der Gatterflächen unter Berücksichtigung der für die Leitungen benötigten Flächen erheblich eingeebnet werden.

In der Tabelle werden noch zwei weitere Gesichtspunkte berücksichtigt. Erstens zeigt sich, daß sich in keinem Fall eine Leistung ergibt, die unlösbare Probleme der Wärmeableitung hervorruft; insbesondere, wenn man berücksichtigt, daß die Verlustleistung noch verringert werden kann, ohne daß die Gatterlaufzeit erheblich ansteigt. Zweitens wird der Einfluß der Leitungskapazitäten angegeben, die sich aus der oben genannten Modellvorstellung mit (6.9) ergeben.

Insgesamt würde man aus dieser Tabelle schließen, daß die C^3L mit Abstand am besten für hochintegrierte Schaltungen geeignet ist. Es muß aber im Einzelfall berücksichtigt werden, daß einige Schaltungskonzepte mit oder ohne Änderungen die Einsparung von Gattern bei der Realisierung von Logikfunktionen gestatten.

Die ECL und mit Einschränkungen auch die FECL werden attraktiver, wenn man die Möglichkeiten der seriellen logischen Verknüpfung (series gating) verwendet [4, 5, 7]. Hinzu kommt, daß die beiden komplementären Ausgänge dieser Konzepte u.U. zur Einsparung von Gattern führen.

Die TTL (und bei Ergänzung durch Schottky-Dioden auch die ECL, s. Bild 3.8) bietet die Möglichkeit des WIRED AND. Dies führt bei der Realisierung von Exklusiv-OR-Funktionen und OR-AND- (bzw. AND-OR-) Kombinationen zu erheblichen Vorteilen, insbesondere deshalb, weil solche Funktionen wichtigste Bestandteile z.B. von Addierern, Komparatoren, Schieberegistern und Dekodern sind.

8 Hinweise für zukünftige Prozeßentwicklungen und weiterführende Arbeiten

Anlaß für die vorliegende Arbeit war die Vermutung, daß die Möglichkeiten, mit heute verfügbaren Herstellungsprozessen der Si-Planartechnik sehr kurze Gatterlaufzeiten bei geringer Verlustleistung zu erreichen, bei weitem noch nicht ausgeschöpft wurden.

Diese Vermutung wurde durch die in Kap. 6 und 7 wiedergegebenen Ergebnisse durchaus bestätigt: Wie ein Blick auf Bild 7.1 und Tab. 7.5 zeigt, ist selbst unter Einschluß des Einflusses der Verbindungsleitungen in einer Schaltung aus 1000 Gattern noch eine mittlere Gatterlaufzeit unter 0,5ns bei einer Verlustleistung von nur 0,25mW pro Gatter durch sorgfältige Optimierung erreichbar. Derartigen Eigenschaften werden in heute realisierten Schaltungen selbst dann nicht erreicht, wenn vergleichbare Herstellungsprozesse genutzt werden. Dies zeigt, daß die Schaltungsentwicklung in einem gewissen Maße gegenüber der Weiterentwicklung technologischer Prozesse im Rückstand ist.

Heute zeichnen sich bereits eine Reihe von technologischen Verfahren ab oder sind bereits im Gebrauch, die gegenüber der hier zugrundegelegten Basistechnologie in erster Linie Strukturverkleinerungen zulassen [13, 85-87]. Deshalb sollen die Ergebnisse aus Kap. 7 in Abschn. 8.1 herangezogen werden, um einen Überblick darüber zu geben, welche Anforderungen an technologische Verfahren von Seiten der Schaltungstechnik gestellt werden.

Neue technologische Verfahren werden vorrangig mit dem Ziel entwickelt, eine laterale Strukturverkleinerung zu erreichen, weil auf diese Weise sowohl die Schaltungseigenschaften verbessert, als auch der Integrationsgrad und/oder die Ausbeute erhöht werden können [85, 86]. Daneben gibt es die Möglichkeit, durch aufwendigere Verfahren eine laterale Strukturverkleinerung zu erreichen, ohne daß prinzipiell neue Lithografieverfahren benötigt werden [13, 87]. Deshalb wird in Abschn. 8.1, zum Teil gestützt durch ergänzende Simulationsergebnisse, erläutert, welchen Einfluß eine laterale Strukturverkleinerung auf die erreichbare Gatterlaufzeit hat.

8.1 Forderungen an neue Technologien

Will man die Ergebnisse der in Abschn. 6.1.3 beschriebenen Empfindlichkeitsanalyse heranziehen, um herauszufinden, mit welchen

technologischen Verbesserungen die Gatterlaufzeiten verkürzt werden können, so stößt man auf folgendes Problem: Die Darstellung der Ergebnisse in einem Diagramm entsprechend Bild 6.7 ermöglicht zwar die rasche Einschätzung des Einflusses einer einzelnen Parameteränderung, sie versagt aber häufig, wenn mehrere elektrische Parameter infolge einer technologischen Änderung variiert werden. Das liegt daran, daß die durch (6.13) beschriebene Verkopplung der Einflüsse elektrischer Parameter auf die Gatterlaufzeit t_D aus einem solchen Diagramm nicht ablesbar ist. Aber auch die Werte der Empfindlichkeitsfaktoren k_1 bis k_7 in (6.13) sind meist ungeeignet, da sie erst im Zusammenhang mit einem vollständigen Parametersatz ein Ergebnis für t_D liefern. Der Einfluß einer einzelnen Parameteränderung kann also mit (6.13) allein nicht bestimmt werden.

Mit beiden Ergebnissen ist aber eine recht gute Beurteilung technologischer Einflüsse möglich. Deshalb sollen sie hier in Tab. 8.1 zusammengestellt werden. Im Sinne einer übersichtlichen Darstellung sind nur die mittleren Steigungen $m_1 \ldots m_6$ der Kurven entsprechend Bild 6.7 angegeben. Sie wurden ebenso wie die Empfindlichkeitsfaktoren $k_1 \ldots k_6$ aus den Simulationsergebnissen für die jeweiligen Maximal- und Minimalwerte der verschiedenen Parameter X bestimmt.

Außerdem sollen (6.13) und (6.14) nochmals angegeben werden:

$$t_D \simeq \left[k_2\left(1 + k_1\frac{\overline{r}_B}{R}\right)\tau_N + k_3\left(1 + k_1\frac{\overline{r}_B}{R}\right)R\overline{C}_{EB} + k_4 R\overline{C}_C + k_5 R\overline{C}_{CS} + k_6 R\overline{C}_R\right]k_7 , \tag{8.1}$$

$$\overline{C}_C = \overline{C}_{CBa} + \overline{C}^*_{CBi} + \overline{C}_{SD} . \tag{8.2}$$

Die soeben angedeuteten Mängel werden nun am Beispiel leicht sichtbar. Aufgrund der Werte m_1 und m_2 würde man vermuten, daß durch drastische Verringerung von $\overline{r}_B$ und τ_N die Gatterlaufzeit der C^3L im Grenzfall um 48% reduziert werden könnte. Der große Wert von k_1 zeigt aber zusammen mit (8.1), daß durch die Verringerung von $\overline{r}_B$ automatisch der Einfluß von τ_N reduziert wird. Damit würde eine anschließende Reduktion von τ_N nicht mehr den durch m_1 versprochenen Erfolg liefern.

Tab. 8.1: Empfindlichkeitsfaktoren $k_1 \ldots k_7$ und Steigungen $m_1 \ldots m_6$ der Kurven nach Bild 6.7, die die relativen Abhängigkeiten der Gatterlaufzeit von den relativen Änderungen einzelner elektrischer Bauelementeparameter beschreiben. Die Zuordnung zu den elektrischen Parametern ist jeweils in Klammern angegeben. Die Werte von $m_1 \ldots m_6$ gelten jeweils nur für $P=P_0$, $k_1 \ldots k_7$ sind unabhängig von P.

	ECL	FECL	NTL	C^3L	TTL	DCTL
$k_1(\overline{r}_B)$	1,73	2,53	2,22	8,67	5,84	3,47
$k_2(\tau_N)$	2,40	4,08	3,14	1,80	1,71	2,42
$k_3(\overline{C}_{EB})$	0,288	0,275	0,15	0,084	0,110	0,120
$k_4(\overline{C}_C)$	4,16	3,57	1,25	0,598	0,958	0,978
$k_5(\overline{C}_{CS})$	0,906	0,848	0,329	0,073	0,286	0,324
$k_6(\overline{C}_R)$	0,636	0,811	0,165	0,130	0,069	0,121
k_7	1,018	1,028	0,956	1,038	0,976	1,012
$m_1(\overline{r}_B)$	0,21	0,26	0,18	0,20	0,21	0,24
$m_2(\tau_N)$	0,36	0,46	0,43	0,28	0,28	0,45
$m_3(\overline{C}_{EB})$	0,08	0,09	0,08	0,10	0,09	0,09
$m_4(\overline{C}_C)$	0,47	0,30	0,45	0,50	0,58	0,37
$m_5(\overline{C}_{CS})$	0,03	0,05	0,04	0,03	0,06	0,06
$m_6(\overline{C}_R)$	0,04	0,04	0,04	0,04	0,02	0,02

Die auffällige Einebnung der Unterschiede der Werte $k_1 \ldots k_6$ bei den Werten $m_1 \ldots m_6$ ist auf die Optimierung zurückzuführen; sie sorgt automatisch dafür, daß ein elektrischer Parameter, der einen großen Einfluß auf t_D hat, verringert wird.

Will man aus der Tabelle Forderungen an neue Technologien stellen, so kann man zunächst einmal die Größe k_7 ausschließen, da sie lediglich eine Korrekturgröße ist und nur wenig von ihrem Idealwert eins abweicht. Weiter können die Größen k_5, k_6 und m_5, m_6 von der Diskussion ausgeschlossen werden, denn bereits die Basistechnologie bietet so geringe Werte für $\overline{C}_{CS}$ und $\overline{C}_{CR}$, daß selbst mit größten Anstrengungen nur eine Verbesserung zwischen 7 und 9% möglich ist ($m_5+m_6=0,07 \ldots 0,09$).

Bei der Möglichkeit, τ_N zu verringern, muß man berücksichtigen, daß dies mit heute bekannten Verfahren nur in geringem Maße und bei gleichzeitiger Erhöhung des Schichtwiderstandes der inneren Basis möglich ist. Es erhebt sich sogar die Frage, ob nicht insbesondere bei der C^3L eine geringfügige Erhöhung von τ_N bei gleichzeitiger erheblicher Verringerung des Schichtwiderstandes der inneren Basis zur Verbesserung des dynamischen Verhaltens führt. Der große Wert von k_1 könnte nämlich dazu führen, daß aufgrund eines kleineren Wertes $\overline{r}_B$ der Einfluß von τ_N entsprechend (8.1) soweit verringert wird, daß die Vergrößerung von τ_N nicht mehr ins Gewicht fällt. Die mit der Verringerung von $\overline{r}_B$ verbundene Vergrößerung von $\overline{C}_{EB}$ kann nach (8.1) aus den gleichen Gründen unbedeutend bleiben; außerdem ist m_3 ohnehin klein. Eine quantitative Auswertung dieser Zusammenhänge ist nach heutigem Kenntnisstand nur mit experimentellen Mitteln möglich und würde damit den ohnehin weit gesteckten men dieser Arbeit sprengen.

Geht man demzufolge davon aus, daß das Emitter-Basis-Dotierungsprofil unverändert bleibt, so verbleibt nur die Verkleinerung der effektiven Epitaxiedicke w_C (zwischen Basis unterhalb des Emitters und buried layer) sowie die Verkleinerung lateraler Strukturen mit dem vorrangigen Ziel $\overline{C}_{CB}$ und $\overline{r}_B$ zu verringern.

Zweifellos gestattet eine Verringerung von w_C eine Erhöhung der zulässigen Stromdichte oder eine Verringerung der Dotierungskonzentration der Epitaxieschicht. Beides führt zur Verbesserung des dynamischen Verhltens; aber auch diese Möglichkeiten lassen sich zur Zeit noch nicht quantitativ erfassen. Das hier verwendete Verfahren zur Bestimmung der Grenze zum Sättigungs- bzw. Hochstrombereich der Transistoren liefert zwar bei w_C=0,5µm (Tab. 4.1) noch befriedigende Ergebnisse, aber dennoch zeichneten sich nahe ϱ_C=2Ωcm bereits die Grenzen der Gültigkeit ab [20].

Es verbleibt also nur die laterale Strukturverkleinerung zur Verbesserung des Schaltverhaltens. Da sie in naher Zukunft auch die meisten Aussichten auf Erfolg hat, soll sie im folgenden Abschnitt gesondert behandelt werden.

8.2 Schaltzeitverbesserungen durch laterale Strukturverkleinerung

Es gibt drei grundsätzlich unterschiedliche und zumeist voneinander unabhängige Einflußgrößen, die die Flächen eines integrierten Bauelements bestimmen: die minimale Streifenbreite, Justiertoleranzen und die vertikale Struktur des Bauelements.

Die minimale Streifenbreite wird durch das verwendete Lithografieverfahren bestimmt. In dieser Arbeit wurde ein lichtoptischer Lithografieprozeß vorausgesetzt, der eine minimale Streifenbreite x_E=2µm ermöglicht. Durch Übergang zu kurzwelliger UV-Strahlung sind Streifenbreiten von 1µm möglich [85]. Weitere Verbesserungen sind von der Elektronenstrahl- und der Röntgenstrahl-Lithografie zu erwarten, die sich allerdings noch im Entwicklungs- bzw. Forschungsstadium befinden [85, 86].

Die in Abschn. 4.2.2 genannten Justiertoleranzen sind bei Belichtung einer ganzen Si-Scheibe möglich. Durch schrittweise Belichtung von Teilbereichen der Scheibe, wobei je Teilbereich eine erneute Justierung erfolgt, kann der Einfluß von Verzerrungen der Si-Scheibe und der Maske drastisch verringert werden [86]. Die direkte Belichtung der Scheibe durch einen Elektronenstrahl ermöglicht sogar die Vernachlässigung von Justiertoleranzen, da das Schreibmuster für jedes einzelne Chip automatisch auf eine mit dem ersten Maskierungsschritt aufgebrachte Justiermarke justiert werden kann.

Die vertikale Strukturierung wird seitlich durch Masken auf der Si-Oberfläche begrenzt, was grundsätzlich auch zu einer unerwunschten seitlichen Ausdehnung der einzelnen Zonen der Bauelemente führt (z.B. durch Unterdiffusionen bzw. Unteroxidationen, Abschn. 4.2.2). Erhebliche Verringerungen dieser seitlichen und somit flächenbestimmenden Ausdehnungen sind nur durch Verringerung der vertikalen Strukturmaße möglich; und diese soll, wie in Abschn. 8.1 begründet wurde, ausgeschlossen werden.

Ein Blick in die nahe Zukunft läßt den Schluß zu, daß durch kurzwellige UV-Strahlung und Übergang zur schrittweisen Teilbelichtung sowohl die Streifenbreiten als auch die Justiertoleranzen gegenüber den in dieser Arbeit verwendeten Werten etwa halbiert werden können.

Aus diesem Grund soll am Beispiel der ECL und der C^3L gezeigt werden, welche Verbesserungen sich durch eine laterale Struktur-

verkleinerung um den Faktor zwei erreichen lassen.

In bekannten Arbeiten mit vergleichbarem Ziel wird entweder auf eine Optimierung verzichtet [88] oder es wird eine sehr einfache Optimierung anhand einer (6.13) bzw. (8.1) entsprechenden Beziehung durchgeführt [83,84]. Dabei werden allerdings nur die Terme $(k_1 k_2 \bar{r}_B/R)\tau_N$ und $k_4 R\bar{C}_C$ berücksichtigt und es ist zumindestens zweifelhaft, ob die dort für ein ECL-Konzept eingesetzte Bedingung zur Vermeidung der Sättigung auf andere Schaltungskonzepte übertragbar ist.

Im Gegensatz dazu wird hier auch für die verkleinerte Schaltung das gleiche Verfahren zur Optimierung unter Vermeidung der Sättigung wie bereits in Kap. 6 verwendet.

Die im folgenden zugrundegelegte Strukturverkleinerung ist dadurch gekennzeichnet, daß alle lateralen Maße des Minimaltransistors (x_E=2µm, y_E=4µm, Bild 4.6 bzw. 4.9) mit Ausnahme der Unterdiffusionen um den Faktor zwei verkleinert werden. (Das bedeutet nicht, daß nun grundsätzlich die Minimalwerte x_E=1µm, y_E=2µm genutzt werden.) Eine Ausnahme bildet der buried layer. Hier wurde die Eindringtiefe z_{BNS} (Bild 4.5) und damit auch die Unterdiffusion halbiert. Um die gleiche Oberflächenkonzentration und somit keine Änderung von z_{BNC} (Bild 4.5) zu erreichen, mußte entsprechend der Schichtwiderstand des buried layer auf r_{sBN}=40Ω/□ verdoppelt werden (vgl. Tab. 4.1). Diese Maßnahme wurde deshalb getroffen, weil die Substratkapazität etwa im gleichen Maße wie die übrigen Kapazitäten verkleinert werden sollte.
Die Erhöhung von r_{sBN} führt dazu, daß der ohnehin geringe Einfluß der Bahnwiderstände im buried layer durch die Strukturverkleinerung weniger verringert wird, als dies unter Beibehaltung des ursprünglichen Profils des buried layer der Fall wäre.

Die Änderungen im Programm zur Dimensionierung und Parameterberechnung können Abschn. A1.3.15 (Anhang A1) entnommen werden.

Aus Bild 8.1 kann die durch die beschriebene laterale Strukturverkleinerung erreichbare Verringerung der Gatterlaufzeit entnommen werden. Ausführlichere Ergebnisse enthalten Tab. A4.3, A4.4, A4.7, A4.18, A4.19 und A4.22 (Anhang A4). Es zeigt sich, daß bei hohen Leistungen die Verringerung der Gatterlaufzeit trotz der möglichen Flächenverkleinerung um den Faktor 4 unerheblich ist. Das war auch zu erwarten, da zur Vermeidung der Sättigung eine bestimmte Mindestgröße der Emitterfläche notwendig ist. Die Verbesserung ist für die

ECL etwas größer, da hier in der ursprünglichen Schaltung t_{Dmin} bei einem spezifischen Widerstand ϱ_C=0,3Ωcm erreicht wurde, während bei Verkleinerung der Minimalwert ϱ_C=0,2Ωcm notwendig wurde. Damit ergibt sich eine Verringerung der Emitterfläche, die bei der C^3L nicht möglich war, weil bereits in der ursprünglichen Schaltung ϱ_C=0,2Ωcm war und dementsprechend die Emitterfläche unverändert bleibt.

Bei niedrigen Leistungen stellt sich tatsächlich die erwartete erhebliche Verbesserung ein, wobei allerdings die Randkapazitäten dafür sorgen, daß der durch die Flächenverringerung gegebene Faktor 4 nicht ganz erreicht wird. Diese Verbesserung ist auch tatsächlich nutzbar, da sich bei Strukturverkleinerung auch die Leitungskapazitäten entsprechend verringern und da die Abhängigkeiten

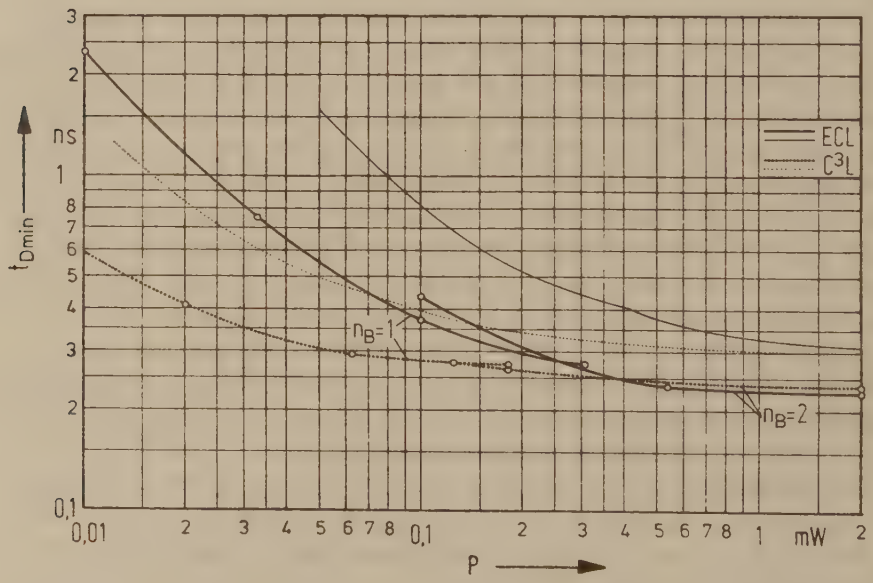


Bild 8.1: Minimale Gatterlaufzeiten t_{Dmin} der ECL und der C^3L als Funktion der Verlustleistung P pro Gatter bei lateraler Strukturverkleinerung um den Faktor 2. Bei der ECL liegt wieder der schnellere invertierende Ausgang zugrunde. Zum Vergleich sind dünn die ursprünglichen Ergebnisse eingetragen. Es ist wieder n_I=n_Q=2, n_B ist die Anzahl der Basiskontakte.

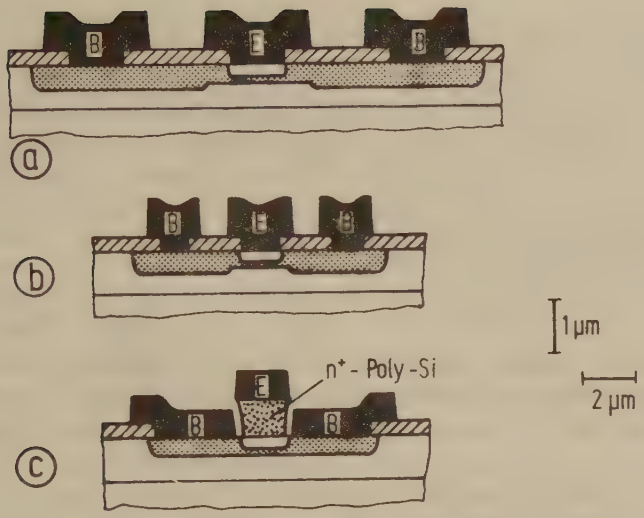


Bild 8.2: Größenvergleich verschiedener Basis-Emitter-Strukturen am Beispiel eines Transistors mit zwei Basiskontakten. (vgl. Bild 4.6) (a) Basistechnologie mit x_E=2µm, (b) laterale Strukturverkleinerung mit x_E=1,5µm (C^3L), (c) selbstjustierender Prozeß nach [13,87] unter Beibehaltung der minimalen Streifenbreite und der Justiertoleranz der Basistechnologie. Durch Unterätzen wird x_E=1,5µm.

von Lastkapazitäten nach (6.46), (6.47) bzw. (6.133) nahezu unverändert bleiben (Tab. A4.7, A4.22).

Bezeichnend ist, daß in beiden Fällen das Minimum t_{Dmin} der Gatterlaufzeit nicht mehr bei minimaler Emitterstreifenbreite (1µm) sondern mit x_E=1,25µm (ECL) bzw. x_E=1,5µm (C^3L) erreicht wird. Die Möglichkeiten der Strukturverkleinerung werden also nicht mehr voll ausgenutzt. Das bedeutet, daß man etwa die gleiche Verbesserung erreichen kann, wenn man die ursprünglichen Minimalstreifenbreiten und Justiertoleranzen beibehält und anstelle der Verkleinerung ein selbstjustierendes Verfahren der in [13, 87] beschriebenen Art verwendet. Dies wird anhand von Bild 8.2 deutlich. Dort sind im Vergleich die Basis-Emitter-Strukturen maßstäblich dargestellt. Berücksichtigt man, daß diese Strukturen überwiegend die Gatterlaufzeit bestimmen, so sind mit dem selbstjustierenden Verfahren z.B. für die C^3L(x_E=1,5µm) die gleichen Verbesserungen erreichbar wie mit der Strukturverkleinerung.

Zusammenfassend läßt sich also sagen, daß die Vorteile der lateralen Strukturverkleinerung überwiegend darin zu sehen sind, daß der Platz- und der Verlustleistungsbedarf ohne Verschlechterung des dynamischen Verhaltens erheblich reduziert werden kann. Darüber hinaus führt die mögliche Emitterflächenverringerung zur Erhöhung der Ausbeute. Eine bemerkenswerte Verringerung der minimal möglichen Gatterlaufzeit ist dagegen nicht erreichbar.

8.3 Weiterführende Arbeiten

Bei den für diese Arbeit benötigten Grundlagen gab es durchaus einige Schwachstellen, die im Rahmen dieser Arbeit nur in unbefriedigender Weise gelöst werden konnten. So mußte für viele Zusammenhange zwischen technologischen und elektrischen Parametern der Bauelemente auf Messungen an Teststrukturen zurückgegriffen werden. Diese durchaus legitime und auch sehr zuverlässige Verfahrensweise ist insofern unbefriedigend, als keine sicheren Aussagen mehr möglich sind, wenn man zu weit von den Daten der Teststrukturen abweicht. Das wichtigste Beispiel für eine solche Schwachstelle ist, daß die Frage offengelassen werden mußte, wie sich eine Verringerung der effektiven Epitaxiedicke auf die erreichbaren Schaltungseigenschaften auswirkt. Um in diesem Punkt weiterzukommen, wurde (zeitversetzt zur vorliegenden Arbeit) am Institut für Elektronik der Ruhr-Universität Bochum eine Untersuchung des Hochstrom- bzw. Sättigungsverhalten schneller Transistoren mit geringer effektiver Epitaxiedicke begonnen 20 . Die vorliegende Arbeit enthält diesbezüglich Angaben darüber, unter welchen Umständen die hier verwendeten Verfahren ihre Gültigkeit behalten bzw. welche Anderungsmöglichkeiten existieren (Anhang A1, A2).

Im Gegensatz dazu zeigte diese Arbeit auch, daß es weite Bereiche gibt, wo selbst die Möglichkeiten, die seit langem bekannte und ausgereifte technologische Verfahren bieten, bisher nicht genutzt wurden. So wurde z.B. in 3 bereits gezeigt, wie man etwa mit einem für heutige Verhältnisse sehr konservativen Prozeß (2,5um-Strukturen, Diffusionsisolation) Subnanosekundenschaltungen kleiner Leistung herstellen kann. Deshalb ermutugten die Ergebnisse dieser Arbeit dazu, eine Versuchsschaltung mit einem solchen Prozeß zu realisieren.

Die Diffusionsisolation führt im Vergleich zur Oxidwall-Isolation zu relativ hohen Werten der Substrat- und der CB-Kapazitäten. Wie ein Blick auf Tab. 8.1 zeigt, ragt nun die C^3L bezüglich der Unemp-

findlichkeit gegenüber diesen Parametern weit heraus. Für den Versuch wurde deshalb die C^3L ausgewählt.

Bild 8.3 zeigt die Testschaltung, einen fünfstufigen Ringoszillator ($T_1 \ldots T_5$), der an zwei Stellen mit $n_Q = 2$ belastet werden kann, indem man U_H an den Steuereingang I legt. Weiter enthält die Schaltung zwei Darlingtonstufen, um direkt die Spannungen an Ein- und Ausgang des Gatters mit T_2 als Funktion von n_Q (mit einem 50Ω-System) untersuchen zu können. Die Gatter wurden für die (bezogen auf den verwendeten Prozeß optimale) Verlustleistung $P=P_0=0,5mW$ ausgelegt.

Gegen Abschluß dieser Arbeit lag der Maskensatz vor; Bild 8.4 gibt einen nahezu vollständigen Auszug aus diesem Maskensatz wieder. (Leitbasis-, Vorätz- und buried-layer-Maske sind nicht dargestellt.)

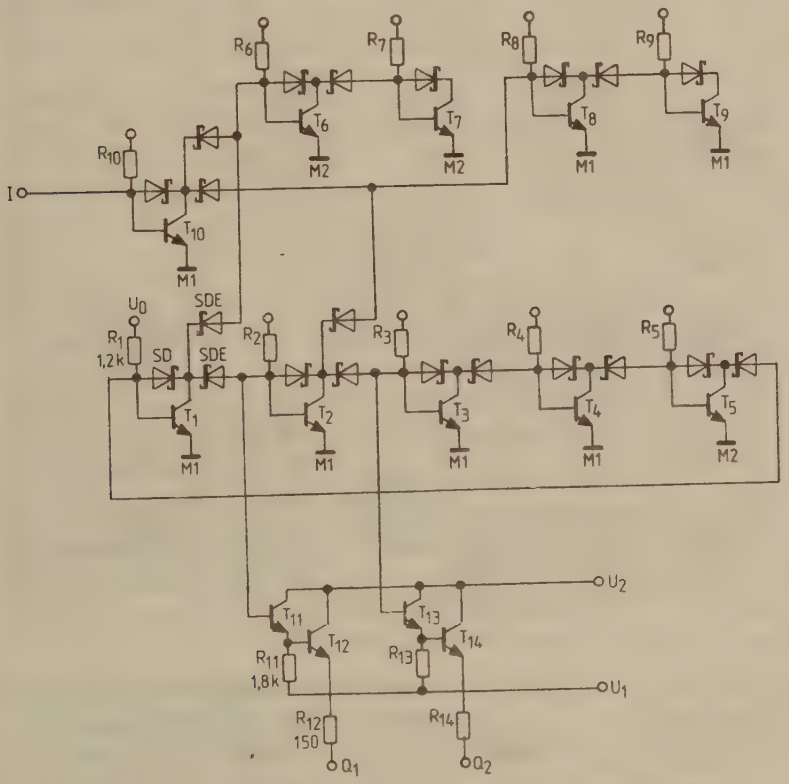


Bild 8.3: C^3L-Testschaltung, Widerstandsangaben in Ohm.

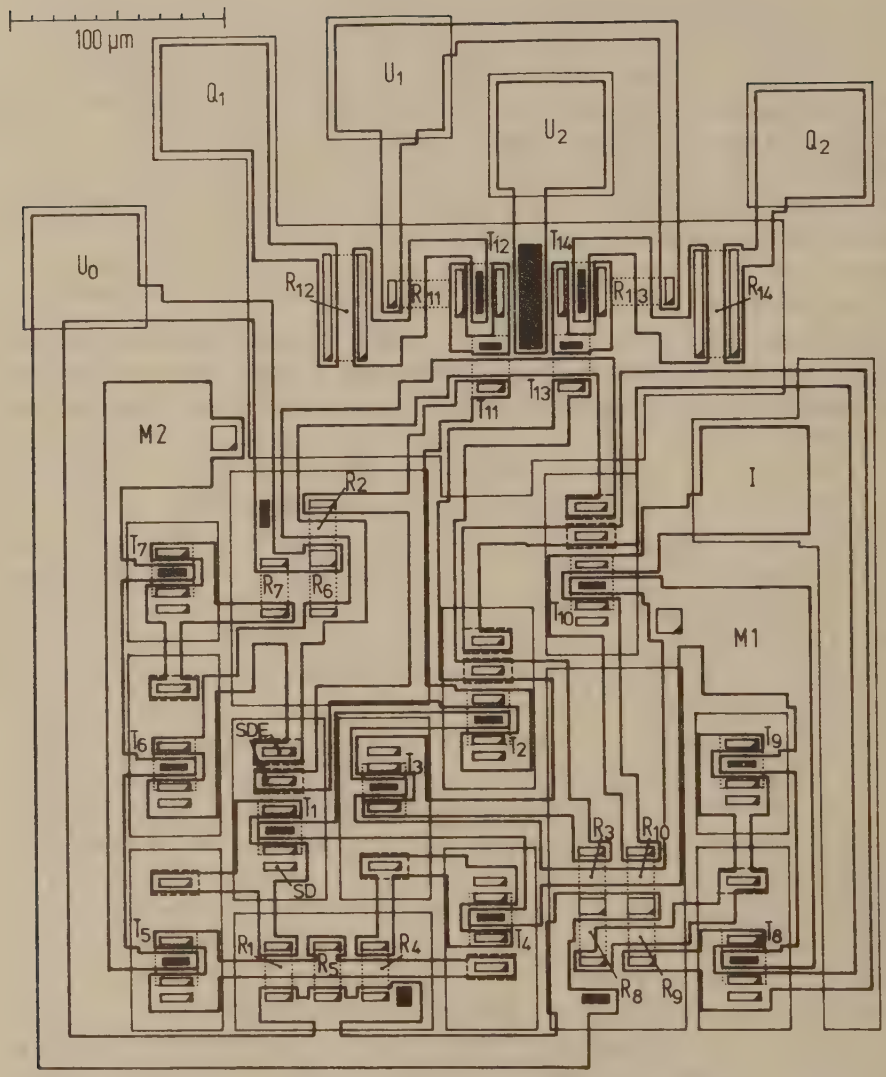


Bild 8.4 : Strukturentwurf der C^3L-Testschaltung nach Bild 8.3.

Anhang

A1 Programm zur Dimensionierung und Berechnung der elektrischen Parameter der Bauelemente

In Abschn. 4.1 und 4.4.1 wurde ein Tischrechnerprogramm angesprochen, das sich in die Optimierungsprozedur für die in dieser Arbeit untersuchten Gatterschaltungen einpassen sollte.

Mit diesem Programm sollten unter Zugrundelegung der in Abschn. 4.2 beschriebenen Basistechnologie und der in Abschn. 4.3 gegebenen Modelle die Bauelemente der Gatter dimensioniert werden und anschließend die Elemente ihrer Ersatzschaltbilder berechnet werden. Dabei wurden die in Abschn. 4.4 erläuterten Verfahren verwendet.

Das Programm hat folgende Merkmale:

1) Programmsprache: BASIC.
   Damit ist die Verwendung dieses Programms auf den meisten handelsüblichen Kompaktrechnern möglich. Allerdings sind u.U. geringfügige Änderungen notwendig, da BASIC nicht vollständig genormt ist.

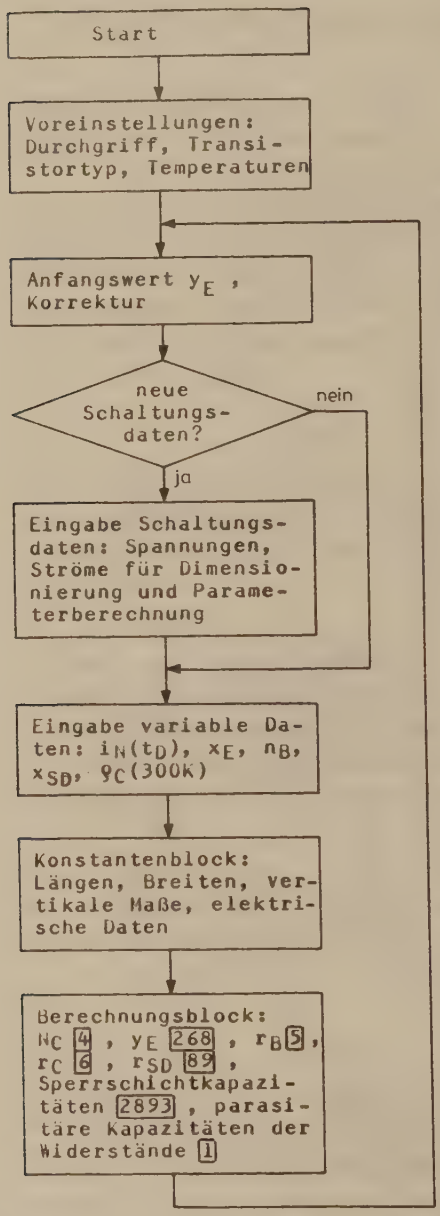
2) Modularer Aufbau.
   Durch die Aufteilung in Blöcke und Unterprogramme kann das Programm im Falle neuer Erkenntnisse über Transistoren oder für andere Technologien leicht weiterentwickelt werden. Außerdem ist auch eine einfache Anpassung an andere Verwendungszwecke oder die Nutzung einzelner Blöcke für andere, ähnliche Programme möglich.

3) Interaktiver Betrieb.
   Für die Anwendung ist kaum eine Einarbeitung notwendig, da die erforderlichen Eingaben und die Nutzung der Freiheitsgrade abgefragt werden.

A1.1 Vereinfachtes Flußdiagramm

Bild A1.1 zeigt (etwas detaillierter als Bild 4.18) den Aufbau des Programms. Das Hauptprogramm ist dort in Blöcke unterteilt, in denen jeweils die wichtigsten Operationen genannt sind. Die Programme der Unterprogrammbibliothek sind nummeriert. Im Hauptprogramm wie auch in den Unterprogrammen wird durch die umrandeten Ziffern darauf hingewiesen, welches Unterprogramm für die

Hauptprogramm



Unterprogrammbibliothek

1 parasitäre Kapazitäten der Widerstände

2 BE-Spannung $U_{B'E}$

3 Mittelwert $\overline{C}$, Sperrschichtkapazität

4 Beweglichkeit μ_{n0}

5 Basisbahnwiderstände

6 Kollektorbahnwiderstände [7]

7 spezifischer Widerstand $\varrho_C(N_C,T,j)$ [4] der Epitaxieschicht

8 Clamp-Diode: r_{SD} [7], U'_{SD}

9 Entkopplungsdiode: r_{SDE} [7], U'_{SDE}

Bild A1.1: Vereinfachtes Flußdiagramm des Hauptprogramms und Liste der Unterprogramme des Programms zur Dimensionierung und Berechnung der Bauelemente.

angegebene Berechnung aufgerufen wird.

Nach dem Start wird eine Reihe von Voreinstellungen vorgenommen. Dazu gehört die Einstellung einer Variablen, nach der entschieden wird, ob der Durchgriff der CB-Raumladungszone bis zum buried layer bei der Berechnung von $\overline{C}_{CBa}$ berücksichtigt wird. Danach wird die Auswahl des Transistortyps nach Bild 4.6 bis 4.9 durch Abfrage eingegeben. Anschließend werden die beiden Temperaturen eingestellt, bei denen die Dimensionierung des Transistors zur Vermeidung der Sättigung bzw. die Berechnung der elektrischen Parameter erfolgt.

Im nächsten Block wird ein Anfangswert für die später zu berechnende Emitterstreifenlänge eingestellt. Außerdem wird hier eine kleine Programmkorrektur vorgenommen: Im Laufe des Hauptprogramms werden zwei Variable überschrieben, die im nachfolgenden Lauf u.U. wieder benötigt werden. Die Werte dieser Variablen werden deshalb vorübergehend unter anderem Namen zwischengespeichert.

Anschließend erfolgt durch Abfrage die Entscheidung, ob die Schaltungsdaten neu eingegeben werden sollen oder ob die Werte aus dem vorhergehenden Lauf übernommen werden sollen.

Entscheidet sich der Benutzer für neue Schaltungsdaten, so werden diese im folgenden Block durch Abfrage eingegeben. Zu den Schaltungsdaten gehören einerseits Spannungen und Ströme, die zur Dimensionierung (Vermeidung der Sättigung) des Transistors benötigt werden. Andererseits gehören dazu Spannungen, die zur Bildung von Mittelwerten der Sperrschichtkapazitäten über den Schaltvorgang benötigt werden. Diese Spannungen müssen teilweise berechnet werden, wozu wiederum die Eingabe von Strömen notwendig ist. Die eingegebenen Ströme und die dazugehörigen Temperaturen werden sofort protokolliert.

Die variablen Daten werden bei jedem Durchlauf durch Abfrage eingegeben. Hierzu gehört der innere Kollektorstrom i_N zum Ende (t_D) des betrachteten Teils des Ausschaltvorgangs des Transistors; dieser Wert wird zur Berechnung des für den Ausschaltvorgang gültigen Basisbahnwiderstandswertes benötigt. Weiter werden die Emitterstreifenbreite x_E, die Anzahl der Basiskontakte n_B, falls nötig die Streifenbreite x_{SD} für die Schottky-Dioden und der spezifische Widerstand ϱ_C der Epitaxieschicht bei 300k eingegeben. Ein Teil dieser Daten wird sofort protokolliert.

Der Konstantenblock enthält Strukturdaten und spezifische elektrische Daten der Basistechnologie. Bei lateralen Maßen in x-Richtung (senkrecht zum Emitterstreifen) werden hier x_E , x_{SD} und n_B bereits eingefügt. Laterale Maße in y-Richtung werden zunächst für eine Emitterstreifenlänge $y_E=0$ festgelegt, sodaß nach der Dimensionierung des Transistors jeweils noch y_E addiert werden muß. Schließlich werden noch die effektiven Dicken der Epitaxieschicht unter der Basis, der Leitbasis und unter den Schottky-Dioden sowie Schichtwiderstände, eine Konstante zur Berechnung des äußeren Basisbahnwiderstandes r_{Ba} und die Stromverstärkung B_N festgelegt.

Im Berechnungsblock wird zunächst die Dotierungskonzentration N_C der Epitaxieschicht aus ϱ_C berechnet. Dazu wird die von Unterprogramm 4 bereitgestellte Beweglichkeit μ_{n0} benötigt. Anschliessend erfolgt die Dimensionierung des Transistors zur Vermeidung der Sättigung. Hier wird aus den Eingabedaten die mindestens erforderliche Emitterstreifenlänge y_E iterativ berechnet. Dabei wird jeweils auf die Unterprogramme 2, 6 und 8 zurückgegriffen. Nach dieser Berechnung wird dem Benutzer freigestellt, ob er den Mindestwert von y_E unverändert lassen, aufrunden oder vergrößern will. Danach werden Mindestgröße und ggf. gewählte Größe des Emitters, x_{SD} und die innere BE-Spannung sowie die inneren Schottky-Diodenspannungen bei $I_C'=1mA$ bzw. $I_{SD}=1mA$ ausgedruckt; (diese Spannungen sind Einstellgrößen für den Analogrechner zur Festlegung der Sättigungsströme.) Nach Festlegung der Bauelementemaße können nun die elektrischen Daten wie Bahnwiderstände und Sperrschichtkapazitäten berechnet und ausgegeben werden, wobei jeweils die entsprechenden Unterprogramme benutzt werden.

Auch von Unterprogrammen aus erfolgt teilweise ein Aufruf anderer Unterprogramme. So wird zur Berechnung der Bahnwiderstände des Kollektors (Unterprogramm 6) und der Schottky-Dioden (Unterprogramme 8 und 9) der jeweils gültige Wert des spezifischen Widerstandes ϱ_C der Epitaxieschicht aus Unterprogramm 7 benötigt. In Unterprogramm 7 wiederum wird die Beweglichkeit μ_{n0} aus Unterprogramm 4 verwendet; die Berechnung von μ_{n0} wurde abgeteilt, weil sie auch im Hauptprogramm benötigt wird.

A1.2 Zuordnung der Variablennamen

In Tab. A1.1 ist die Zuordnung der Größen und der dafür in dieser Arbeit verwendeten Symbole zu den Variablennamen des Programms bzw. die Bedeutung der Variablennamen angegeben. Da das Programm auf einem kleinen Kompaktrechner laufen soll, wurden möglichst wenige Variablennamen verwendet, um Speicherplatz zu sparen; so kann es vorkommen, daß einem Namen nacheinander verschiedene Größen zugeordnet werden. Umgekehrt kann einer Größe auch ein zweiter Variablenname zugeordnet werden, wenn sie in ein Unterprogramm übernommen werden soll.

Ströme und Potentiale beziehen sich auf Bild A1.2, wobei jeweils durch den zusätzlichen Index ein bzw. aus angedeutet wird, ob der Transistor ein- oder ausgeschaltet ist. Wo es von Bedeutung ist, wird zusätzlich in Klammern eine Nebenbedingung angegeben. Beispielsweise wird zwischen $I_{Cein}(T_0)$ und $I_{Cein}(T_S)$ unterschieden und im Programm für I_{Cein} der jeweils gültige Wert eingesetzt; dagegen wird z.B. I_{SD} immer berechnet, sodaß automatisch die richtige Temperatur berücksichtigt wird.

Meist werden die Einheiten mV, mA, pF, µm, K und daraus zusammengesetzte Größen (z.B. $pF/\mu m^2$) verwendet. Bei Abweichungen von dieser Regel ist die Einheit in Klammern angegeben.

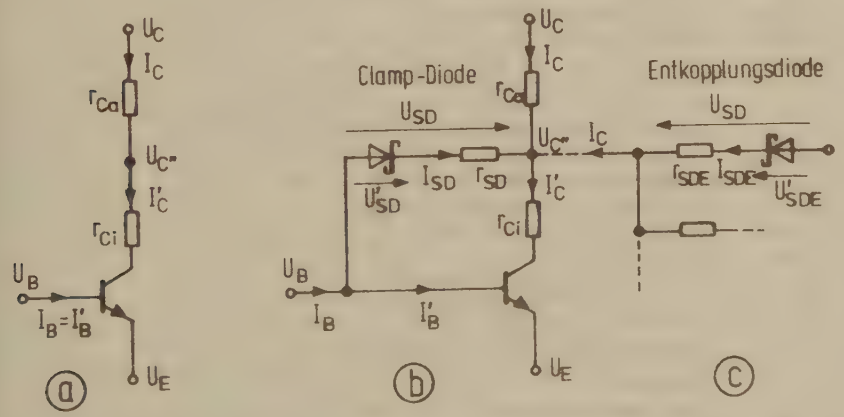


Bild A1.2: Ersatzschaltbilder zur Definition der Ströme und Spannungen. (a) Einfacher Transistor; (b) Schottky-Transistor; (c) Ergänzung für den C^3L-Transistor, r_{Ca} entfällt hier.

Tab. A1.1: Zuordnung der Variablen.

Name	Symbol	Größe
B	B_N	Stromverstärkung (Großsignalwert, Emitterschaltung)
C	C'_{CBO}, C'_{RO}	flächenspezifische CB- und Widerstandskapazität bei OV
CO	C_O	Sperrschichtkapazität bei OV
C1	$\overline{C}$	Mittelwert einer Sperrschichtkapazität
C5	$C_{CBa}(U_{DG})$	äußere CB-Kapazität bei Durchgriff
I0	$I_{Cein}(T_S)$	äußerer Kollektorstrom bei $T=T_S$
I1	$I_{Cein}(T_O)$	äußerer Kollektorstrom bei $T=T_O$
I2	I_{Cein}	äußerer Kollektorstrom
I5	I'_{Cein}	innerer Kollektorstrom
I6	$I_{Bein}(T_S)$	äußerer Basisstrom bei $T=T_S$
I7	$I_{Bein}(T_O)$	äußerer Basisstrom bei $T=T_O$
J1	I_{SD}	Strom der Clamp-Diode
J2	$i_N(t_O)$	innerer Kollektorstrom gegen Ende des Ausschaltvorganges
J3	$j(A/cm^2)$	Stromdichte in der Epitaxieschicht
J4	I_{SDE}	Strom der Entkopplungsdiode
M	$\mu_{nO}(cm^2/Vs)$	Driftbeweglichkeit der Elektronen bei j=0
N	n_B	Anzahl der Basiskontakte (Basisstreifen)
NO	$N_C(cm^{-3})$	Dotierungskonzentration der Epitaxieschicht
R1	r_{sBN}	Schichtwiderstand des buried layer
R2	r_{sBi}	Schichtwiderstand der inneren Basis
	r_{BiO}	Kenngröße des inneren Basisbahnwiderstandes (Zwei-Transistor-Modell)
R3		Konstante zur Berechnung von r_{Bi}
	r_{Ba}	äußerer Basisbahnwiderstand
R4	$\varrho_C(\Omega cm)$	spezifischer Widerstand der Epitaxieschicht
	r_{Biein}	innerer Basisbahnwiderstand
	r_{Bein}	Basisbahnwiderstand
	r_O	Hilfsgröße zur Berechnung von r_{Biaus}
R5	η	Randverdrängungsfaktor
		innerer statischer Basisbahnwiderstand ohne Randverdrängung
		statischer Basisbahnwiderstand ohne Randverdrängung
	r_{Ca}	äußerer Kollektorbahnwiderstand
R6	η	Randverdrängungsfaktor
	x'_O	Hilfsgröße zur Berechnung von r_{Biaus}
	r_{Biaus}	innerer Basisbahnwiderstand
	r_{Baus}	Basisbahnwiderstand
	r_{Ci}	innerer Kollektorbahnwiderstand
R7	r_{SD}	Bahnwiderstand der Clamp-Diode
	v_i	Verhältnis $i_N(t_D)/I'_{Cein}$
R8	r_{SDE}	Bahnwiderstand der Entkopplungsdiode
T	T	Temperatur
TO	T_O	Betriebstemperatur
T1	T_S	Temperatur, für die die Dimensionierung erfolgt
U		Spannung an r_{Ci}
UO	$U_{Cein}(T_S)$	Kollektorpotential
	U_1, U_2	Spannung an Sperrschichtkapazitäten bei ausgeschaltetem Transistor
		Mittelwert der Sperrspannung an der Widerstandskapazität

Tab. A1.1: Fortsetzung.

Name	Symbol	Größe
U1	$U_{Cein}(T_0)$	Kollektorpotential
	U_1, U_2	Spannung an Sperrschichtkapazitäten bei eingeschaltetem Transistor
U2	$U_{C''ein}$	inneres Kollektorpotential
	U_{Cein}	Kollektorpotential
U3	$U_{Bein}(T_S)$	Basispotential
U4	$U_{Bein}(T_0)$	Basispotential
U5	U_{Bein}	Basispotential
U6	U_{Eein}	Emitterpotential
U7	U_{Caus}	Kollektorpotential
U8	U_{Baus}	Basispotential
U9	U_{Eaus}	Emitterpotential
V	v_{sat}	Sättigungsdriftgeschwindigkeit der Elektronen
		Hilfsgröße zur Berechnung von ϱ_C
V1	U_S	Substratpotential
V2	$U_{B'E}$	innere BE-Spannung
V3	U'_{SD}, U_{SD}	innere, äußere Spannung der Clamp-Diode
V4	U'_{SDE}, U_{SDE}	innere, äußere Spannung der Entkopplungsdiode
V5	U_{DG}	Durchgreifspannung
V6	}	Teilspannungshübe zur Berücksichtigung des Durchgriffs
V7	}	
V9	U_D	Diffusionsspannung
X		Hilfsgröße für Eingaben
	v	Hilfsgröße aus (4.61)
	N_C	Dotierungskonzentration der Epitaxieschicht (während Iteration)
		Spannungsabfall an r_{Ci}
X0		Kennziffer für Transistortyp
X1		Längenänderung durch zweiten Basiskontakt
X2	x_{Ca}	Länge vo r_{Ca}
	n	reziproker Exponent zur Berechnung von Sperrschichtkapazitäten
X3	x_{SDa}	Länge von r_{SDa} der Clamp-Diode
X4	x_{SDEa}	Länge von r_{SDEa} der Entkopplungsdiode
X5		Länge von C_{CS} einschließlich Randbogen
X6		Länge von C_{CBa} einschließlich Rand
X7		Länge von C_{EB} einschließlich bewertetem Randanteil
X8	x_E	Emitterstreifenbreite
X9	x_{SD}	Schottky-Dioden-Streifenbreite
Y	n	Hilfsgröße zur Berechnung von μ_{n0}
Y1	y	Breite des buried layer
Y2		Breite von C_{CS} einschließlich Randbogen
Y3		Breite von C_{CBa} einschließlich Rand
Y4		Breite von C_{EB} einschließlich Rand
Y5	y_E	Emitterstreifenlänge
Y8		Steuervariable für den Durchgriff
Y9		Hilfsgröße zur Berechnung von Sperrschichtkapazitäten
Z1	w_C	effektive Epitaxiedicke unter der Basis
Z2	w'_C	Abstand Leitbasis - buried layer
Z3	z_{SD}	Abstand Schottky-Kontakt - buried layer

A1.3 Beschreibung der Programmblöcke

Im folgenden werden die einzelnen in Bild A1.1 dargestellten Blöcke in der Reihenfolge besprochen, wie sie in der Programmliste stehen. Dabei wird jeweils zuerst der entsprechende Teil der Liste angegeben und darunter erläutert, welche Operationen in den einzelnen Zeilen durchgeführt werden. Sprünge (GOTO...), Kommentarzeilen (REM...), Druckerzeilenvorschub (PRINT#1," "oder PRINT#1,CHR$(10)) werden nicht gesondert erläutert.

A1.3.1 Voreinstellungen, Anfangswert, Korrektur

```
10   REM***KEIN DURCHGRIFF: Y8=1
20   LET Y8 = 0
30   PRINT "EINF.TRANS.(1), SD-TRANS.(2), SD-2-EMITTER(3), CCCL(4)" ;
40   INPUT X0
50   REM***TEMP/K, SAETT., BETRIEB
60   LET T1 = 350
70   LET T0 = 300
80   OPEN "SOUTA" AS FILE 1 MODE 0
90   LET Y5 = 4
91   LET U0 = W0
     LET U1 = W1
```

10-20: Voreinstellung für Berücksichtigung des Durchgriffs.

30-40: Abfrage/Eingabe der Kennziffer für den Transistortyp.

60-70: Voreinstellung der Temperaturen für Dimensionierung und Betrieb.

80: Steueranweisung für Drucker.

90: Anfangswert für y_E.

91: Programmkorrektur. Die Variablen U0 und U1 werden überschrieben, obwohl sie für mehrere Programmläufe benötigt werden. Ihre Werte werden deshalb in 611 unter den Namen W0 und W1 zwischengespeichert (Abschn. A1.3.3) und beim nächsten Programmlauf in 91 wieder U0 und U1 zugeordnet.

A1.3.2 Eingabe Schaltungsdaten

```
100  REM*********************************EINGABE SCHALTUNG
110  PRINT "NEUE SCHALTUNGSDATEN" ;
120  INPUT X
130  IF X = 0 THEN GOTO 590
140  PRINT #1 USING "    SAETT.BERECHN.BEI  ###### K UND" , T1
150  PRINT "    SAETTIGUNG (-V, -A)"
160  PRINT #1 , CHR$(10)
170  IF X0 > 1 THEN GOTO 220
180  PRINT "UC.EIN=" ;
190  INPUT U0
200  PRINT "UB.EIN=" ;
210  INPUT U3
220  PRINT "IC.EIN=" ;
230  INPUT I0
```

110-130: Abfrage, ob neue Schaltungsdaten eingegeben werden sollen.

140: Drucken der Temperatur T_S.

150: Überschrift für folgende Eingaben von Daten für die Dimensionierung (Temperatur T_S).

170: Überspringen der Eingabe von U_{Cein} und U_{Bein} für Transistoren mit Clamp-Diode, da diese Größen dann aus I_{Cein} und I_{Bein} berechnet werden können.

180-210: Abfrage/Eingabe von U_{Cein} und U_{Bein}.

220-230: Abfrage/Eingabe von I_{Cein}.

```
240  IF X0 = 1 THEN GOTO 270
250  PRINT "IB.EIN=" ;
260  INPUT I6
270  PRINT #1 USING "    I.B.EIN=  ##.### MA    I.C.EIN=  ##.### MA" , I6 , I0
280  PRINT "    BETRIEB (-V, -A)"
290  PRINT #1 , CHR$(10)
300  PRINT #1 , CHR$(10)
310  PRINT #1 USING "    BETRIEB BEI       ###### K UND" , T0
320  PRINT #1 , CHR$(10)
330  IF X0 = 4 THEN GOTO 380
340  PRINT "UC.AUS=" ;
350  INPUT U7
360  PRINT "UB.AUS=" ;
370  INPUT U8
380  PRINT "UE.AUS=" ;
390  INPUT U9
400  IF X0 > 1 THEN GOTO 460
410  PRINT "UC.EIN=" ;
420  INPUT U1
430  PRINT "UB.EIN=" ;
440  INPUT U4
450  GOTO 480
460  PRINT "UE.EIN=" ;
470  INPUT U6
480  PRINT "USUB=" ;
490  INPUT V1
500  PRINT "IC.EIN=" ;
510  INPUT I1
520  IF X0 = 1 THEN GOTO 550
530  PRINT "IB.EIN=" ;
540  INPUT I7
550  PRINT #1 USING "    I.B.EIN=  ##.### MA    I.C.EIN=  ##.### MA" , I7 , I1
```

240: Überspringen der Eingabe von I_{Bein} für Transistoren ohne Clamp-Diode, da diese Grössen dann nicht benötigt werden.

250-260: Abfrage/Eingabe von I_{Bein}.

270: Drucken von I_{Bein} und I_{Cein}.

280: Überschrift für folgende Eingaben von Daten für den Betrieb(Temperatur T_0).

310: Drucken der Temperatur T_0.

330: Überspringen der Eingabe von U_{Caus} und U_{Baus} für den C^3L-Transistor; diese Größen werden dann in 1950-1960 berechnet.

340-390: Abfrage/Eingabe von U_{Caus}, U_{Baus} und U_{Eaus}.

400: Überspringen der Eingabe von U_{Cein} und U_{Bein} für Transistoren mit Clamp-Diode.

410-440: Abfrage/Eingabe von U_{Cein} und U_{Bein}.

450-470: Abfrage/Eingabe von U_{Eein} nur für Transistoren mit Clamp-Diode. Bei Transistoren ohne Clamp-Diode (Sprung in 450) wird U_{Eein} in 1870 berechnet.

480-510: Abfrage/Eingabe von Substratpotential U_S und I_{Cein}.

520-540: Abfrage/Eingabe von I_{Bein} nur für Transistoren mit Clamp-Diode. Bei Transistoren ohne Clamp-Diode wird diese Größe nicht benötigt.

550: Drucken von I_{Bein} und I_{Cein}.

A1.3.3 Eingabe variable Daten

```
570  REM**********EINGABE-BLOCK/VARIABLE DATEN
580  REM**DATEN AUS ANALOGSIMULATION
590  PRINT "IC(TD),MA=" ;
600  INPUT J2
610  PRINT #1 USING "    AUS LETZTER ANALOGSIMULATON: IC(TD)=  ##.### MA" , J2
611  LET U0 = U6
    LET U1 = U1
620  PRINT #1 , CHR$(10)
630  REM**VAR. STRUKTUR-U. TECHNOL. DATEN
640  PRINT "EMITTERBREITE/MIKRÖM.=" ;
650  INPUT X8
```

590-600: Abfrage/Eingabe des Wertes $i_N(t_D)$ aus der vorhergehenden Schaltungssimulation.

610: Drucken von $i_N(t_D)$.

611: Programmkorrektur, vgl. 91.

640-650: Abfrage/Eingabe von x_E.

```
660  LET N = 1
670  IF X0 = 3 THEN GOTO 720
680  PRINT "1 ODER 2 BASISSTREIFEN " ;
690  INPUT N
700  LET X9 = 0
710  IF X0 = 1 THEN GOTO 740
720  PRINT "SD-BREITE/MIKROM =" ;
730  INPUT X9
740  PRINT "SPEZ. EPI. WIDERST. (300K)/OHMCM=" ;
750  INPUT R4
760  PRINT #1 , "    EPI/OHMCM=           " ; R4
770  PRINT #1 , "    ANZ. BASISSTREIFEN=  " ; N
```

660: Voreinstellung n_B=1 für Schottky-Transistor mit zwei Emittern.

670-690: Abfrage/Eingabe von n_B nur für Transistoren mit einem Emitter.

700: Voreinstellung x_{SD}=0.

710-730: Abfrage/Eingabe von x_{SD} nur für Transistoren mit Clamp-Diode.

740-750: Abfrage/Eingabe von ϱ_C(300K) und n_B.

760-770: Drucken von ϱ_C(300K) und n_B.

A1.3.4 Konstantenblock

```
780  REM*********************************KONSTANTENBLOCK
790  REM***AENDERN : ZUS.2STR., RBNC,-ALSD,TISD, CCS, CCBA, CEB,
800  LET X1 = 6
810  LET X2 = 6.5+(N-1)*X1+X8/2
820  LET X3 = 8.5+X8/2+X9/2
830  LET X4 = 10.5+(N-1)*X1+X8/2+X9/2
840  LET X5 = 14+2.5*PI+(N-1)*X1+X8
850  LET X6 = 8.9+(N-1)*X1
860  LET X7 = 1.2+X8
870  REM***AENDERUNG F.SD
880  ON X0 GOTO 980 ,890 ,910 ,950
890  LET X5 = 3.5+X5+X9
900  GOTO 980
910  LET X3 = 14+X8*1.5+X9/2
920  LET X5 = 9+X5+X8+X9
930  LET X6 = 15.8
940  GOTO 980
950  LET X2 = 0
960  LET X5 = 6+X5+3*X9
```

800-860: Maße in x-Richtung aus Bild 4.6-4.9 unter Berücksichtigung von x_E, x_{SD} und n_B:

800: Längenänderung durch zweiten Basiskontakt (n_B=2 gegenüber n_B=1).

810: Länge von r_{Ca}.

820: Länge von r_{SDa} der Clamp-Diode (buried layer).

830: Länge von r_{SDEa} der Entkopplungsdiode (buried layer).

840: Länge von C_{CS}, wobei für den Rand ein Viertelkreis mit dem Radius 2,5µm eingesetzt wird, dafür aber die Bodenlänge von C_{CS} um 1µm verkürzt wird, da die Unterdiffusion an beiden Enden nur 2µm beträgt.

850: Länge von C_{CBa}, wobei der Rand durch eine senkrechte seitliche Begrenzung der Basis- bzw. Leitbasiszone mit der Höhe z_{LB} (Bild 4.5) berücksichtigt wird.

860: Maß von C_{EB} in x-Richtung (Streifenbreite). Hier wird der Rand durch eine senkrechte Begrenzung der Emitterzone berücksichtigt, zu x_E käme also $2z_E$ (Bild 4.5) d.h. 0,4µm hinzu. Dieser Wert wird mit 3 multipliziert, um bei der Berechnung von C_{EB} zu berücksichtigen, daß die flächenspezifische Kapazität am Rand im Mittel um den Faktor 3 größer ist als am Boden von C_{EB} (Abschn. 4.4.2, (4.48), (4.49)).

880-960: ggf. Änderung der Maße in x-Richtung durch Hinzunahme von Schottky-Dioden:

880: Sprung in die entsprechende Zeile je nach Transistortyp (vgl. 30-40).

890: Vergrößerung der Länge von C_{CS} durch die Clamp-Diode.

910: Neuberechnung der Länge von r_{SDa} für den Transistor mit zwei Emittern (Bild 4.8).

920: Vergrößerung der Länge von C_{CS} durch Clamp-Diode und zweiten Emitter.

930: Neuberechnung der Länge von C_{CBa} für den Transistor mit zwei Emittern (vgl. 850).

950: Die Länge von r_{Ca} wird für den C^{3}L-Transistor (Bild 4.9) gleich Null gesetzt, da r_{Ca} entfällt.

960: Vergrößerung von C_{CS} durch eine Clamp- und zwei Entkopplungsdioden.

```
970  REM***BREITEN O. EMITTER: RBN, CCS, CCBA, CEB
980  LET Y1 = 0
990  LET Y2 = -1+PI*2.5
1000 LET Y3 = 0.24
1010 LET Y4 = 0.12
1020 REM***TIEFEN UNTER: BASIS, LEITBASIS, SD
1030 LET Z1 = 0.5
1040 LET Z2 = 0.4
1050 LET Z3 = 0.9
1060 REM***ELEKTRISCHE DATEN/ MV,MA,PSEC,MIKROM.↑2 BEI 300K
1070 REM***SCHICHTWID. BN. BI
1080 LET R1 = 20
1090 LET R2 = 8000
1100 REM***PRODUKT LE*RBA BEI 1 STR.
1110 LET R3 = 1450
1120 REM***STROMVERST.
1130 LET B = 50
```

980-1010: Maße in y-Richtung aus Bild 4.6c, zunächst für y_E=0, d.h. es werden nur die Randanteile durch die Schräge des Isolationsoxids (α in Bild 4.5, tanα in Tab.4.1) und durch die kreisbogenförmige Unterdiffusion des buried layer (vgl.80) berechnet.

980: Maskenbreite des buried layer, maßgeblich für r_{Ca}, r_{SDa} und r_{SDEa}.

990-1010: o.g. Maße in der Reihenfolge C_{CS}, C_{CBa}, C_{EB}.

1030-1050: Epitaxiedicken in der Reihenfolge unter der Basis (w_C), unter der Leitbasis (w_C') und unter der Schottky-Diode (z_{SD}); z_{SD} ist um 0,1µm größer als die Summe z_B+w_C (Bild 4.5, Tab. 4.1), da angenommen wird, daß im Bereich von Basis und Leitbasis Si durch Oxidation abgetragen wird.

1080: Schichtwiderstand r_{sBN} des buried layer.

1090: Schichtwiderstand r_{sBi} der inneren Basis.

1110: Produkt $y_E r_{Ba}$ für einen Basiskontakt nach (4.56).

1130: Stromverstärkung B_N.

A1.3.5 Berechnungsblock

```
1140 REM*****************************BERECHNUNGS-BLOCK
1150 REM***EPIDOTIERUNG
1160 LET T = 300
1170 LET N0 = X
1180 GOSUB 3520
1190 LET X = 1/(0.1602E-18*R4*M)
1200 IF ABS((X-N0)/X) > 0.0001 THEN GOTO 1170
1210 REM***EMITTERLAENGE
1220 LET T = T1
1230 LET I2 = I0
1240 LET I5 = I0
1250 IF X0 = 1 THEN GOTO 1280
1260 LET I5 = (I0+I6)*B/(B+1)
1270 LET J1 = I5-I0
```

1160-1200: Iterative Berechnung von ϱ_C(300K).

1180: μ_{n0} aus Unterprogramm in Abschn. A1.3.9.

1220-1500: Dimensionierung des Transistors und ggf.der Clamp-Diode; es wird iterativ die zur Vermeidung der Sättigung notwendige Mindeststreifenlänge des Emitters berechnet. Anschließend kann wahlweise aufgerundet bzw. ein größerer Wert eingesetzt werden.

1220: Einsetzen der Temperatur T_S.

1230-1240: Einsetzen von $I_{Cein}(T_S)$ für I_{Cein} und I'_{Cein}. Für den Transistor ohne Clamp-Diode sind beide Ströme gleich groß (Bild A1.2a).

1260: Neuberechnung von I'_{Cein} für Transistoren mit Clamp-Diode. Hier unterscheidet sich I'_{Cein} von I_{Cein} um den Strom I_{SD} (Bild A1.2b).

1270: Strom I_{SD}.

```
1280 LET V1 = V5
1290 GOSUB 3860
1300 GOSUB 3400
1310 LET X = R6*I5
1320 IF X0 = 1 THEN GOTO 1360
1330 GOSUB 4010
1340 LET U = V2-V3-110-0.4*(T-300)
1350 GOTO 1370
1360 LET U = V2+U0-U3-R5*I2-110-0.4*(T-300)
1370 IF U > 0 THEN GOTO 1390
1380 LET U = X/4
1390 LET V5 = V5*SQR(X/U)
1400 IF ABS(X-U) > 0.5 THEN GOTO 1280
1410 PRINT #1 , "    MINDESTGR.  EMITTER: " ; X8 ; "*" ; V5 ; " MIKROM.↑2"
1420 PRINT "MINDESTGROESSE EMITTER: " ; X8 ; "*" ; V5 ; "MIKROM.↑2"
1430 PRINT "EMIT. LG. BZW. RUNDUNG/MIKROM.=" ;
1440 INPUT X
1450 IF X = 0 THEN GOTO 1470
1460 LET V5 = X+INT(V5/X)*X
1461 LET V1 = V5
1470 LET V2 = V2+V5
1480 LET V3 = V3+V5
1490 LET V4 = V4+V5
1500 PRINT #1 , "    EMITTER B*L=          " ; X8 ; "*" ; V5 ; "MIKROM.↑2"
1510 LET T = T0
1520 LET I5 = 1
1530 GOSUB 3400
1540 PRINT #1 , "    U.B'E (I=1MA)=        " ; V2 ; "MV"
1550 IF X0 = 1 THEN GOTO 1660
1560 LET J1 = 1
1570 GOSUB 4010
1580 LET V3 = V3-R7
1590 PRINT #1 , "    U'.CLAMP (I=1MA)=     " ; V3 ; "MV"
1600 IF X0 < 4 THEN GOTO 1650
1610 LET J4 = 1
1620 GOSUB 4080
1630 LET V4 = V4-R8
1640 PRINT #1 , "    U'.KOPPEL(I=1MA)=     " ; V4 ; "MV"
1650 PRINT #1 , "    SD-BREITE=            " ; X9 ; "MIKROM."
1660 PRINT #1 , CHR$(10)
```

1280-1400: Iterative Berechnung von y_E:

1280: Breite y des buried layer (Bild 4.6c).

1290: r_{Ca} und r_{Ci} aus Unterprogramm in Abschn. A1.3.11.

1300: $U_{B'E}$ aus Unterprogramm in Abschn. A1.3.7.

1310: Spannung an r_{Ci} aus $r_{Ci}I'_{Cein}$ berechnen.

1320-1340: Für Transistoren mit Clamp-Diode Spannung U_{SD} aus Unterprogramm in Abschn. A1.3.13 und anschließend Berechnung der Spannung an r_{Ci} durch Maschenumlauf $U_{B'E}-U_{SD}-U_{C'ES}$ mit $U_{C'ES}$ nach (4.19), (4.20).

1360: Für Transistoren ohne Clamp-Diode Berechnung der Spannung an r_{Ci} durch Maschenumlauf $U_{B'E}+U_{Cein}-U_{Bein}-r_{Ca}I_{Cein}-U_{C'ES}$ mit $U_{C'ES}$ nach (4.19), (4.20).

1370-1390: Änderung von y_E für den nächsten Iterationsschritt. Mit der Wurzel (1390) des Verhältnisses der beiden Werte der Spannung an r_{Ci} wird ein gutes Konvergenzverhalten erreicht. Ist die durch Maschenumlauf berechnete Spannung negativ (1370), so muß die Änderung von y_E anders erfolgen(1380).

1400: Abbruch der Iteration bei einem Fehler unter 0,5mV.

1410: Drucken der Mindestgröße $x_E y_E$ des Emitters.

1420-1440: Abfrage/Eingabe eines Wertes für die Rundung oder Vergrößerung von y_E.

1450-1460: Rundung bzw. Vergrößerung von y_E.

1461-1490: Vergrößerung der Maße in y-Richtung aus 980-1010 um y_E.

1500: Drucken der endgültigen Emittergröße $x_E y_E$.

1510-2620: Berechnung der elektrischen Bauelementeparameter aus den nunmehr vollständig feststehenden technologischen Daten:

1510: Einsetzen der Temperatur T_0.

1520-1640: Berechnen und Drucken von $U_{B'E}$, U'_{SD}, U'_{SDE} für einen Kollektor- bzw. Durchlaßstrom von 1mA mit den Unterprogrammen aus Abschn. A1.3.7, A1.3.13, A1.3.14. Diese Werte werden zur Einstellung der Sättigungsströme am Analogrechner benötigt.

1650: Drucken von x_{SD}.

```
1670 REM***STROEME
1680 LET I2 = I1
1690 LET I5 = I1
1700 IF X0 = 1 THEN GOTO 1730
1710 LET I5 = (I1+I7)*B/(B+1)
1720 LET J1 = I5-I1
1730 GOSUB 3570
1740 PRINT #1 , "    TRANSISTOR(OHM,PF)"
1750 PRINT #1 USING "     RBA  = ######" , R3
1760 PRINT #1 USING "     RB10 = ######" , R2
1770 PRINT #1 USING "     RBAUS= ######" , R6
1780 PRINT #1 USING "     RBEIN= ######" , R4
1790 PRINT #1 USING "     RBST.= ######" , R5
1800 GOSUB 3860
1810 PRINT #1 USING "     RCA  = ######" , R5
1820 PRINT #1 USING "     RCI  = ######" , R6
1830 GOSUB 3400
1840 IF X0 > 1 THEN GOTO 1890
1850 LET U2 = U1-R5*I2
1860 LET U5 = U4
1870 LET U6 = U5-V2
1880 GOTO 1970
1890 GOSUB 4010
1900 LET U5 = U6+V2
1910 LET U2 = U5-V3
1920 IF X0 < 4 THEN GOTO 1970
1930 LET J4 = I2/2
1940 GOSUB 4080
1950 LET U7 = U5
1960 LET U8 = U2+V4
1970 LET X = 0
1980 LET X2 = 2
1990 LET V9 = 650
2000 LET C0 = 0.000087*X5*V2
2010 LET U1 = V1-U2
2020 LET U8 = V1-U7
2030 GOSUB 3430
2040 PRINT #1 USING "     CCS  = #.#### PF,   CCSO  = #.#### PF" , C1 , C0
2050 LET C = 0.000109*(N0*0.1E-14)↑0.5
2060 LET C0 = C*X6*V3
2070 LET V9 = 700
2080 LET U1 = U5-U2
2090 LET U8 = U8-U7
2100 LET V7 = 0
2110 LET C5 = 0
2120 IF V8 = 1 THEN GOTO 2220
```

1680-1720: Berechnen von Strömen (vgl. 1230-1270).

1730: Basisbahnwiderstände aus Unterprogramm in Abschn. A1.3.10.

1740-1790: Drucken der verschiedenen Teile bzw. Werte des Basisbahnwiderstandes.

1800: r_{Ca} und r_{Ci} aus Unterprogramm in Abschn.A1.3.11.

1810-1820: Drucken von r_{Ca} und r_{Ci}.

1830: $U_{B'E}(I'_{Cein})$ aus Unterprogramm in Abschn. A1.3.7.

1840-1870: $U_{C"ein}$, U_{Bein} und U_{Eein} für Transistoren ohne Clamp-Diode.

1890: U_{SD} und r_{SD} aus Unterprogramm in Abschn. A1.3.13.

1900-1910: U_{Bein} und $U_{C"ein}$ für Transistoren mit Clamp-Diode.

1920-1960: I_{SDE}, U_{SDE}, r_{SDE} aus Unterprogramm in Abschn. A1.3.14 sowie U_{Caus} und U_{Baus} für C^3L-Transistoren

1970: Da für die Berechnung der Mittelwerte der Sperrschichtkapazitäten im Unterprogramm (Abschn. A1.3.8) immer (4.54) verwendet wird, muß für alle Kapazitäten außer C_{CBi} $r_{Ci}I'_C$ (Variable X) gleich Null gesetzt werden, um (4.51) zu erhalten.

1980-2030: Berechnung von $\overline{C}_{CS}$ und C_{CSO} in folgender Reihenfolge: n, U_D, C_{CSO} mit C'_{CSO} nach (4.43), U_2, U_1, $\overline{C}_{CS}$ aus Unterprogramm in Abschn. A1.3.8.

2040: Drucken von $\overline{C}_{CS}$ und C_{CSO}.

2050-2230: Berechnen von $\overline{C}_{CBa}$ und C_{CBaO} zunächst in folgender Reihenfolge: C'_{CBO} nach (4.44), C_{CBaO}, U_D, U_2, U_1; n wird aus 1980 übernommen.

2100: Voreinstellung des Spannungshubes (V7=0) über den C_{CBa} aufgrund des Durchgriffs konstant bleibt (C5)

2110: Voreinstellung des Wertes C_{CBa} (U_{DG}).

2120: vgl. 10-20 (Abschn. A1.3.1)

```
2130 LET V5 = V9-0.7723E-12*Z2^2*N0
2140 LET C5 = C0/SQR(1-V5/V9)
2150 IF V5 < U1 THEN GOTO 2190
2160 LET V6 = 0
2170 LET V7 = U1-U0
2180 GOTO 2220
2190 IF V5 < U0 THEN GOTO 2220
2200 LET V6 = U1-V5
2210 LET V7 = V5-U0
2220 LET U0 = V5
2230 GOSUB 3430
2240 LET C1 = (C1*V6+C5*V7)/(V6+V7)
2250 PRINT #1 USING "    CCBA = #.#### PF,   CCBA0 = #.#### PF" , C1 , C0
2260 LET X = R6*I5
2270 LET C0 = C*X0*Y3
2280 LET U1 = U5-U2+R6*I5
2290 LET U0 = U8-U7
2300 GOSUB 3430
2310 PRINT #1 USING "    CCBI = #.#### PF,   CCBI0 = #.#### PF" , C1 , C0
2320 LET X = 0
2330 LET X2 = 2.7
2340 LET C0 = 0.001875*X7*Y4
2350 LET V9 = 900
2360 LET U1 = U5-U6
2370 LET U0 = U8-U9
2380 GOSUB 3430
2390 PRINT #1 USING "    CEB  = #.#### PF,   CEB0  = #.#### PF" , C1 , C0
2400 PRINT #1 , " "
2410 IF X0 = 1 THEN GOTO 2600
2420 PRINT #1 , "    CLAMP-DIODE"
2430 PRINT #1 USING "    R    = ###### OHM" , R7
2440 LET X2 = 2
2450 LET V9 = 510
2460 LET C0 = 0.922E-10*SQR(N0/V9)*X9*Y5
2470 LET U1 = V3-R7*J1
2480 LET U0 = U8-U7
2490 GOSUB 3430
2500 PRINT #1 USING "    C    = #.#### PF,   C0    = #.#### PF" , C1 , C0
2510 IF X0 < 4 THEN GOTO 2600
2520 PRINT #1 , " "
2530 PRINT #1 , "    KOPPEL-DIODE"
2540 PRINT #1 USING "    R    = ###### OHM" , R8
2550 LET V9 = 310
2560 LET C0 = 0.922E-10*SQR(N0/V9)*X9*Y5
2570 LET U1 = V4-R8*J4
2580 LET U0 = U5-U7
2590 GOSUB 3430
2600 PRINT #1 USING "    C    = #.#### PF,   C0    = #.#### PF" , C1 , C0
2610 PRINT #1 , " "
2620 LET N = 1
```

2130-2140: Durchgreifsspannung U_{DG} nach (4.53) und zugehörige Kapazität C_{CBa} (U_{DG}) nach (4.40).

2150-2210: Fallunterscheidung, nach der der Spannungshub an C_{CBa} aufgeteilt wird in ein Intervall (V6) in dem der Mittelwert von C_{CBa} wie üblich nach (4.51) gebildet wird und ein Intervall (V7) in dem C_{CBa} den Wert C_{CBa} (U_{DG}) hat.

2220: Mittelwert von C_{CBa} über (V6) aus Unterprogramm in Abschn. A1.3.8

2230: Mittelwert $\overline{C}_{CBa}$ über den gesamten Spannungshub.

2240: Drucken von $\overline{C}_{CBa}$ und C_{CBa0}.

2250-2290: Berechnen von $\overline{C}_{CBi}$ und C_{CBi0} in folgender Reihenfolge: Spannung an r_{Ci} (vgl. 1970), C_{CBi0}, U_2, U_1, $\overline{C}_{CBi}$ aus Unterprogramm in Abschn. A1.3.8.

2300: Drucken von $\overline{C}_{CBi}$ und C_{CBi0}.

2310-2380: Berechnen und Drucken von $\overline{C}_{EB}$ und C_{EB0} (vgl. 1970-2040). In 2330 wird C'_{EB0} nach (4.49) verwendet, da der größere Wert am Rande der Emitterzone durch eine Vergrößerung der Fläche berücksichtigt wurde (860).

2400-2590: ggf. Berechnen und Drucken der elektrischen Parameter für Clamp-Diode und Entkopplungsdiode. Die Bahnwiderstände wurden bereits in 1890 und 1940 berechnet. Für U_D wird entsprechend (4.41) 510 mV (2440) bzw. 310 mV (2540) eingesetzt. Die Sperrschichtkapazität wird mit (4.45) berechnet (2450, 2550).

2610: Voreinstellung Widerstandsnummer.

```
2615 PRINT #1 , "    KAPAZ.D.WIDERST.." ,
2620 ON X8 GOSUB 2790,3160,3160,3210
2630 PRINT #1 , " "
2640 LET U2 = U2+R5*I2
2650 PRINT #1 USING "    U.C.EIN=  ###### MV    U.C.AUS=  ###### MV" , U2 , U7
2660 PRINT #1 USING "    U.B.EIN=  ###### MV    U.B.AUS=  ###### MV" , U5 , U8
2670 PRINT #1 USING "    U.E.EIN=  ###### MV    U.E.AUS=  ###### MV" , U6 , U9
2680 PRINT #1 USING "    U.SUB. =  ###### MV" , V1
2690 PRINT #1 , CHR$(10)
2700 PRINT #1 , "    MESSWERTE:"
2710 PRINT #1 , CHR$(10)
2720 PRINT #1 , "    T  =      PS,   T  =      PS,   T  =      PS"
2730 PRINT #1 , "      DF              DR              D"
2740 PRINT #1 , CHR$(10)
2750 PRINT #1 , "=============================================================="
2760 PRINT #1 , CHR$(10)
2770 PRINT ERR
2780 GOTO 80
```

2615: Teilüberschrift.

2620: Aufruf des Unterprogramms für Berechnung und Drucken der parasitären Kapazitäten von Widerständen (Abschn. A1.3.6); eine Vorauswahl erfolgt nach Transistortyp (vgl. 30-40).

2640: U_{Cein}

2650-2680: Protokollieren aller Klemmenpotentiale des Transistors für beide Schaltzustände (ein, aus).

2690-2760: Erstellung eines Formulars für die Simulationsergebnisse.

2770: Anforderung einer Fehlerliste.

2780: Rücksprung an den Programmanfang.

A1.3.6 Unterprogramm: parasitäre Kapazitäten der Widerstände

```
2790 PRINT "ECL(1),RECL(2),NTL(3)" ;
2800 INPUT X
2810 ON X GOSUB 2830,3000,3080
2820 RETURN
2830 PRINT #1 , "ECL"
2840 LET U0 = 1500
2850 LET C0 = C*320/3
2860 GOSUB 3260
2870 LET U0 = 100
2880 LET C0 = C*160/3
2890 GOSUB 3260
2900 LET U0 = 1500
2910 LET C0 = C*320/3
2920 GOSUB 3260
2930 LET U0 = 400
2940 LET C0 = C*160/2
2950 GOSUB 3260
2960 LET U0 = 100
2970 LET C0 = C*320/3
2980 GOSUB 3260
2990 RETURN
3000 PRINT #1 , "RECL"
3010 LET U0 = 1200
3020 LET C0 = C*640/3
3030 GOSUB 3260
3040 LET U0 = 50
3050 LET C0 = C*160/3
3060 GOSUB 3260
3070 RETURN
3080 PRINT #1 , "NTL"
3090 LET U0 = 900
3100 LET C0 = C*320/3
3110 GOSUB 3260
3120 LET U0 = 100
3130 LET C0 = C*160/3
3140 GOSUB 3260
3150 RETURN
3160 PRINT #1 , "TTL"
3170 LET U0 = 350
3180 LET C0 = C*160/3
3190 GOSUB 3260
3200 RETURN
3210 PRINT #1 , "CCCL"
3220 LET U0 = 250
3230 LET C0 = C*160/3
3240 GOSUB 3260
3250 RETURN
3260 LET C1 = C0/SQR(1+U0/700)
3270 PRINT #1 USING "    C(R#)= #.#### PF" , N , C1
3280 LET N = N+1
3290 RETURN
```

2790-2810: Auswahl unter den Schaltungskonzepten ohne Clamp-Dioden.

2820: Rücksprung ins Hauptprogramm.

2830-3250: Beenden der in 2615 (Abschn. A1.3.5) begonnenen Überschrift (z.B. in 2830), Einsetzen der mittleren Sperrspannung an der Kapazität (z.B. in 2840), Berechnung der Kapazität bei 0V (z.B. in 2850), Aufruf des Programmteils zur Berechnung der parasitären Kapazität, zum Drucken und zur Einstellung der Widerstandsnummer (z.B. in 2860).

3260: Berechnen der parasitären Kapazität.

3270: Drucken einschließlich Widerstandsnummer.

3280: Nächste Widerstandsnummer.

3290: Rücksprung zur Berechnung weiterer Kapazitäten.

A1.3.7 Unterprogramm: BE-Spannung

```
3390 REM*****UNTERPROGRAMM: UBE(C)*************************************************
3400 LET V2 = 25.9*LN(I5/(X8*V5*0.846E-15))-1.6*(T-300)
3410 RETURN
```

3400: Berechnen von $U_{B'E}$ als Funktion von I'_{Cein}, x_E, y_E und T. T wird durch einen Temperaturkoeffizienten von -1,6 mV/K berücksichtigt. Die Sättigungsstromdichte von $0{,}846 \cdot 10^{-15}\,mA/\mu m^2$ ist typisch für die Basistechnologie.

A1.3.8 Unterprogramm: Mittelwert einer Sperrschichtkapazität

```
3420 REM*****UNTERPROGRAMM: C-MITTELWERT*******************************************
3430 LET U1 = 1-U1/V9
3440 LET U0 = 1-U0/V9
3450 IF U1 > 0 @AND@ U0 > 0 THEN GOTO 3480
3460 PRINT #1 , "NICHTDEFINIERT"
3470 GOTO 3500
3480 LET V9 = 1-1/X2
3490 LET C1 = C0*(U1↑V9-U0↑V9)/V9/(U1-U0+X/V9)
3500 RETURN
```

3430-3490: Auswertung von (4.51) bzw. (4.54) in mehreren Schritten.

3450-3460: Überprüfung der Gültigkeit von (4.40) für die vorgegebenen Spannungen.

A1.3.9 Unterprogramm: Beweglichkeit

```
3510 REM*****UNTERPROGRAMM: BEWEGLICHKEIT*****************************************
3520 LET V = N0/0.843999E 17
3530 LET M = 1290/(1+V↑0.72)+60
3540 LET M = M/(T/300)↑(2.5/(1+V↑0.35))
3550 RETURN
```

3520: n nach (4.66).

3530-3540: Auswertung von (4.63) in zwei Schritten mit μ_{max} aus (4.64) und μ_{min} aus (4.65).

A1.3.10: Unterprogramm: Basisbahnwiderstände

```
3560 REM*****UNTERPROGRAMM: BASISBAHNWIDERSTAENDE**********************************
3570 LET I5 = 2*I5/N
3580 LET J2 = 2*J2/N
3590 LET X8 = 2*X8/N
3600 LET R4 = R2*X8/V5/8
3610 LET R5 = R4*I5/B/25.9*300/T
3620 IF R5 < 0.01 THEN GOTO 3710
3630 LET X = ATN(R5)
3640 LET X = ATN(R5/X)
3650 LET R6 = X*TAN(X)
3660 IF ABS(R5-R6) > 0.0001 THEN GOTO 3640
3670 LET R7 = J2/I5
3680 LET R6 = ATN(R7*TAN(X))/X
3690 LET R6 = 2*R4*(LN(COS(X*R6)/COS(X))/R5-(1-R6)*R7)/(1-R7)
3700 GOTO 3730
3710 LET R7 = J2/I5
3720 LET R6 = R4*(1-R7)
```

3570-3760: Iteratives Berechnen von r_{Biaus} mit Formeln für einen Transistor mit zwei Basiskontakten.

3570-3590: Transformation von I'_{Cein}, $i_N(t_D)$ und x_E eines Transistors mit einem Basiskontakt in einen mit zwei Basiskontakten (vgl. Anmerkung zu (4.56) bis (4.61)).

3600-3610: Berechnen von r_D und η nach (4.58), (4.59).

3620: Überspringen der Iteration für $\eta < 0{,}01$.

3630-3650: Iterative Lösung von (4.61) nach v.

3660: Abbruch der Iteration bei einem Fehler von η unter 10^{-4}.

3670-3680: v_i und x'_D nach (4.57), (4.60).

3690: r_{Biaus} nach (4.56).

3710-3720: r_{Biaus} nach einer Näherung, die sich für sehr kleine η aus (4.56) ergibt, vgl. 3620.

```
3730 LET I5 = I5*N/2
3740 LET J2 = J2*N/2
3750 LET X8 = X8*N/2
3760 LET R6 = R6*2/N
3770 LET R2 = R2*X8/Y5/N↑2
3780 LET R5 = R2/3
3790 LET R4 = R2/4
3800 LET R3 = R3/N/Y5
3810 LET R4 = R4+R3
3820 LET R5 = R5+R3
3830 LET R6 = R6+R3
3840 RETURN
```

3730-3760: Rücktransformation einschließlich r_{Biaus} (3760), vgl. 3570-3590.

3770: r_{BiO} nach (4.13).

3780: innerer statischer Basisbahnwiderstand ohne Randverdrängung; er wird in dieser Arbeit nicht benötigt.

3790: r_{Biein} nach (4.62).

3800: r_{Ba}.

3810-3830: Berechnen der verschiedenen Werte von r_B einschließlich r_{Ba}.

A1.3.11 Unterprogramm: Kollektorbahnwiderstände

```
3850 REM*****UNTERPROGRAMM: KOLLEKTORBAHNWIDERSTAENDE**************************
3860 LET J3 = I5*100000/(X8*Y5)
3870 GOSUB 3920
3880 LET R5 = R1*X2/Y1
3890 LET R6 = R4*10000*Z1/(X8*Y5)
3900 RETURN
```

3860: Berechnen der Stromdichte j in der Epitaxieschicht (in A/cm^2).

3870: ϱ_C aus Unterprogramm in Abschn. A1.3.12.

3880-3890: r_{Ca} und r_{Ci}.

A1.3.12 Unterprogramm: spezifischer Widerstand der Epitaxieschicht

```
3910 REM*****UNTERPROGRAMM: SPEZ.EPIWIDERSTAND*********************************
3920 LET V = 0.138E-8*T↑1000*T
3930 LET V = (0.1602E-18*N0)↑2-(J3/V)↑2
3940 IF V > 0 THEN GOTO 3970
3950 LET R4 = R4*10
3960 GOTO 3990
3970 GOSUB 3520
3980 LET R4 = 1/(M*SQR(V))
3990 RETURN
```

3920-3930: v_{sat} nach (4.68) und Ausdruck unter der Wurzel in (4.71).

3940-3960: Ergibt sich im Laufe der iterativen Berechnung von y_E ein so kleiner Wert, daß der Ausdruck unter der Wurzel in (4.71) negativ wird, so wird ϱ_C in 3950 verzehnfacht. Das führt automatisch zu einer schrittweisen Vergrößerung von y_E.

3970: μ_{nO} aus Unterprogramm in Abschn. A1.3.9.

3980: ϱ_C nach (4.71).

A1.3.13 Unterprogramm: Clamp-Diode

```
4000 REM*****UNTERPROGRAMM: CLAMP-DIODE*****************************************
4010 LET J3 = J1*100000/(X9*Y5)
4020 LET V3 = 1.05*(690-25.9*T/300*LN(120*T↑2/J3))
4030 GOSUB 3910
4040 LET R7 = R4*10000*Z3/(X9*Y5)+R1*X3/Y1
4050 LET V3 = V3+R7*J1
4060 RETURN
```

4010: Stromdichte j in der Epitaxieschicht (in A/cm^2).

4020: U'_{SD} nach (4.21)

4030: ϱ_C aus Unterprogramm in Abschn. A1.3.12.

4040-4050: r_{SD} und U_{SD}.

A1.3.14 Unterprogramm: Entkopplungsdiode

```
4070 REM****UNTERPROGRAMM: KOPPEL-DIODE*************************************
4080 LET J3 = J4*100000/(X9*Y5)
4090 LET V4 = 1.05*(490-25.9*T/300*LN(120*T↑2/J3))
4100 GOSUB 3910
4110 LET R8 = R4*10000*Z3/(X9*Y5)+X4/Y1
4120 LET V4 = V4+R8*J4
4130 RETURN
4140 END
```

4080-4120: Berechnungen entsprechend 4010-4050, Abschn. A1.3.13.

A1.3.15 Änderungen für laterale Strukturverkleinerung

Für die in Abschn. 8.2 beschriebene laterale Strukturverkleinerung wurden im Konstantenblock einige Änderungen vorgenommen (vgl. Abschn. A1.3.4). Die geänderten Zeilen sind im nachstehenden Programmausschnitt durch einen Stern gekennzeichnet.

Parasitäre Kapazitäten von Widerständen wurden wie zuvor berechnet und lediglich vor dem Drucken durch vier dividiert.(eingefügte Zeile 3261, s.u.).

```
* 800  LET X1 = 3
* 810  LET X2 = 3.25+(N-1)*X1+X8/2
* 820  LET X3 = 4.25+X8/2+X9/2
* 830  LET X4 = 5.25+(N-1)*X1+X8/2+X9/2
* 840  LET X5 = 7+1.25*PI+(N-1)*X1+X8
* 850  LET X6 = 4.65+(N-1)*X1
* 860  LET X7 = 1.2+X8
  870  REM***RENDERUNG F.SD
  880  ON X8 GOTO 900 ,890 ,910 ,950
* 890  LET X5 = 1.75+X5+X9
  900  GOTO 930
* 910  LET X3 = 7+X8*1.5+X9/2
* 920  LET X5 = 4.5+X5+X8+X9
* 930  LET X6 = 8.3
  940  GOTO 980
  950  LET X2 = 0
* 960  LET X5 = 3+X5+3*X9
  970  REM***BREITEN O. EMITTER: RBN, CCS, CCBA, CEB
  980  LET Y1 = 0
* 990  LET Y2 = -0.5+PI*1.25
 1000 LET Y3 = 0.24
 1010 LET Y4 = 0.12
 1020 REM***TIEFEN UNTER: BASIS, LEITBASIS, SD
 1030 LET Z1 = 0.5
 1040 LET Z2 = 0.4
 1050 LET Z3 = 0.9
 1060 REM***ELEKTRISCHE DATEN/ MV,MA,PSEC,MIKROM.↑2 BEI 300K
 1070 REM***SCHICHTWID. BN, BI
* 1080 LET R1 = 40
 1090 LET R2 = 8000
 1100 REM***PRODUKT LE*RBA BEI 1 STR.
* 1110 LET R3 = 725
 1120 REM***STROMVERST.
 1130 LET B = 50


* 3261 LET C1 = C1/4
```

A2 Einschränkung des Variablenraumes bei der Bestimmung der minimalen Gatterlaufzeit

Ausgehend von einer analytischen Näherung für die Zielfunktion t_D (N_C, x_E, y_E) läßt sich zeigen, daß sich für ungesättigte Bipolarschaltungen allgemein und für Schaltungen der in dieser Arbeit untersuchten Art insbesondere der Variablenraum (N_C, x_E, y_E) drastisch auf einen kleinen Bereich einschränken läßt, in dem das Optimum (N_{C0}, x_{E0}, y_{E0}) liegt, bei dem das globale Minimum t_{Dmin} von t_D erreicht wird (Abschn. A2.2). Weiter kann eine Optimierungsroutine angegeben werden, die das Auffinden von (N_{C0}, x_{E0}, y_{E0}) mit einem relativ geringen Simulationsaufwand gestattet (Abschn. A2.3). Für diese analytischen Beweise wird vorweg eine Reihe von vereinfachenden Schreibweisen, Voraussetzungen und Hilfsmitteln zusammengestellt (Abschn. A2.1).

A2.1 Schreibweisen, Voraussetzungen und Hilfsmittel

Um die nachfolgenden Betrachtungen nicht durch Indizes zu verwirren, sollen hierfür von der übrigen Arbeit abweichende Symbole für verschiedene Größen vereinbart werden:

Emitterstreifenbreite	$x_E \rightarrow b$
Emitterstreifenlänge	$y_E \rightarrow l$
Emitterfläche ($x_E y_E$)	$A_E \rightarrow A$
Epitaxie-Dotierungskonzentration	$N_C \rightarrow N$
spezifischer Widerst. d. Epitaxie	$\varrho_C \rightarrow \varrho$
Elektronenbeweglichkeit	$\mu_{n0} \rightarrow \mu$
Mittelwerte von Kapazitäten	$\overline{C} \rightarrow C$
Mittelwerte von Bahnwiderständen	$\overline{r} \rightarrow r$

In Abschn. 6.1.3 wurde gezeigt, daß die Gatterlaufzeit t_D in guter Näherung als Linearkombination der wesentlichsten Zeitkonstanten des Gatters geschrieben werden kann:

$$t_D = [k_2(1+k_1\frac{r_B}{R})\tau_N + k_3(1+k_1\frac{r_B}{R})RC_{EB} + k_4 RC_C + k_5 RC_{CS} + k_6 RC_R]\,k_7 \qquad (A2.1)$$

mit

$$C_C = C_{CBa} + C^*_{CBi} + C_{SD} \cdot \qquad (A2.1a)$$

Dabei ist C^*_{CBi} der entsprechend (4.54) modifizierte Mittelwert von C_{CBi}, für Schaltungen ohne Schottky-Dioden wird $C_{SD}=0$ gesetzt, k_1 bis k_7 sind etwa konstant und R ist ein willkürlich gewählter (konstanter) Bezugswiderstand.

Will man die elektrischen Größen in (A2.1) durch die Optimierungsvariablen N (bzw. φ), b und l ersetzen, so muß man zunächst geeignete Näherungen für die elektrischen Parameter selbst aufstellen und damit die Zeitkonstanten in (A2.1) ausdrücken (Tab. A2.1).

Tab. A2.1: Ausdrücken der elektrischen Größen durch N, b und l, hier ist C_{CBi} nicht modifiziert.

Lage in der vereinfachten Draufsicht auf einen Transistor mit zwei Basiskontakten gekennzeichnet durch Schraffur oder fette Linien (C B E B)	elektrische Größe	proportional zu (Opt.var.)	Zeitkonstante in (A2.1)	proportional zu (Opt.var.)	Proportionalitätsfaktor in (A2.3)
	τ_N	const	τ_N	const	a_1
	R	const	$\tau_N r_{Ba}/R$	1/l	a_2
	r_{Ba}	1/l	$\tau_N r_{Bi}/R$	b/l	a_3
	r_{Bi}	b/l	RC_{EBr}	l	a_4
	r_{Ci}	φ/bl	RC_{EBb}	bl	a_5
	C_{EBr}	l	$r_{Ba}C_{EBr}$	const	a_1(s.o.)
	C_{EBb}	bl	$r_{Bi}C_{EBr}$	b	a_6
	C_{CBa}	$l\sqrt{N}$	$r_{Ba}C_{EBb}$	b	a_6(s.o.)
	C_{CBi}	$bl\sqrt{N}$	$r_{Bi}C_{EBb}$	b^2	a_7
	C_{SD}	$bl\sqrt{N}$	RC_{CBa}	$l\sqrt{N}$	a_8
	C_{CSar}	const	$R(C_{CBi}+C_{SD})$	$bl\sqrt{N}$	a_9
	C_{CSab}	l	$r_{Ci}C_{CBi}$	$\varphi\sqrt{N}$	a_{10}
	C_{CSir}	b	RC_{CSar}	const	a_1(s.o.)
	C_{CSib}	bl	RC_{CSab}	l	a_4(s.o.)
	C_R	$\sqrt{N}$	RC_{CSir}	b	a_6(s.o.)
			RC_{CSib}	bl	a_5(s.o.)
			RC_R	$\sqrt{N}$	a_{11}

Mit der Hilfsgröße

$$n = \sqrt{N} \qquad \text{(A2.2)}$$

zur Vereinfachung der Schreibweise läßt sich (A2.1) als Zielfunktion $t_D(N, b, l)$ ausdrücken:

$$t_D = a_1 + \frac{a_2}{l} + \frac{a_3 b}{l} + a_4 l + a_5 bl + a_6 b + a_7 b^2 + a_8 ln + a_9 bln + a_{10} \varrho n + a_{11} n \quad .(A2.3)$$

Darin ist ϱ eine Funktion von N und über die Stromdichte auch eine Funktion von b und l. Allerdings soll die Abhängigkeit von b und l vernachlässigt werden; das ist aus drei Gründen möglich:

1) Bei der Betriebstemperatur T_0=300K ergibt sich für die untersuchten Gatter im Höchstfall eine Feldstärke von E=250mV/0,5µm =5kV/cm. Damit kann sich nach (4.67) und (4.70) ϱ höchstens um 16% gegenüber ϱ (E=0) vergrößern. Berücksichtigt man den geringen Einfluß von $r_{Ci} C_{CBi}$ auf t_D, so ist dieser Fehler vernachlässigbar.

2) Auch bei höheren Feldstärken ist der Einfluß des Produktes b·l auf t_D über ϱ und $r_{Ci} C_{CBi}$ gegenüber dem über RC_{EBb} sicher vernachlässigbar.

3) Ein wesentlicher Teil der folgenden Beweise bezieht sich auf die Sättigungsgrenze. Hier ist für $T=T_S$ und(damit in guter Näherung auch bei T_0) E=const (Abschn.4.5.2), d.h. ϱ ist unabhängig von bl.

Zur Vereinfachung der Ableitungen wird (4.63) durch folgende Näherung ersetzt:

$$\mu = \frac{\mu'_{max}}{1+(N/N_R)^{\alpha}} \quad , \qquad (A2.4)$$

$$\mu'_{max} = (\mu_{max} - \mu_{min}) \left(\frac{T}{300K}\right)^{\frac{-2,5}{1+(N/N_R)^{0,35}}} \quad , \qquad (A2.5)$$

$$N_R = 8,5 \cdot 10^{16} cm^{-3} \quad , \quad \alpha = 0,72 \quad . \qquad (A2.6)$$

Für den betrachteten Bereich $N \leq 3,5 \cdot 10^{16} cm^{-3}$ muß diese Näherung nicht ungenauer sein als (4.63), da bereits (4.63) durch Anpassung an Meßwerte entstand. Aus (A2.4) ergibt sich mit (A2.2)

$$\frac{N}{\mu}\frac{d\mu}{dN} = -\frac{\alpha}{1+(N_R/N)^{\alpha}} \quad , \quad \frac{n}{\mu}\frac{d\mu}{dn} = -\frac{2\alpha}{1+(N_R/N)^{\alpha}} \quad . \qquad (A2.7)$$

Dieser Zusammenhang wird in der Ableitung von ϱ aus (4.70) nach N bzw. n benötigt:

$$\frac{N}{\varrho}\frac{d\varrho}{dN} = -\left(1+\frac{N}{\mu}\frac{d\mu}{dN}\right) \quad , \quad \frac{n}{\varrho}\frac{d\varrho}{dn} = -\left(2+\frac{n}{\mu}\frac{d\mu}{dn}\right) \quad . \qquad (A2.8)$$

Zur Veranschaulichung der Diskussion der Zielfunktion (A2.3) wird eine schematische Darstellung des in Bild 4.26 detailliert gezeigten Variablenraumes verwendet. Sie wird in Bild A2.1 näher erläutert. Mit j_0 wird die Stromdichte bezeichnet, die sich bei T_0 einstellt, wenn bei $T=T_S$ die Sättigungsgrenze erreicht wird ($j=j_S$, vgl. Abschn.4.5.2).

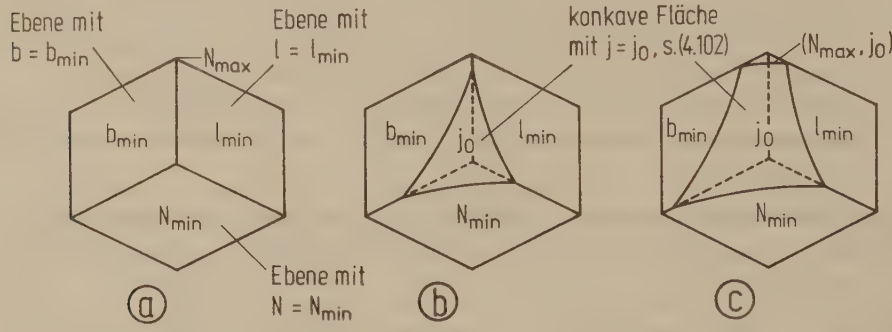


Bild A2.1: Schematische Darstellung des Variablenraumes (N, b, l) - (a) für sehr kleine, (b) für mittlere, (c) für große Werte der Verlustleistung pro Gatter.

Die Zielfunktion (A2.3) enthält eine Reihe von Vernachlässigungen. Würde man mit dieser Funktion das Optimum (N_0, b_0, l_0) bestimmen, bei dem $t_D=t_{Dmin}$ ist, so wäre dieses mit entsprechenden Fehlern behaftet. Diese Fehler werden aber dadurch wieder eliminiert, daß die Optimierung durch Simulation erfolgt. Für die Beweise in den folgenden Abschnitten genügt es, wenn die relativen Änderungen der Konstanten a_1 bis a_{11} gegenüber den Änderungen der Optimierungsvariablen vernachlässigbar sind. Diese Forderung ist sicher erfüllt, denn die Änderung dieser Konstanten im gesamten Variablenraum ist so gering, daß ein eventuelles zusätzliches lokales Minimum aufgrund des Simulationsfehlers garnicht feststellbar wäre.

A2.2 Mögliche Lage des Optimums im Variablenraum

Im folgenden soll schrittweise nachgewiesen werden, daß das Optimum (N_0, b_0, l_0) für die in Abschn. 3.1 zusammengestellten Schaltungen bei Verwendung der in Abschn. 4.2 beschriebenen Technologie immer auf den Schnittkurven (b_{min}, j_0), (N_{max}, j_0) oder (l_{min}, j_0) liegt (Bild A2.1b,c) oder, sofern aufgrund sehr kleiner Verlustleistung keine Sättigung auftreten kann, im Punkt (N_{min}, b_{min}, l_{min}).

Darüberhinaus werden Angaben gemacht, die die Anwendung der Ergebnisse u.U. mit Einschränkungen auch auf andere Schaltungen und Technologien ermöglichen.

Für die partielle Ableitung der Zielfunktion (A2.3) nach b gilt

$$\frac{\partial t_D}{\partial b} = \frac{a_3}{l} + a_5 l + a_6 + 2a_7 b + a_9 ln > 0 \quad . \tag{A2.9}$$

Demnach kann das Optimum (allgemein) nur auf b_{min} oder j_0 liegen (Bild A2.2).

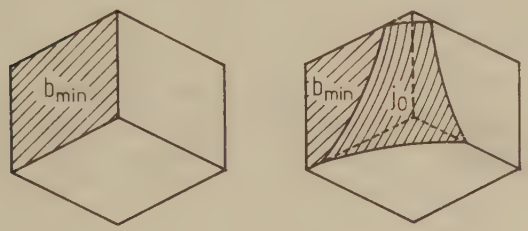


Bild A2.2: Erste allgemein gültige Einschränkung für die Lage des Optimums (schraffierte Flächen).

Sind b und l konstant, so ergibt sich mit (A2.8)

$$n\frac{dt_D}{dn} = a_8 ln + a_9 bln + a_{10} n(n\frac{d\varrho}{dn} + \varrho) + a_{11}$$

$$= a_8 ln + a_9 bln - a_{10}\varrho n(1 + \frac{n}{\mu}\frac{d\mu}{dn}) + a_{11} \quad . \tag{A2.10}$$

Nach (A2.7) wird der Betrag des negativen Terms in (A2.10) für $N \to 0$ am größten, und man erhält

$$n\frac{dt_D}{dn} > a_8 ln + a_9 bln - a_{10}\varrho n \quad , \tag{A2.11}$$

bzw. durch Koeffizientenvergleich mit (A2.1), (A2.1a) und $k_7=1$ [1]

$$n\frac{dt_D}{dn} > k_4 R(C_{CBa} + C_{CBi} + C_{SD}) - k_4 r_{Ci} C_{CBi} \quad . \tag{A2.12}$$

Da der Einfluß der Zeitkonstante $r_{Ci}C_{CBi}$ hauptsächlich durch die Vergrößerung des Hubes an C_{CBi} um $r_{Ci}I_C'$ gegenüber dem Hub $\Delta U_{C''B}$ an C_{CBa} hervorgerufen wird, ergibt sich aus (A2.12) mindestens ($C_{SD}=0$)

1) Hier und im folgenden wird bei Koefizientenvergleichen immer $k_7=1$ angenommen; dies hat qualitativ keinen, quantitativ nur einen vernachlässigbar geringen Einfluß auf die Beweisführung.

$$n\frac{dt_D}{dn} > k_4 R\left(C_{CBa}+C_{CBi}-\frac{r_{Ci}I'_C}{\Delta U_{C''B}}C_{CBi}\right) . \qquad (A2.12a)$$

Bei Beschränkung auf b_{min} (s.o.) ist bei realistischen Technologien sicher $C_{CBa}>2C_{CBi}$, sodaß dt_D/dn positiv wird, wenn die Bedingung

$$r_{Ci}I'_C/\Delta U_{C''B} < 3 \qquad (A2.13)$$

erfüllt ist. Da diese Grenze in realistischen Schaltungen nicht erreicht wird, kann die mögliche Lage des Optimums allgemein auf die Schnittgerade (b_{min}, N_{min}) oder die Fläche j_0 eingeschränkt werden (Bild A2.3).

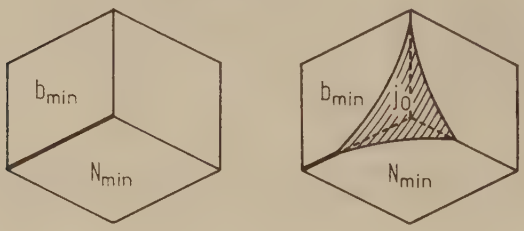


Bild A2.3: Zweite allgemein gültige Einschränkung für die Lage des Optimums (fette Linie bzw. schraffierte Fläche).

Die partielle Ableitung von (A2.3)

$$\frac{\partial t_D}{\partial I} = -\frac{a_2}{I^2}-\frac{a_3 b}{I^2}+a_4+a_5 b+a_8 n+a_9 bn \qquad (A2.14)$$

hat genau eine Nullstelle. Durch erneuten Koeffizientenvergleich erhält man für diese Nullstelle die Bedingung

$$R^2 = \frac{k_1 k_2 r_B \tau_N}{k_3 C_{EB}+k_4(C_{CBa}+C_{CBi}+C_{SD})+k_5 C_{CSb}} . \qquad (A2.15)$$

Wertet man diese Beziehung mit der Einschränkung nach Bild A2.3 für die Schaltungen aus Abschn. 3.1 aus, so zeigt sich, daß der Wert R zu Stromdichten führt, die mindestens um den Faktor 1,4 bei der FECL, sonst 4,4 (ECL) bis 5,9 (NTL) über j_0 liegen. Bei Schaltungen dieser Art kann also das Optimum nur im Punkt (N_{min}, b_{min}, I_{min}) bzw. auf der Fläche j_0 liegen (Bild A2.4).

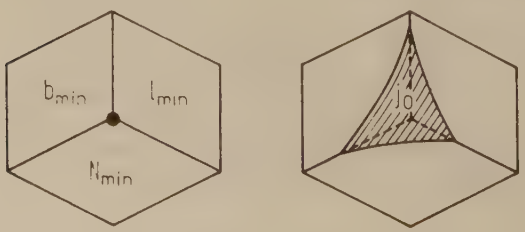


Bild A2.4: Dritte Einschränkung für die Lage des Optimums (fetter Punkt bzw. schraffierte Fläche).

Auch auf der Fläche $j=j_0$ läßt sich die mögliche Lage des Optimums noch einschränken. Um das zu zeigen, werden zwei Hilfsfunktionen benötigt:

$$f_{bn} = b\frac{dt_D}{db}\bigg|_{\substack{n=const\\A=const}} = \frac{a_2}{l} + \frac{2a_3b}{l} - a_4 l + a_6 b + 2a_7 b^2 - a_8 ln \ , \qquad (A2.16)$$

$$f_{nbl} = n\frac{dt_D}{dn}\bigg|_{b/l=const} = f_S\left(-\frac{a_2}{2l} + \frac{a_4 l}{2} + a_5 bl + \frac{a_6 b}{2} + a_7 b^2 + a_8 ln + a_9 bln\right)$$

$$+ a_5 ln + a_9 bln + a_{10}\varrho n\left(\frac{n}{\varrho}\frac{d\varrho}{dn} + 1\right) + a_{11} n . \qquad (A2.17)$$

In (A2.17) ist die Bedingung $j=j_0$ durch die Funktion

$$f_S = \frac{n}{A}\frac{dA}{dn} < 0 \qquad (A2.18)$$

enthalten. Mit (A2.6) bis (A2.8) läßt sich außerdem zeigen, daß

$$\left(\frac{n}{\varrho}\frac{d\varrho}{dn} + 1\right) < 0 \qquad (A2.19)$$

im Bereich

$$0 < N < 2{,}6 \cdot 10^{17} cm^{-3} \ , \qquad (A2.20)$$

d.h. bei realistischen Dotierungskonzentrationen der Epitaxieschicht, allgemein gilt.

Unter bestimmten Voraussetzungen (s.u.) ist auf der gesamten Fläche j_0 entweder $f_{bn} > 0$ oder $f_{nbl} < 0$, d.h. es läßt sich immer eine Kurve auf der Fläche j_0 finden, entlang der t_D stetig fällt und die an einer der Schnittkurven (N_{max}, j_0), (b_{min}, j_0) oder (l_{min}, j_0) endet. Falls $f_{bn} \leq 0$ ist, gilt

$$\frac{a_2}{l} + \frac{2a_3b}{l} \leq a_4 l - a_6 b - 2a_7 b^2 + a_8 ln \ . \qquad (A2.21)$$

Für die in Abschn. 4.2 beschriebene Technologie ist etwa $r_{Bi} > 3r_{Ba}$. Verringert man den Spielraum bei der Auswertung von (A2.21) auf $r_{Bi} > r_{Ba}$ (was mit gebräuchlichen Technologien für schnelle Schaltungen erreichbar sein dürfte), so kann man nach einem Koeffizientenvergleich (Tab. A2.1) die Beziehung (A2.21) umschreiben in

$$3\frac{a_2}{l} < a_4 l - a_6 b - 2a_7 b^2 + a_8 ln \ . \qquad (A2.22)$$

Setzt man dies in (A2.17) ein, so erhält man

$$f_{nbl} < f_S\left(\frac{a_4 l}{3} + a_5 bl + \frac{2a_6 b}{3} + \frac{4a_7 b^2}{3} + \frac{5}{6}a_8 ln + a_9 bln\right)$$

$$+a_8 ln + a_9 bln + a_{10}\varrho n\left(\frac{n}{\varrho}\frac{d\varrho}{dn} + 1\right) + a_{11} n \quad . \qquad \text{(A2.23)}$$

Geht man davon aus, daß bei sinnvollen Entwurfsregeln der durch $a_{11}n$ beschriebene Einfluß von C_R wesentlich kleiner ist als die in (A2.23) bewerteten Teileinflüsse von C_{EB} $(a_4 l \ldots a_7 b^2)$ [1] und berücksichtigt (A2.19), so läßt sich (A2.23) vereinfachen:

$$f_{nbl} < f_S\left(\frac{5}{6}a_8 ln + \frac{5}{6}a_9 bln\right) + a_8 ln + a_9 bln \quad . \qquad \text{(A2.24)}$$

Danach ist $f_{nbl}<0$ und somit die oben genannte Behauptung ($f_{bn}>0$ oder $f_{nbl}<0$ für $j=j_0$) erfüllt, falls für f_S nach (A2.18) die Einschränkung

$$f_S < -\frac{6}{5} \qquad \text{(A2.25)}$$

erfüllt ist. Wie in Abschn. A2.4 noch gezeigt wird, gilt (A2.25) sicher für die vorliegende Arbeit, wobei sich für f_S noch ein erheblicher Spielraum ergibt, der die Ausweitung der Gültigkeit dieses Beweises auch auf geringere Epitaxieschichtdicken w_C und weitere Bereiche von N_C ermöglicht. Die mögliche Lage des Optimums ist also für Schaltungen der in Abschn. 3.1 beschriebenen Art auf den Punkt (N_{min}, b_{min}, l_{min}) oder die Schnittlinien zwischen der Fläche j_0 und den Flächen b_{min}, N_{max}, l_{min} eingeschränkt (Bild A2.5). Allgemein kommt höchstens die Schnittgerade (b_{min}, N_{min}) hinzu (vgl. Bild A2.3).

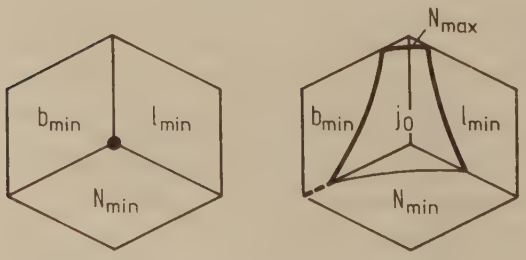


Bild A2.5: Endgültige Einschränkung für die Lage des Optimums (fetter Punkt bzw. fetter Kurvenzug für Schaltungen dieser Arbeit, im allgemeinen Fall kommt die gestrichelte Linie hinzu).

1) Dabei wird $|f_S|>1$ angenommen, was durch die sich ergebende Forderung (A2.25) sowie später in Abschn. 2.4 bestätigt wird.

A2.3 Optimierungsroutine

In diesem Abschnitt wird gezeigt, wie man auf den nach Abschn. A2.2 für die Lage des Optimums verbleibenden Kurven schnell und sicher das globale Minimum t_{Dmin} der Gatterlaufzeit t_D findet. Dazu sollen vorweg wieder einige Hilfsfunktionen auf der Fläche $j=j_0$ definiert werden:

$$f'_{bn} = b^2 \frac{d^2 t_D}{db^2}\bigg|_{\substack{n=const\\A=const}} = 2\left(\frac{a_3 b}{l} + a_4 l + a_7 b^2 + a_8 l n\right) > 0 \,, \tag{A2.26}$$

$$f'_{nb} = n^2 \frac{d^2 t_D}{dn^2}\bigg|_{b=const} = f'_S\left(-\frac{a_2}{l} - \frac{a_3 b}{l} + a_4 l + a_5 b l + a_8 l n + a_9 b l n\right)$$

$$+2f_S^2\left(\frac{a_2}{l} + \frac{a_3 b}{l}\right) + 2f_S(a_8 l n + a_9 b l n) + a_{10}\varrho n\left(\frac{n^2}{\varrho}\frac{d^2\varrho}{dn^2} + \frac{2n}{\varrho}\frac{d\varrho}{dn}\right), \tag{A2.27}$$

$$f'_{nl} = n^2 \frac{d^2 t_D}{dn^2}\bigg|_{l=const} = f'_S\left(\frac{a_3 b}{l} + a_5 b l + a_6 b + 2a_7 b^2 + a_9 b l n\right)$$

$$+2f_S^2 a_7 b^2 + 2f_S a_9 b l n + a_{10}\varrho n\left(\frac{n^2}{\varrho}\frac{d^2\varrho}{dn^2} + \frac{2n}{\varrho}\frac{d\varrho}{dn}\right) . \tag{A2.28}$$

Darin sind f_S (vgl. (A2.18)) und f'_S Funktionen, die $j=j_0$ berücksichtigen:

$$f_S = \frac{n}{A}\frac{dA}{dn} = \frac{n}{l}\frac{dl}{dn}\bigg|_{b=const} = \frac{n}{b}\frac{db}{dn}\bigg|_{l=const} < 0 \,, \tag{A2.29}$$

$$f'_S = \frac{n^2}{A}\frac{d^2 A}{dn^2} = \frac{n^2}{l}\frac{d^2 l}{dn^2}\bigg|_{b=const} = \frac{n^2}{b}\frac{d^2 b}{dn}\bigg|_{l=const} > 0 \,. \tag{A2.30}$$

Auf jeder der für die Lage des Optimums infrage kommenden Schnittkurven (Bild A2.5) gibt es nur ein Minimum von t_D; dies kann leicht bewiesen werden: (A2.14) hat genau eine Nullstelle; damit existiert auf der Schnittgeraden (N_{min}, b_{min}) nur ein Minimum von t_D. Nach (A2.26) ist die zweite Ableitung von t_D nach n entlang einer Kurve mit n=const und damit auch für $N=N_{max}$ positiv; d.h. die erste Ableitung steigt monoton mit n, sodaß sich auf der Schnittkurve (N_{max}, j_0) maximal ein Minimum von t_D ergibt.

Mit (A2.7) und (A2.8) läßt sich nachweisen, daß der Term mit a_{10} in (2.27) und (2.28) für jedes n positiv ist. Dann ist sicher

$f'_{nl} > 0$ für

$$f'_S > -2f_S \ . \tag{A2.31}$$

Weiter ist sicher $f'_{nb}>0$, wenn zusätzlich zu (A2.31) noch die Bedingung

$$f'_S < 2f_S^2 \tag{A2.32}$$

erfüllt wird. In Abschn. A2.4 wird gezeigt, daß (A2.31) und (A2.32) für diese Arbeit und noch darüber hinaus gültig sind. Man kann also schließen, daß es auch entlang den Schnittkurven (b_{min}, j_0) und (l_{min}, j_0) jeweils höchstens ein Minimum von t_D gibt.

Man würde also das globale Minimum finden, indem man die Minima auf den vier Schnittkurven in Bild A2.5 bestimmt (bezüglich dieser Arbeit nur drei Schnittkurven) und das niedrigste heraussucht.

Diese Suche kann mit Hilfe der beiden folgenden Hilfsfunktionen noch stark vereinfacht werden.

$$f_{nb} = n\frac{dt_D}{dn}\Big|_{b=const} = f_S(-\frac{a_2}{l} - \frac{a_3 b}{l} + a_4 l + a_5 bl + a_8 ln + a_9 bln$$
$$+ a_8 ln + a_9 bln + a_{10}\varrho n(\frac{n}{\varrho}\frac{d\varrho}{dn} + 1) + a_{11} n \ , \tag{A2.33}$$

$$f_{nl} = n\frac{dt_D}{dn}\Big|_{l=const} = f_S(\frac{a_3 b}{l} + a_5 bl + a_6 b + 2a_7 b^2 + a_9 bln)$$
$$+ a_8 ln + a_9 bln + a_{10}\varrho n(\frac{n}{\varrho}\frac{d\varrho}{dn} + 1) + a_{11} n \tag{A2.34}$$

mit f_S aus (A2.18) bzw. (A2.29). Findet man auf der Geraden (N_{min}, b_{min}) ein Minimum, so folgt für den Anfang (N_{min}, b_{min}, j_0) der Kurve (b_{min}, j_0) aus (A2.14)

$$-\frac{a_2}{l} - \frac{a_3 b}{l} + a_4 l + a_5 bl + a_8 ln + a_9 bln < 0 \ ; \tag{A2.35}$$

weiter ergibt sich mit (A2.7), (A2.8)

$$a_{10}\varrho n(\frac{n}{\varrho}\frac{d\varrho}{dn} + 1) > -a_{10}\varrho n \ . \tag{A2.36}$$

Setzt man diese Beziehungen in (A2.33) ein, so erhält man

$$f_{nb} > a_8 ln + a_9 bln - a_{10}\varrho n \ . \tag{A2.37}$$

Es wurde bereits mit (A2.10) ff gezeigt, daß die rechte Seite von (A2.37), also auch f_{nb} positiv ist. Man findet also auf der Schnitt-

kurve (b_{min}, j_0) in diesem Fall kein Minimum für steigendes N.

Aufgrund (A2.25), (A2.19) und des geringen Einflusses von C_R auf t_D (a_{11}^n klein) kann praktisch nur für

$$\frac{a_2}{l} + \frac{a_3 b}{l} > a_4 l + a_5 bl + a_8 ln + a_9 bln \qquad \text{(A2.38)}$$

$f_{nb} > 0$ werden. Setzt man diese Beziehung in (A2.16) ein, so folgt zwangsläufig aus $f_{nb} > 0$ auch $f_{bn} > 0$. Gibt es also auf der Schnittkurve (b_{min}, j_0) ein Minimum, so ist im Punkt (N_{max}, b_{min}, j_0) f_{nb} und damit auch f_{bn} positiv. Auf der Kurve (N_{max}, j_0) findet man dann kein Minimum für steigendes b.

Etwas schwieriger ist der Nachweis, daß das globale Minimum nicht auf der Schnittkurve (l_{min}, j_0) liegt, wenn auf einer der übrigen Schnittkurven bereits ein lokales Minimum gefunden wurde. In einer umfangreichen Rechnung kann aber gezeigt werden, daß ein lokales Minimum auf der Schnittkurve (l_{min}, j_0) immer höher liegt als die lokalen Minima auf den übrigen Schnittkurven; Voraussetzungen für diese Rechnung waren (A2.19) und der Bereich

$$-2 \leq f_S < -1 \; . \qquad \text{(A2.39)}$$

Damit führt die folgende einfache Optimierungsroutine zum globalen Minimum von t_D: Man bestimmt t_D entlang dem Schnittkurvenzug in Bild A2.6 in der Reihenfolge (N_{min}, b_{min}) - (b_{min}, j_0) - (N_{max}, j_0) - (l_{min}, j_0) entsprechend der Pfeilrichtung in Bild A2.6 (die Suche auf (N_{min}, b_{min}) entfällt in dieser Arbeit). Das erste lokale Minimum, was man unter Einhaltung dieser Richtung findet, ist bereits das globale Minimum.

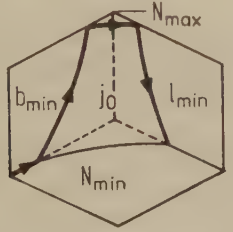


Bild A2.6: Vorzugssuchrichtung für das globale Minimum t_{Dmin} der Gatterlaufzeit t_D.

A2.4 Diskussion der Sättigungsgrenze

Bezüglich der Funktionen f_S nach (A2.18) bzw. (A2.29) und f'_S nach (A2.30) wurden für die Beweise einige Forderungen aufgestellt, die im folgenden diskutiert werden sollen.

In Abschn. 4.5.2 wurde die Sättigungsfläche ($j=j_0$) dadurch definiert, daß dort bei $T=T_S$ die Sättigungsgrenze erreicht wird. In der Grenzbedingung (4.100) sind die Größen I_C' und U_{rci} Funktionen des Schaltungskonzeptes und der Temperatur, können also im Zuge der Optimierung (Schaltungskonzept und Temperatur vorgegeben) zusammen mit q und w_C in einer Konstanten zusammengefaßt werden.

Die Beweglichkeit μ_n in (4.100) enthält noch die Abhängigkeit von der elektrischen Feldstärke E entsprechend (4.67). Da aber nach (4.98) die Feldstärke an der Sättigungsgrenze konstant ist, kann man μ_n ersetzen durch die Beweglichkeit bei E=0 (Schreibweise im vorliegenden Anhang: u) und eine entsprechende Korrektur der o.g. Konstanten. Mit dieser (nun von Temperatur, Schaltungskonzept und über w_C von der Technologie abhängigen) Konstanten und der im vorliegenden Anhang verwendeten Schreibweise läßt sich (4.100) nun folgendermaßen ausdrücken:

$$A = k_A/\mu N = k_A/\mu N \quad . \tag{A2.40}$$

Daraus lassen sich mit (A2.7) die Funktionen f_S und f_S' berechnen:

$$f_S = -2 + \frac{2\alpha}{1+(N_R/N)^\alpha} \quad , \tag{A2.41}$$

$$f_S' = 6 - \frac{2\alpha(5-\alpha)}{1+(N_R/N)^\alpha} \quad . \tag{A2.42}$$

Mit diesen Gleichungen läßt sich bestimmen, für welche Bereiche der Dotierungskonzentration N der Epitaxieschicht die verschiedenen Forderungen an f_S und f_S' erfüllt sind. Die Ergebnisse sind in Tab. A2.2 zusammengefaßt.

Tab. A2.2: Forderungen an die Funktionen f_S und f_S' nach (A2.18), (A2.29) bzw. (A2.30) und die Bereiche von N, für die diese Forderungen erfüllt sind.

Forderung	Gleichungsnr.	erfüllt für
$f_S < 0$	(A2.18), (A2.29)	$N > 0$
$f_S < -\frac{6}{5}$	(A2.25)	$N < 1{,}1 \cdot 10^{17} cm^{-3}$
$f_S \geq -2$	(A2.39)	$N \geq 0$
$f_S' > 0$	(A2.30)	$N > 0$
$f_S' > -2f_S$	(A2.31)	$N > 0$
$f_S' < 2f_S^2$	(A2.32)	$N < 5{,}9 \cdot 10^{16} cm^{-3}$

Verglichen mit dem Bereich

$$2{,}5\cdot10^{15}\,\mathrm{cm}^{-3} \leq N \leq 3{,}5\cdot10^{16}\,\mathrm{cm}^{-3} \qquad \text{(A2.43)}$$

ergibt sich also noch ein erheblicher Spielraum für die Gültigkeit der Beweise in Abschn. A2.2 und A2.3. Insbesondere für kleine Werte von N werden die Forderungen in Tab. A2.2 problemlos erfüllt, solange das in dieser Arbeit verwendete Sättigungsmodell zugrundegelegt wird. Gerade bei niedrigen Dotierungskonzentrationen zeichnet sich aber bereits die Grenze für die Gültigkeit dieses Modells ab. Deshalb soll am Schluß dieses Abschnitts noch ein Hinweis darauf gegeben werden, welche Bedingungen durch eine Sättigungsgrenze, die von der hier verwendeten abweicht, eingehalten werden müssen.

Aus dem Schluß von Abschn. 4.3.1 geht hervor, daß die Stromdichte j_S an der Sättigungsgrenze mit abnehmenden Werten von N und w_C zunehmend größer wird als der in dieser Arbeit verwendete Grenzwert. Da für die im Betrieb auftretende Stromdichte $j_0 \sim j_S$ gilt, läßt sich diese nichtideale Erhöhung der Stromdichte durch Bild A2.7 beschreiben.

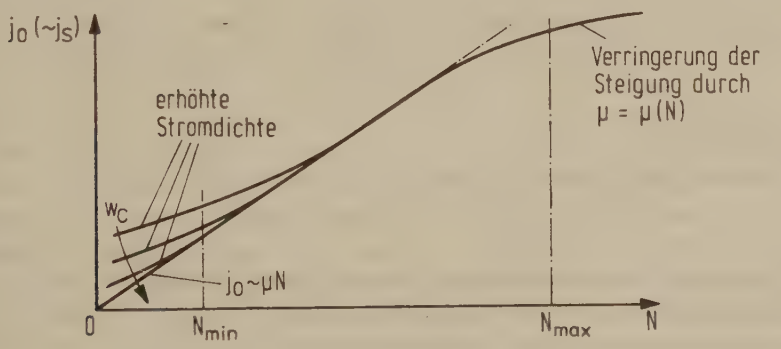


Bild A2.7: Nichtideale Erhöhung der maximalen Stromdichte, qualitative Darstellung.

Allgemein ergibt sich mit $N=n^2$ und $A=I_C'/j_0$ aus (A2.29) bzw. (A2.30)

$$f_S = -2\,\frac{N}{j_0}\,\frac{dj_0}{dN}\,, \qquad \text{(A2.44)}$$

$$f_S' = 8\left(\frac{N}{j_0}\frac{dj_0}{dN}\right)^2 - 2\frac{N}{j_0}\frac{dj_0}{dN} - 4\frac{N^2}{j_0}\frac{d^2j_0}{dN^2} \quad . \tag{A2.45}$$

Eine erneute Auswertung der Forderungen in Tab. A2.2 zeigt, daß für die Funktionen in Bild A2.7 bei kleinen Werten von N die Bedingung $f_S' > -2f_S$ am schwierigsten zu erfüllen ist; mit (A2.44) und (A2.45) wird diese Bedingung erfüllt durch

$$\frac{N}{j_0}\frac{dj_0}{dN} > \frac{3}{8} + \sqrt{\frac{9}{64} + \frac{1}{2}\frac{N^2}{j_0}\frac{d^2j_0}{dN^2}} \quad . \tag{A2.46}$$

A3 Analogrechner zur Schaltungssimulation

In den folgenden Abschnitten werden einige in Abschn. 5.3 angesprochene Teilprobleme behandelt, die im Zusammenhang mit der Genauigkeit und den Anwendungsgrenzen des Analogrechners stehen oder für dessen Weiterentwicklung nützlich sind. Noch ausführlichere Beschreibungen sind im Handbuch [75] zu finden. Dieses Handbuch enthält eine zusammenhängende Bedienungsanleitung, eine Beschreibung von Funktion und Dimensionierung der Teile des Analogrechners, detaillierte Angaben über die Genauigkeit der Analogbauelemente und Anleitungen für Bau, Test und Wartung des Analogrechners.

A3.1 Netzteil

Als Versorgungsspannungen für die Einschübe des Analogrechners waren ursprünglich ±15V vorgesehen (was auch z.T. aus der Frontplattenbeschriftung hervorgeht.) Dieser Wert ist typisch für handelsübliche Operationsverstärker und wäre auch beibehalten worden, wenn ein konventionelles Netzteil verwendet worden wäre.

Aus Verlustleistungs- und Platzgründen wurde jedoch ein Schaltnetzteil verwendet, wobei für Leistungsübertragung, Spannungstransformation und galvanische Trennung ein Sperrwandler verwendet wurde. Diese Schaltung ist zwar besonders einfach, dafür aber ist eine exakte Ausregelung von Lastschwankungen sehr schwierig [76]. Deshalb wurde als typischer Versorgungsspannungswert ±16V vorgegeben (Last ca. 2x1A); dieser verringert sich bei maximaler Belastung (ca. 2x2A) auf typisch ±15,5V, d.h. auch bei relativ großen Bauelementetoleranzen der Regelschaltung werden die ursprünglich vorgesehenen ±15V nicht unterschritten [75].

Schwierigkeiten ergeben sich u.U. durch die ausgangsseitigen Störspannungen des Sperrwandlers. Ihre hochfrequenten Anteile (Größenordnung 1MHz) werden teilweise auf die Klemmen der Analogbauelemente übertragen und führen so zu Auswertungsschwierigkeiten bei Nutzspannungen von nur wenigen mV oder darunter. Da bei Digitalschaltungen diesbezüglich keine Probleme auftreten, wurde auf eine mögliche aber aufwendige weitergehende Entstörung [76] verzichtet. In Einzelfällen kann man sich mit einem Labornetzgerät behelfen; geeignete Anschlußbuchsen befinden sich auf den Frontplatten mehrerer Einschubtypen.

A3.2 Frequenzgangkompensation beim Analogtransistor

Die Analogtransistorschaltung (Bild 5.8) enthält eine Vielzahl miteinander verketteter Rückkopplungsschleifen, deren Eigenschaften darüberhinaus noch von der Einstellung der Potentiometer, dem Arbeitspunkt des Analogtransistors und den Abschlüssen an seinen Klemmen abhängen. Eine Lösung des Problems der Frequenzgangkompensation ist deshalb mit vertretbarem Aufwand nicht möglich. Die Dimensionierung der Elemente zur Frequenzgangkompensation beschränkt sich daher auf die kritischsten Rückkopplungsschleifen (die sich über T in Bild 5.8 schließen), wobei noch die Stabilitätsbedingungen bezüglich Gleichtakt- und Differenzverstärkung der Operationsverstärker getrennt erfüllt wurden. Verbleibende Mängel wurden experimentell anhand eines Testprogramms behoben. Im folgenden sollen nur die wichtigsten Gesichtspunkte der Frequenzgangkompensation besprochen werden; ausführlichere Information enthält [75].

Zur Dimensionierung der Elemente für die Frequenzgangkompensation genügen als Hilfsmittel stark vereinfachte Bode-Diagramme. Da außerdem die verschiedenen Zeitkonstanten der Frequenzgänge hier immer ausreichend gut voneinander entkoppelt sind, kann man sich jeweils auf den Amplitudengang beschränken, da er in diesem Fall eindeutige Aussagen über den Phasengang ermöglicht.

Als Hilfsmittel soll zunächst der Frequenzgang

$$\underline{V}_u = - \frac{V_{u0}(1+j\omega T_3)}{(1+j\omega T_1)(1+j\omega T_2)(1+j\omega T_4)} \qquad \text{(A3.1)}$$

mit $T_1 > T_2 > T_3 > T_4$ diskutiert werden, der in Bild A3.1 skizziert ist.

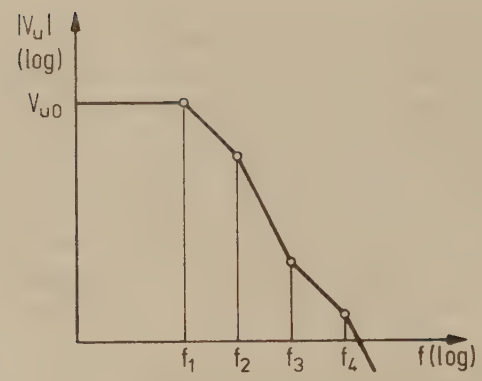


Bild A3.1: Frequenzgang nach (A3.1) mit $f_i = 1/(2\pi T_i)$, $i = 1,2,3,4$.

Liegen f_1 und f_2 sowie f_3 und f_4 hinreichend weit auseinander, so läßt sich V_u zwischen f_2 und f_3 näherungsweise durch

$$V_u = - \frac{1+j\omega T_3}{j\omega T_0 (1+j\omega T_2)} , \qquad (A3.2)$$

$$T_0 = T_1 / V_{u0} \qquad (A3.3)$$

beschreiben. Es läßt sich dann zeigen, daß sich bei $f = \sqrt{f_2 f_3}$ etwa die folgende minimale Abweichung der Phase von 360^0 ergibt:

$$\Delta\varphi_{min} = 2 \arctan \sqrt{f_2/f_3} . \qquad (A3.4)$$

Bei der Frequenzgangkompensation muß zunächst darauf geachtet werden, daß die einzelnen Operationsverstärker bei jedem Abschluß der Anschlüsse des Analogtransistors stabil arbeiten. Probleme ergeben sich hier, wenn einer der Anschlüsse mit der Gerätemasse ("Substratpotential") verbunden ist. Dann muß einer der Verstärker (V_1, V_2, V_4, V_5 oder V_6 in Bild 5.8) eine hohe kapazitive Last treiben (C_0 in Bild 5.8). Zusammen mit dem Ausgangswiderstand des jeweiligen Verstärkers würde also ein zusätzlicher Tiefpaß in der Rückkopplungsschleife liegen, der Probleme mit der Stabilität bzw. erheblichen Aufwand bei der Frequenzgangkompensation verursachen würde. Aus diesem Grund wurden die betreffenden Verstärker aus je einem integrierten Operationsverstärker OP und einem ausgangsseitigen Emitterfolger T_Q (Bild A3.2) aufgebaut. Für V_2, V_4, V_5 wurden besonders rauscharme Verstärker mit hoher 3dB-Grenzfrequenz verwendet (TCA 490 C). Da diese Verstärker für $i_Q > 0$ einen relativ hohen Ausgangswiderstand haben, wurde die Schaltung durch R_Q er-

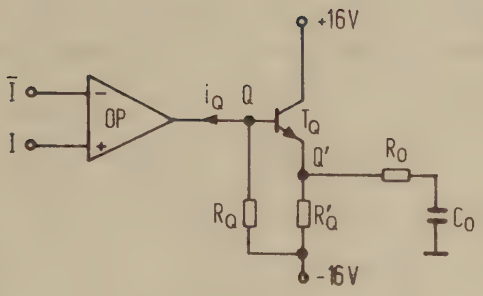


Bild A3.2: Ergänzung des Operationsverstärkers OP durch einen Emitterfolger T_Q zum Treiben kapazitiver Lasten C_0.

gänzt um $i_Q<0$ zu gewährleisten (Bild A3.2). Durch einen ausreichend kleinen Wert R'_Q konnte so bei allen Verstärkern ein Ausgangswiderstand unter $r_Q=2,7\Omega$ erreicht werden. Zur Entkopplung von C_0 genügt dann ein für die Simulationsgenauigkeit unbedeutend kleiner Serienwiderstand R_0. Wählt man $R_0=2,2\Omega$, so ergibt sich für alle Verstärker ein Frequenzgang nach (A3.1) bzw. Bild A3.1 mit

$$\frac{f_2}{f_3} = \frac{R_0}{R_0+r_Q} \quad . \tag{A3.5}$$

Nach (A3.4) erhält man dann bei reeller Gegenkopplung eine Phasensicherheit von mindestens 68^o, solange f_4 keinen Einfluß hat. Damit hat die kapazitive Last für die Dimensionierung der Frequenzgangkompensation keine Bedeutung mehr. Für die Kompensation der Gegenkopplungsschleifen der Verstärker konnte daher das gebräuchliche Verfahren herangezogen werden, bei dem durch ein RC-Glied die niedrigste Grenzfrequenz verringert und die darauffolgende kompensiert wird [4].

Besonders kritisch ist die Frequenzgangkompensation der Schleifen, die sich über V_7, T und die Differenzverstärkung von V_2 bzw. V_4 schließen (Bild 5.8). Ihre Prinzipien sollen deshalb am Beispiel der Schleife V_7-T-V_2 besprochen werden. (Wie in [75] gezeigt wird, erfolgt automatisch auch die Stabilisierung der Schleife V_7-T-V_4.)

Die Schleifenverstärkung ist hier vom Arbeitspunkt des Analogtransistors, von den an Emitter und innerer Basis angreifenden Impedanzen und von der Einstellung der analogen Transistorparameter abhängig. Würde man nun für diese Schleife die gleiche einfache Frequenzgangkompensation wie für die Operationsverstärker

selbst verwenden, so ergäbe sich bei einer angestrebten Phasensicherheit von 45° der Amplitudengang der Schleifenverstärkung nach Bild A3.3.

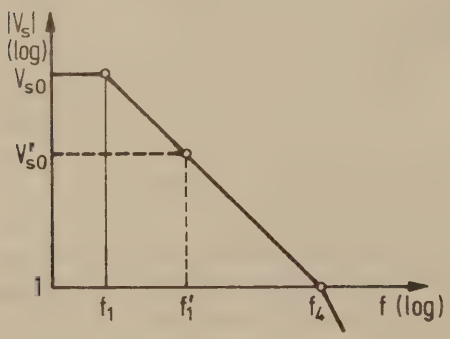


Bild A3.3: Frequenzgang der Schleifenverstärkung V_S bei einer einfachen Frequenzgangkompensation.

Darin ist wie erwähnt V_{s0} variabel und man kann durch geeignete Anordnung der Kompensationselemente bestenfalls erreichen, daß das Produkt $V_{s0}f_1$ konstant ist (Bild A3.3), wenn der durch die Operationsverstärker vorgegebene Maximalwert von f_4 genutzt wird.

Da auf diese Weise keine ausreichend hohen 3dB-Grenzfrequenzen möglich waren, wurde ein Frequenzgang entsprechend Bild A3.1 angestrebt. Er gestattet grundsätzlich höhere Werte von f_1, insbesondere dann, wenn f_2 und f_3 an die oben genannte Änderung von V_{s0} (V_{u0} in Bild A3.1) angepaßt werden.

Hinsichtlich der Abschlüsse der Klemmen des Analogtransistors läßt sich zeigen, daß der ungünstigste Fall ein Kurzschluß zwischen E und Masse und ein Leerlauf an der inneren Basis B' ist [75]. Dann läßt sich die Betriebsverstärkung V_{ub2} von V_2 mit dem Ersatzschaltbild nach Bild A3.4 bestimmen.

Je nach Schleiferstellung s_{CBi} von P_2 erhält man die in Bild A3.6a angegebenen Frequenzgänge der Verstärkung

$$V_{ub2} = \frac{U_{b'}}{U_i} \qquad (A3.6)$$

dieser Schaltung. Im Falle $s_{CBi}=0$ erhält man die Leerlaufverstärkung des kompensierten Operationsverstärkers entsprechend Bild A3.1 (mit $f_2=f_3$), deren Kennwerte

$$V_{u20} = 17\,000, \quad f_{21} = 3{,}5\text{kHz}, \quad f_{24} = 3\text{MHz} \qquad \text{(A3.7)}$$

durch den Verstärkertyp und die für $s_{CBi}=1$ notwendige Frequenzgangkompensation gegeben sind.

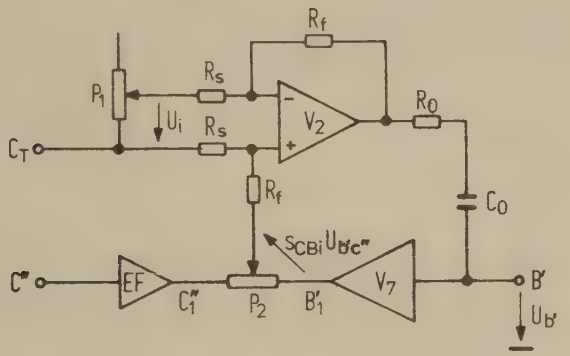


Bild A3.4: Ersatzschaltung zur Bestimmung der Betriebsverstärkung von V_2 in Bild 5.8. Mit P_1 wird τ_N, mit P_2 $\overline{C}_{CBi}$ eingestellt. Die Schaltungsteile zur Realisierung von $\overline{C}_{EB}$ (vgl. Bild 5.7) wurden nicht eingezeichnet, da sie zwar die Betriebsverstärkung, nicht aber deren Variationsbereich beeinflussen. EF und V_7 können hier als ideale Spannungsfolger betrachtet werden.

Bild A3.5 zeigt den Rest der Rückkopplungsschleife in etwas vereinfachter Form (ohne Bereichsumschaltung für τ_N von 100 auf 200µs und ohne Abgleichmöglichkeit für τ_N).

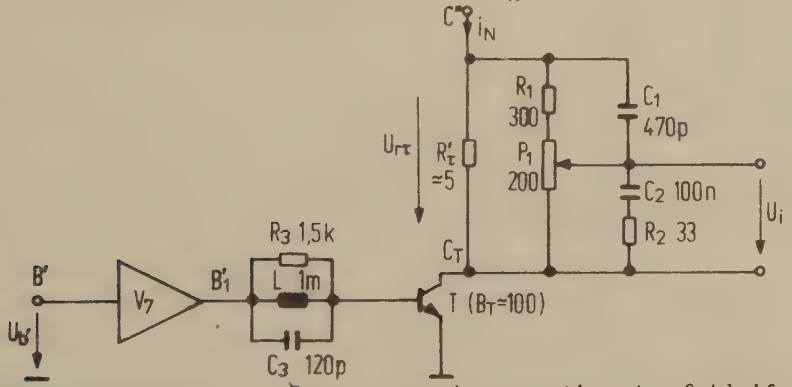


Bild A3.5: Maßnahme zur Frequenzgangkompensation der Schleife, die sich über den Transistor T (vgl. Bild 5.8) und die Verstärker V_2 und V_7 schließt. Die Verbindung des Emitters mit der Masse stellt den ungünstigsten Fall dar. Wertangaben in Ω, F, H.

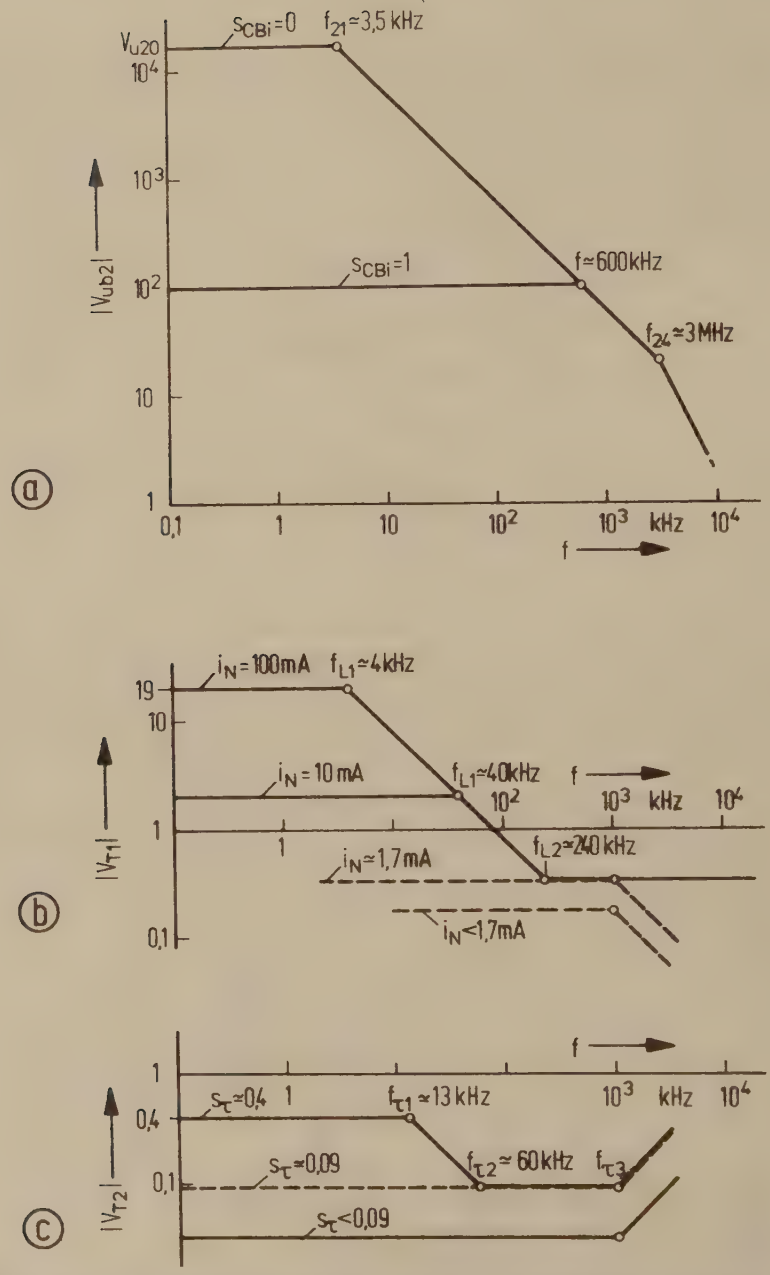


Bild A3.6: (a) Frequenzgang der Betriebsspannungsverstärkung (A3.6) der Schaltung nach Bild A3.4 mit s_{CBi} als Parameter. (b,c) Frequenzgänge der Teilspannungsverstärkungen (A3.10) der Schaltung nach Bild A3.5 mit $i_{..}$ bzw. s_τ als Parameter.

Die Parallelschaltung von R_τ' mit R_1 und P_1 entspricht R_τ (=5Ω) in Bild 5.8. Mit P_1 kann s_τ bzw. τ_N im Bereich

$$s_\tau = 0...0{,}4 \quad \text{bzw.} \quad \tau_N = 0...200\mu s \tag{A3.8}$$

eingestellt werden. Der Analogtransistor soll bei Strömen i_N bis 10mA betrieben werden und bis 100mA stabil arbeiten. Damit können sich ohne Kompensationsmaßnahmen selbst bei hohen Frequenzen Verstärkungen bis zu

$$V_T = \frac{U_i}{U_{b'}} = \frac{R_\tau i_N}{U_T} \lesssim 19 \tag{A3.9}$$

ergeben, was zusammen mit V_{ub2} nach Bild 3.6a sicher zur Instabilität führt.

Um eine hinreichend starke Absenkung der Schleifenverstärkung $V_s=V_{ub2}V_T$ bei hohen Frequenzen zu erreichen, ohne daß dies zu einer geringen 3dB-Grenzfrequenz von V_T und damit zu Simulationsfehlern führt, wurde an zwei Stellen kompensiert. Dadurch gibt es Frequenzbereiche, in denen die Phase von V_s die Grenze -360^o unterschreitet; allerdings kann sichergestellt werden, daß dann $|V_s|>1$ ist und somit keine Instabilität auftritt.

Man erreicht dies, indem man die 3dB-Grenzfrequenzen der Kompensationsschaltungen proportional zu i_N bzw. s_τ einstellt. Das Ergebnis einer solchen Frequenzgangkompensation zeigt Bild A3.6b und c. Dort sind die Frequenzgänge der Teilverstärkungen

$$V_{T1} = \frac{U_{r\tau}}{U_{b'}}, \qquad V_{T2} = \frac{U_i}{U_{r\tau}} \tag{A3.10}$$

der Schaltung nach Bild A3.5 mit i_N bzw. s_τ als Parameter angegeben.

Die 3dB-Grenzfrequenz f_{L1} von V_{T1} ist durch L und den Eingangsleitwert von T gegeben; sie ist damit für $i_N>1{,}7$mA proportional zu i_N. f_{L2} wird durch R_3 und L bestimmt, ist also konstant. Der Abfall oberhalb 1MHz wird durch V_7 hervorgerufen; er wird für $i_N>1{,}7$mA durch die Zeitkonstante R_3C_3 kompensiert.

Die 3dB-Grenzfrequenz $f_{\tau 1}$ von V_{T2} ist etwa proportional zu s_τ, weil der Widerstand, den man zwischen den Klemmen von C_2 mißt, etwa proportional zu s_τ' ist. Der Abfall von V_{T2} oberhalb $f_{\tau 1}$ wird durch R_2 begrenzt, sodaß $f_{\tau 2}$ näherungsweise konstant ist. Der Anstieg von V_{T2} oberhalb $f_{\tau 3}\approx$1MHz wird durch C_1 hervorgerufen.

Aufgrund einer Fallunterscheidung [75] läßt sich zeigen, daß es bezüglich der Phasensicherheit der kritischste im Betrieb auftretende Fall ist, wenn i_N=10mA beträgt und s_τ hinreichend klein (<0,09) ist. Dann kann die Schleifenverstärkung $V_s=V_{ub2}V_{T1}V_{T2}$ zwischen f_{L1} und f_{L2} den Betrag eins annehmen. Man erhält dann mit (A3.4) aber immer noch eine Phasensicherheit

$$\Delta\varphi_{min} = 2 \arctan\sqrt{f_2/f_3} \simeq 45^o \qquad (A3.11)$$

und damit ein aperiodisches Einschwingverhalten. Selbst bei Übersteuerung auf i_N=100mA erreicht man noch eine Phasensicherheit von 15^o.

Die Simulationsfehler, die durch diese Frequenzgangkompensation entstehen, sind sicher vernachlässigbar. Dem Wert s_τ=0,4 entspricht eine Transitzeit τ_N=200µs; damit entnimmt man Bild A3.6c das Verhältnis zwischen $f_{\tau 1}$ und der Transitfrequenz f_T:

$$f_{\tau 1}/f_T = 13\text{kHz}\cdot 2\pi\tau_N \simeq 16 \ . \qquad (A3.12)$$

Dies führt zu maximalen relativen Zeitfehlern $\Delta t/t$ der Größenordnung

$$\Delta t/t \simeq \sqrt{1+(f_T/f_{\tau 1})^2} - 1 \simeq 0{,}2\ \% \ . \qquad (A3.13)$$

Etwas problematischer ist die Grenzfrequenz f_{L1}, die bei i_N=10mA ca. 40KHz beträgt. Dies entspricht bei Verwendung des üblichen Zeitmaßstabes für die Simulation von 10^6:1 einer Transitzeit von 4µs. Falls dies zu Problemen führt, muß man den Zeitmaßstab vergrößern.

A3.3 Berücksichtigung untergeordneter Zeitkonstanten durch Erweiterung des Analogtransistors

Mit zwei Analogkapazitäten, von denen bei einer ein Anschluß mit der Gerätemasse verbunden ist (analoge Substratkapazität) und drei Widerständen ergeben sich eine Reihe von Erweiterungsmöglichkeiten für die verschiedenen Typen von Analogtransistoren.

Bei den Ein-Transistor-Modellen mit $r_{CB}=r_{Ca}=r_{CS}=0$ (Abschn.5.3.6) können diese Widerstände doch berücksichtigt werden, indem der Analogtransistor entsprechend Bild A3.7 ergänzt wird.
Auch die Tatsache, daß τ_{CBa} nicht direkt an B angreift und eine eventuelle Aufteilung von τ_{CBa} oder τ_{EB} kann durch zusätzliche

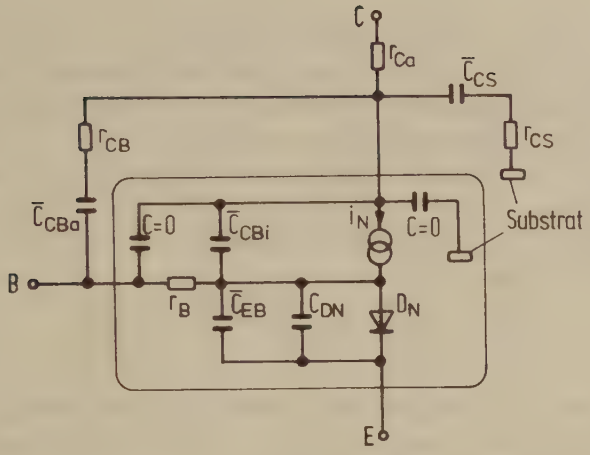


Bild A3.7: Ergänzung des Ein-Transistor-Modells durch r_{CB}, r_{Ca}, r_{CS}. Die Kapazitäten $\bar{C}_{CBa}$ und $\bar{C}_{CS}$ müssen nun auch extern zugeschaltet werden.

Analogbauelemente berücksichtigt werden. Ähnliche Erweiterungsmöglichkeiten ergeben sich auch für das Zwei-Transistor-Modell nach Bild 4.15.

A3.4 Stromquellenschaltung der Analoginduktivität

Zur Realisierung der zweipoligen Stromquelle Su_2 in Bild 5.13 wurden zwei der in Bild A3.8 gezeigten Schaltungen verwendet [77] .

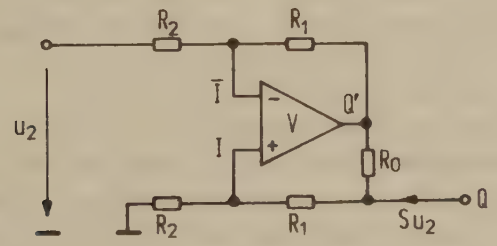


Bild A3.8: Eine Hälfte der Stromquellenschaltung Su_2 in Bild 5.13. Bei der zweiten Hälfte sind Masseanschluß und Eingang vertauscht.

Liegt eine der Klemmen der Analoginduktivität z.B. Q auf Massepotential, so ergibt sich vom Ausgang Q' des Operationsverstärkers V zu den Eingängen I, $\bar{I}$ eine relativ starke Gegenkopplung ($R_1 \ll R_2$, [77]). Da die Frequenzgangkompensation für diesen Fall ausgelegt sein muß, wurden Verstärker(LM 318) mit universeller interner Frequenzgangkompensation verwendet [4] . Für die Betriebsbandbreite, d.h. für die 3dB-Grenzfrequenz der Steilheit S ergibt sich dann etwa:

$$f_S \approx \frac{f_1}{SR_L} \quad . \tag{A3.14}$$

Darin ist R_L der an Q angreifende Lastwiderstand und f_1 die Transitfrequenz des Operationsverstärkers (hier wird die Spannungsverstärkung ohne Beschaltung gleich eins).

Es liegt daher nahe, S klein und f_1 groß zu wählen, denn R_L wird durch die simulierte Schaltung vorgegeben. Der Verringerung von S sind Grenzen gesetzt, weil einerseits u_2 maximal ca. 10V betragen kann und andererseits der maximale Ausgangsstrom von V ausgenutzt werden sollte. Wählt man S=5mS, so ergibt sich diesbezüglich erst für $Su_2 > 50mA$ eine Einschränkung. Für V wurde ein integrierter Operationsverstärker mit $f_1 \approx 15MHz$ verwendet (LM 318). Nimmt man an, daß R_L unter 100kΩ liegt, so ergibt sich nach (A3.14) für die Betriebsbandbreite $f_s \gtrsim 30kHz$, was kaum zu Einschränkungen bei der Simulation führt.

A3.5 Schaltung zur Stromtransformation

Bild A3.9 zeigt in vereinfachter Form die Schaltung zur Stromtransformation. Maßnahmen zur Offset- und Frequenzgangkompensation sowie die Einstellung von R_f über einen Stufenschalter wurden nicht dargestellt, s. hierzu [75] .

Da in dieser Schaltung die größten Fehler durch Widerstandstoleranzen und Frequenzgangkompensation hervorgerufen werden, können die Operationsverstärker V_1 und V_2 als ideal betrachtet werden.

V_1 ist durch Gegenkopplung von Q auf $\bar{I}_1$ als Spannungsfolger beschaltet; damit wird die erste Forderung an die Schaltung,

$$u_Q = u_P \quad , \tag{A3.15}$$

erfüllt. Der Ausgangsstrom i_Q von V_1 wird mit R_1 gemessen und

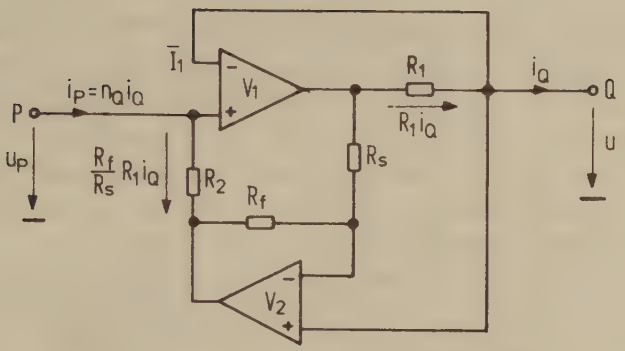


Bild A3.9: Schaltung zur Stromtransformation, vereinfachte Darstellung.

durch den mit R_f und R_s beschalteten Verstärker V_2 mit dem Faktor R_f/R_s verstärkt auf R_2 übertragen. Mit $R_1=R_2$ ergibt sich dann

$$n_Q = i_P/i_Q = R_f/R_s \quad . \qquad \text{(A3.16)}$$

Da keine Annahmen über die an P und Q angreifenden Impedanzen gemacht wurden, gibt es keine Vorzugsrichtung für die Transformation nach (A3.15) und (A3.16), sodaß durch Vertauschen von P und Q aus einer Stromtransformation mit n_Q eine mit $1/n_Q$ wird.

A4 Bauelementedaten und Simulationsergebnisse

In Kap. 6 bis 8 sind aus Gründen der Übersichtlichkeit nur die wichtigsten Daten angegeben, die den Simulationen zugrundeliegen. Darüber hinaus gehende Daten können zusätzliche Informationen vermitteln und wurden deshalb in den folgenden Tabellen zusammengefaßt.

Die Daten sind nach Schaltungskonzepten in der Reihenfolge ECL, FECL, MTL, C^3L, TTL, DCTL geordnet. Je Schaltungskonzept sind die Daten in folgender Reihenfolge angegeben:

1) Eine Tabelle, die die Optimierung bei $P = P_{max} = 2mW$ für einen (n_B=1) und zwei (n_B=2) Basiskontakte dokumentiert. Die zum Optimum ($t_D = t_{Dmin}$) gehörenden Daten wurden gesondert eingerahmt. Neben der simulierten Gatterlaufzeit t_D wurde hier auch das Ergebnis t_D' angegeben, das man aus der Empfindlichkeitsanalyse bei $P = P_0$ erhält.

2) Eine Tabelle (zwei bei der TTL) mit Daten für $P < P_{max} = 2mW$. Hier wurde ebenfalls t_D' angegeben. Die der Empfindlichkeitsanalyse bei $P = P_0$ zugrundeliegenden Daten wurden gesondert eingerahmt.

3) Nur für ECL und C^3L eine Tabelle entsprechend Punkt 1, jedoch unter Zugrundelegung der in Abschn. 8.2 beschriebenen lateralen Strukturverkleinerung.

4) Nur für ECL und C^3L eine Tabelle entsprechend Punkt 2, ebenfalls für laterale Strukturverkleinerung. Die Kennzeichnung von $P = P_0$ entfällt hier.

5) Ergebnisse der Empfindlichkeitsanalyse bei $P = P_0$.

6) Eine Tabelle, die die Abhängigkeit des dynamischen Verhaltens von einer Lastkapazität C_L und dem fan out n_Q bei $P = P_0$ und $P = 0,05mW$ (0,048mW bei der NTL) angibt. Für die NTL ist hier zusätzlich der Einfluß einer Kapazität C_{R1} parallel zu R_1 angegeben.

7) Nur für ECL und C^3L eine Tabelle entsprechend Punkt 6, jedoch für laterale Strukturverkleinerung.

Die TTL ist das einzige Schaltungskonzept, das mit unterschiedlichen Transistoren T_1, T_2 innerhalb eines Gatters untersucht wurde. Für T_1 und T_2 gemeinsame Daten wurden jeweils bei T_2 angegeben. Die Angaben für t_r und t_f beziehen sich auf die Kollektoren von T_1 bzw. T_2.

Tab.A4.1: ECL, Basistechnologie, P =2mW.

Größe	Daten						Einh.
P	2	2	2	2	2	2	mW
$I_{Cein}(T_S)$	1,1	1,1	1,1	1,1	1,1	1,1	mA
I_{Cein}	1	1	1	1	1	1	mA
U_{Cein}	-400	-400	-400	-400	-400	-400	mV
U_{Caus}	0	0	0	0	0	0	mV
U_{Bein}	0	0	0	0	0	0	mV
U_{Baus}	-400	-400	-400	-400	-400	-400	mV
U_{Eein}	-817	-811	-807	-838	-828	-821	mV
U_{Eaus}	-1000	-1000	-1000	-1000	-1000	-1000	mV
U_S	-1600	-1600	-1600	-1600	-1600	-1600	mV
ϱ_C(300K)	0,5	0,6	0,7	0,2	0,3	0,4	Ωcm
n_B	1	1	1	2	2	2	
x_E	2	2	2	2	2	2	µm
y_E	11,9	14,6	17,5	5,3	7,6	10,1	µm
r_{Ba}	122	99	83	137	95	72	Ω
r_{BiO}	1345	1096	914	755	526	396	Ω
r_{Bein}	458	373	311	325	227	171	Ω
r_{Baus}	668	553	466	457	323	245	Ω
r_{Ca}	13	10	9	52	36	27	Ω
r_{Ci}	108	105	103	96	100	101	Ω
$\overline{C}_{CS}$	21,5	24,6	27,9	17,5	20,8	24,3	fF
C_{CSO}	38	43,5	49,4	30,8	36,7	43	fF
$\overline{C}_{CBa}$	40,8	44,9	49,4	55,7	60,5	66,8	fF
C_{CBaO}	38,6	42,6	46,7	51,5	56,5	62,7	fF
$\overline{C}_{CBi}$	11,2	12,2	13,3	8,9	9,8	10,8	fF
C_{CBiO}	8,7	9,6	10,5	6,9	7,6	8,4	fF
$\overline{C}_{EB}$	131,9	160,3	190,6	61,5	86,3	112,9	fF
C_{EBO}	72,1	88,3	105,7	32,5	46,3	61,3	fF
$\overline{C}_{R2}$	17,8	16,1	14,8	31,1	24,1	20,3	fF
$\overline{t}_f$		330			360		ps
$\overline{t}_r$		530			555		ps
$\overline{t}_{Df}$	345	345	350	295	290	295	ps
$\overline{t}_{Dr}$	390	375	390	345	340	350	ps
$\overline{t}_D$	368	360	370	320	315	323	ps
$\overline{t}'_D$		358			311		ps
t_f		315			360		ps
t_r		490			530		ps
t_{Df}		410			330		ps
t_{Dr}		380			300		ps
t_D		395			315		ps
t'_D		379			315		ps

Tab.A4.2: ECL, Basistechnologie, P <2mW.

Größe	Daten							Einh.
P	0,05	0,13	0,2	0,2	0,55	0,55	1,04	mW
$I_{Cein}(T_S)$	0,027	0,071	0,11	0,11	0,303	0,303	0,572	mA
I_{Cein}	0,025	0,065	0,1	0,1	0,275	0,275	0,52	mA
U_{Cein}	-400	-400	-400	-400	-400	-400	-400	mV
U_{Caus}	0	0	0	0	0	0	0	mV
U_{Bein}	0	0	0	0	0	0	0	mV
U_{Baus}	-400	-400	-400	-400	-400	-400	-400	mV
U_{Eein}	-750	-774	-785	-785	-812	-812	-828	mV
U_{Eaus}	-1000	-1000	-1000	-1000	-1000	-1000	-1000	mV
U_S	-1600	-1600	-1600	-1600	-1600	-1600	-1600	mV
$\varrho_C(300K)$	2	2	1,4	1,4	0,6	0,55	0,3	Ωcm
n_B	1	1	1	2	1	2	2	
x_E	2	2	2	2	2	2	2	µm
y_E	4	4	4	4,06	4,01	4	4	µm
r_{Ba}	363	363	363	179	362	181	181	Ω
r_{BiO}	4000	4000	4000	986	3994	1000	1000	Ω
r_{Bein}	1363	1363	1363	425	1360	431	431	Ω
r_{Baus}	2328	2328	2311	667	1995	617	615	Ω
r_{Ca}	38	38	38	67	38	70	68	Ω
r_{Ci}	1274	1274	894	880	384	351	191	Ω
$\overline{c}_{CS}$	12,4	12,4	12,4	15,6	12,4	15,6	15,6	fF
c_{CSO}	22	22	22	27,7	22	27,5	27,5	fF
$\overline{c}_{CBa}$	9,6	9,6	9,7	16,6	12,8	22,7	32,7	fF
c_{CBaO}	6,3	6,3	7,7	13	12,2	21,4	30,6	fF
$\overline{c}_{CBi}$	1,7	1,7	2,1	2,2	3,5	3,6	5,3	fF
c_{CBiO}	1,4	1,4	1,7	1,7	2,7	2,9	4,1	fF
$\overline{c}_{EB}$	42,8	42,8	43,4	44	44,9	44,9	46	fF
c_{EBO}	24,7	24,7	24,7	25,1	24,8	24,7	24,7	fF
$\overline{c}_{R2}$	8,4	8,4	10,1	10,1	16,1	16,9	24,1	fF
$\overline{t}_f$	2100	720	520	830	340	470	380	ps
$\overline{t}_r$	2700	1240	940	1240	540	700	550	ps
$\overline{t}_{Df}$	1900	720	555	650	395	370	345	ps
$\overline{t}_{Dr}$	1300	640	485	600	370	370	310	ps
$\overline{t}_D$	1600	680	520	625	383	370	328	ps
$\overline{t}'_D$	1661	722	545	645	386	376	328	ps
t_f	1650	565	395	800	265	490	380	ps
t_r	2650	1180	885	1160	530	670	530	ps
t_{Df}	1200	640	495	580	370	355	315	ps
t_{Dr}	2500	855	645	740	430	400	345	ps
t_D	1850	748	570	660	400	378	330	ps
t'_D	1728	762	578	661	404	381	330	ps

Tab. A4.3: ECL, laterale Strukturverkleinerung, P =2mW.

Größe	Daten							Einh.
P	2	2	2	2	2	2	2	mW
$I_{Cein}(T_S)$	1,1	1,1	1,1	1,1	1,1	1,1	1,1	mA
I_{Cein}	1	1	1	1	1	1	1	mA
U_{Cein}	-400	-400	-400	-400	-400	-400	-400	mV
U_{Caus}	0	0	0	0	0	0	0	mV
U_{Bein}	0	0	0	0	0	0	0	mV
U_{Baus}	-400	-400	-400	-400	-400	-400	-400	mV
U_{Eein}	-825	-833	-845	-832	-843	-841	-840	mV
U_{Eaus}	-1000	-1000	-1000	-1000	-1000	-1000	-1000	mV
U_S	-1600	-1600	-1600	-1600	-1600	-1600	-1600	mV
$\varrho_C(300K)$	0,4	0,3	0,2	0,3	0,2	0,2	0,2	Ωcm
n_B	1	1	1	2	2	2	2	
x_E	1	1	1	1	1	1,25	1,5	µm
y_E	17,6	12,6	8,1	13,4	8,8	7,4	6,5	µm
r_{Ba}	41	58	90	27	41	49	56	Ω
r_{BiO}	455	635	988	149	227	338	462	Ω
r_{Bein}	155	216	336	64	98	133	171	Ω
r_{Baus}	239	329	502	93	142	197	256	Ω
r_{Ca}	9	12	19	20	31	37	43	Ω
r_{Ci}	117	122	126	115	116	110	104	Ω
$\overline{C}_{CS}$	12	9,2	6,6	12,1	8,8	7,9	7,4	fF
C_{CSO}	21,3	16,2	11,7	21,4	15,5	14	13	fF
$\overline{C}_{CBa}$	35,6	30,5	25,6	53,5	46,1	39,1	34,6	fF
C_{CBaO}	33,8	28,9	24,2	50,5	43,2	36,5	32,2	fF
$\overline{C}_{CBi}$	9,5	8,2	7	8,6	7,5	7,8	8,2	fF
C_{CBiO}	7,3	6,2	5,2	6,6	5,6	6	6,3	fF
$\overline{C}_{EB}$	135,3	98,5	65	104,4	70,2	65,8	63,7	fF
C_{EBO}	73,1	52,5	33,9	55,8	36,8	34,5	33,5	fF
$\overline{C}_{R2}$	5,1	6	7,8	6	7,8	7,8	7,8	fF
$\overline{t}_f$		270				300		ps
$\overline{t}_r$		390				410		ps
$\overline{t}_{Df}$	260	250	255	250	230	225	230	ps
$\overline{t}_{Dr}$	250	245	245	255	225	220	225	ps
$\overline{t}_D$	255	248	250	253	228	223	228	ps
$\overline{t}'_D$		235				217		ps
t_f		270				350		ps
t_r		390				410		ps
t_{Df}		250				235		ps
t_{Dr}		270				235		ps
t_D		260				235		ps
t'_D		248				223		ps

Tab. A4.4: ECL, laterale Strukturverkleinerung, P <2mW.

Größe	Daten						Einh.
P	0,01	0,033	0,1	0,1	0,31	0,54	mW
$I_{Cein}(T_S)$	0,005	0,018	0,055	0,055	0,171	0,297	mA
I_{Cein}	0,005	0,017	0,05	0,05	0,155	0,27	mA
U_{Cein}	-400	-400	-400	-400	-400	-400	mV
U_{Caus}	0	0	0	0	0	0	mV
U_{Bein}	0	0	0	0	0	0	mV
U_{Baus}	-400	-400	-400	-400	-400	-400	mV
U_{Eein}	-744	-775	-803	-803	-833	-841	mV
U_{Eaus}	-1000	-1000	-1000	-1000	-1000	-1000	mV
U_S	-1600	-1600	-1600	-1600	-1600	-1600	mV
$\varrho_C(300K)$	2	2	0,8	0,8	0,3	0,2	Ωcm
n_B	1	1	1	2	1	2	
x_E	1	1	1	1	1	1,25	µm
y_E	2	2	2	2,02	2	2	µm
r_{Ba}	363	363	363	179	363	181	Ω
r_{BiO}	4000	4000	4000	990	4000	1250	Ω
r_{Bein}	1363	1363	1363	427	1363	494	Ω
r_{Baus}	2346	2346	2339	675	2152	746	Ω
r_{Ca}	75	75	76	133	76	138	Ω
r_{Ci}	5107	5107	2052	2029	769	407	Ω
$\overline{c}_{CS}$	3,1	3,1	3,1	3,9	3,1	4	fF
c_{CSO}	5,5	5,5	5,5	6,9	5,5	7	fF
$\overline{c}_{CBa}$	2,6	2,6	3,1	5,1	5,3	11,5	fF
c_{CBaO}	1,7	1,7	2,9	4,8	5	10,7	fF
$\overline{c}_{CBi}$	0,5	0,5	0,8	0,8	1,4	2,3	fF
c_{CBiO}	0,4	0,4	0,6	0,6	1,1	1,7	fF
$\overline{c}_{EB}$	15,2	15,2	15,7	15,8	16,4	18,5	fF
c_{EBO}	8,7	8,7	8,7	8,8	8,7	9,7	fF
$\overline{c}_{R2}$	2,1	2,1	3,4	3,4	6	7,8	fF
$\overline{t}_f$	2800	780	415	560	300	315	ps
$\overline{t}_r$	4500	1520	730	880	460	410	ps
$\overline{t}_{Df}$	2300	720	390	440	280	260	ps
$\overline{t}_{Dr}$	2350	780	355	420	265	210	ps
$\overline{t}_D$	2325	750	373	430	273	235	ps
$\overline{t}'_D$	2263	743	358	427	263	237	ps
t_f	2350	740	370	610	285	320	ps
t_r	4100	1420	650	830	430	420	ps
t_{Df}	2150	680	370	410	265	220	ps
t_{Dr}	3050	970	470	510	295	260	ps
t_D	2600	825	420	460	280	240	ps
t'_D	2431	803	385	441	274	242	ps

Tab. A4.5: ECL, Empfindlichkeiten ausgehend von den in Tab. A4.2 eingerahmten Daten.

X	X/X_1	$\bar{t}$,t	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)	$t_D/t_{Dmin0}-1$
r_{Bein},r_{Baus} getrennt		$\bar{t}$	380	550	345	310	328	0
		t	380	530	315	345	330	0
$\bar{r}_B$		$\bar{t}$	380	550	345	310	328	0
		t	380	530	315	345	330	0
B_N=50		$\bar{t}$	380	525	310	320	315	-0,04
		t	390	520	310	330	320	-0,03
R_2=0*		$\bar{t}$	390	550	330	295	313	-0,046
		t	230	345	375	295	285	-0,136
$\bar{r}_B$	0	$\bar{t}$	420	515	250	255	253	-0,229
		t	415	510	230	275	253	-0,233
	0,5	$\bar{t}$	390	540	300	280	290	-0,116
		t	415	530	275	310	293	-0,112
	2	$\bar{t}$	385	520	410	370	390	0,189
		t	335	510	370	420	395	0,197
τ_N	0	$\bar{t}$	270	385	210	200	205	-0,375
		t	270	355	190	315	203	-0,385
	0,5	$\bar{t}$	315	470	275	250	263	-0,198
		t	310	445	250	285	268	-0,188
	2	$\bar{t}$	525	710	450	425	438	0,335
		t	540	710	425	470	448	0,358
$\bar{c}_{EB}$	0,1	$\bar{t}$	430	510	315	290	303	-0,076
		t	450	490	300	290	295	-0,106
	2	$\bar{t}$	370	590	370	330	350	0,067
		t	320	575	350	400	375	0,136
$\bar{c}_C$	0,1	$\bar{t}$	185	280	190	190	190	-0,421
		t	150	275	185	210	198	-0,4
	0,5	$\bar{t}$	265	395	260	235	248	-0,244
		t	240	390	240	270	265	-0,197
	2	$\bar{t}$	640	840	505	455	480	0,463
		t	680	810	470	490	480	0,455
$\bar{c}_{CS}$	0,1	$\bar{t}$	370	530	325	305	315	-0,04
		t	390	530	310	335	323	-0,021
	4	$\bar{t}$	430	610	390	345	365	0,122
		t	380	540	335	370	353	0,07
$\bar{c}_{R2}$	0,1	$\bar{t}$	370	535	330	300	315	-0,04
		t	355	510	300	330	315	-0,045
	2	$\bar{t}$	390	565	365	320	343	0,046
		t	410	550	330	360	345	0,045

*)jeweils am nicht benutzten Ausgang.

Tab. A4.6: ECL, Basistechnologie, Lastabhängigkeit des dynamischen Verhaltens.

P (mW)	n_B	n_Q	C_L (pF)	$\bar{t}$, t	t_f	t_r	t_{Df}	t_{Dr}	t_D (ps)
1,04	2	2	0	$\bar{t}$	380	550	345	310	328
				t	380	530	315	345	330
		2	0,05*	$\bar{t}$	415	570	365	340	353
				t	430	570	345	385	365
			0,1*	$\bar{t}$	430	620	410	370	390
				t	490	610	375	410	393
			0,5*	$\bar{t}$	770	980	650	660	655
				t	900	920	650	670	660
		1	0	$\bar{t}$	230	340	265	245	255
				t	205	305	250	255	253
		3	0	$\bar{t}$	600	760	410	390	400
				t	630	760	375	455	415
0,05	1	2	0	$\bar{t}$	2100	2700	1900	1300	1600
				t	1650	2650	1200	2500	1850
		2	0,05*	$\bar{t}$	3050	2350	2650	1800	2225
				t	2550	3450	1400	3100	2250
			0,1*	$\bar{t}$	3850	4150	3550	2150	2850
				t	3350	4200	1850	3850	2850
		1	0	$\bar{t}$	1100	2000	1300	850	1075
				t	750	1650	950	1350	1150

Tab. A4.7: ECL, laterale Strukturverkleinerung, Lastabhängigkeit des dynamischen Verhaltens.

P (mW)	n_B	n_Q	C_L (pF)	$\bar{t}$, t	t_f	t_r	t_{Df}	t_{Dr}	t_D (ps)
0,54	2	2	0	$\bar{t}$	315	410	260	210	235
				t	320	420	220	260	240
		2	0,05*	$\bar{t}$	390	465	310	265	288
				t	420	490	275	325	300
			0,1*	$\bar{t}$	475	540	370	330	350
				t	500	570	350	385	365
		1	0	$\bar{t}$	160	235	195	150	173
				t	150	230	170	180	175
		3	0	$\bar{t}$	490	580	330	270	300
				t	500	590	270	350	310

*) kapazitive Last jeweils nur an dem Ausgang, an dem die Zeiten gemessen werden, d.h. bei $\bar{t}$ an $\bar{Q}$ und bei t an Q.

Tab. A4.8: FECL, Basistechnologie, P =2mW.

Größe	Daten								Einh.
P	2	2	2	2	2	2	2	2	mW
$I_{Cein}(T_S)$	1,375	1,375	1,375	1,375	1,375	1,375	1,375	1,375	mA
I_{Cein}	1,25	1,25	1,25	1,25	1,25	1,25	1,25	1,25	mA
U_{Cein}	-200	-200	-200	-200	-200	-200	-200	-200	mV
U_{Caus}	0	0	0	0	0	0	0	0	mV
U_{Bein}	0	0	0	0	0	0	0	0	mV
U_{Baus}	-200	-200	-200	-200	-200	-200	-200	-200	mV
U_{Eein}	-808	-812	-817	-823	-831	-817	-823	-830	mV
U_{Eaus}	-800	-800	-800	-800	-800	-800	-800	-800	mV
U_S	-1600	-1600	-1600	-1600	-1600	-1600	-1600	-1600	mV
$\varrho_C(300K)$	1,4	1,2	1	0,8	0,6	1	0,8	0,6	Ωcm
n_B	1	1	1	1	1	2	2	2	
x_E	2	2	2	2	2	2	2	2	µm
y_E	21,1	17,9	14,7	11,6	8,5	15	11,9	8,9	µm
r_{Ba}	69	81	99	125	171	48	61	81	Ω
r_{BiO}	758	894	1088	1379	1882	267	336	449	Ω
r_{Bein}	258	304	371	470	641	115	145	194	Ω
r_{Baus}	271	314	375	460	596	146	184	243	Ω
r_{Ca}	7	8	10	13	18	18	23	31	Ω
r_{Ci}	190	192	194	197	201	189	190	189	Ω
$\overline{C}_{CS}$	31,2	27,6	24,1	20,6	17,2	30,6	26,3	22,1	fF
C_{CSO}	56,7	50,2	43,7	37,4	31,1	55,5	47,6	40	fF
$\overline{C}_{CBa}$	48,1	41	34,6	29,6	25,6	59,2	51	45,1	fF
C_{CBaO}	38,5	35,6	32,3	28,9	25,1	55,2	49,7	43,9	fF
$\overline{C}_{CBi}$	15,7	14,6	13,4	12,1	10,6	13,4	12,1	10,7	fF
C_{CBiO}	8,7	8	7,3	6,5	5,6	7,4	6,7	5,9	fF
$\overline{C}_{EB}$	229,9	196,4	162,7	129,9	96,8	165,9	133,1	101,1	fF
C_{EBO}	127,3	108,1	88,9	70,3	51,7	90,7	72,1	54,1	fF
$\overline{C}_{R2}$	10,4	11,3	12,5	14,2	16,6	12,5	14,2	16,6	fF
t_f		330					280		ps
t_r		410					330		ps
t_{Df}	420	430	430	450	510	330	330	335	ps
t_{Dr}	510	490	500	510	550	390	370	380	ps
t_D	465	460	465	480	530	360	350	358	ps
t'_D		459					360		ps
$\overline{t}_f$		510					440		ps
$\overline{t}_r$		520					430		ps
$\overline{t}_{Df}$		630					490		ps
$\overline{t}_{Dr}$		480					380		ps
$\overline{t}_D$		555					435		ps
$\overline{t}'_D$		558					452		ps

Tab. A4.9: FECL, Basistechnologie, P <2mW.

Größe	Daten							Einh.
P	0,05	0,1	0,1	0,25	0,25	0,44	0,67	mW
$I_{Cein}(T_S)$	0,034	0,069	0,069	0,172	0,172	0,303	0,46	mA
I_{Cein}	0,031	0,063	0,06'	0,156	0,156	0,275	0,419	mA
U_{Cein}	-200	-200	-200	-200	-200	-200	-200	mV
U_{Caus}	0	0	0	0	0	0	0	mV
U_{Bein}	0	0	0	0	0	0	0	mV
U_{Baus}	-200	-200	-200	-200	-200	-200	-200	mV
U_{Eein}	-755	-773	-773	-797	-797	-812	-822	mV
U_{Eaus}	-800	-800	-800	-800	-800	-800	-800	mV
U_S	-1600	-1600	-1600	-1600	-1600	-1600	-1600	mV
ϱ_C(300K)	2	2	2	2	2	1,2	0,8	Ωcm
n_B	1	1	2	1	2	1	2	
x_E	2	2	2	2	2	2	2	µm
y_E	4	4	4	4	4	4	4	µm
r_{Ba}	363	363	181	363	181	363	181	Ω
r_{BiO}	4000	4000	1000	4000	1000	4000	1000	Ω
r_{Bein}	1363	1363	431	1363	431	1363	431	Ω
r_{Baus}	2285	2285	677	2285	677	1847	547	Ω
r_{Ca}	39	39	69	39	69	38	68	Ω
r_{Ci}	1413	1413	1413	1413	1413	854	566	Ω
$\overline{C}_{CS}$	12,1	12,1	15,2	12,1	15,2	12,1	15,2	fF
C_{CSO}	22	22	27,5	22	27,5	22	27,5	fF
$\overline{C}_{CBa}$	9,6	9,6	16	9,6	16	9,6	17,8	fF
C_{CBaO}	6,3	6,3	10,6	6,3	10,6	8,3	17,4	fF
$\overline{C}_{CBi}$	2,5	2,5	2,5	2,5	2,5	3,4	4.2	fF
C_{CBiO}	1,4	1,4	1,4	1,4	1,4	1,9	2,3	fF
$\overline{C}_{EB}$	44	44	44	44	44	44,9	45,6	fF
C_{EBO}	24,7	24,7	24,7	24,7	24,7	24,7	24,7	fF
$\overline{C}_{R2}$	8,6	8,6	8,6	8,6	8,6	11,3	14,2	fF
t_f	860	500	700	340	370	330	290	ps
t_r	1580	890	1020	490	510	420	350	ps
t_{Df}	1180	740	850	510	460	470	340	ps
t_{Dr}	1920	1090	1220	660	610	590	430	ps
t_D	1550	915	1035	585	535	530	385	ps
t_D'	1677	956	1144	581	562	526	385	ps
$\overline{t}_f$	2150	1100	1440	580	660	490	450	ps
$\overline{t}_r$	2430	1320	1520	690	740	580	480	ps
$\overline{t}_{Df}$	2250	1380	1570	810	790	690	525	ps
$\overline{t}_{Dr}$	1980	1090	1310	650	650	570	440	ps
$\overline{t}_D$	2165	1235	1440	730	720	630	483	ps
$\overline{t}_D'$	2325	1308	1547	747	749	634	483	ns

Tab. A4.10: FECL, Empfindlichkeiten ausgehend von den in Tab.A4.9 eingerahmten Daten.

X	X/X_1	$t, \overline{t}$	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)	$t_D/t_{DminO}-1$
r_{Bein}, r_{Baus} getrennt		t	290	350	340	430	385	0
		$\overline{t}$	450	480	525	440	483	0
$\overline{r}_B$		t	290	350	340	430	385	0
		$\overline{t}$	450	480	525	440	483	0
$B_N=50$		t	280	335	335	425	380	-0,013
		$\overline{t}$	470	470	485	410	448	-0,072
$R_2=0$*		$\overline{t}$	450	465	500	415	458	-0,052
$\overline{r}_B$	0	t	270	320	250	315	283	-0,265
		$\overline{t}$	460	440	420	335	378	-0,217
	2	t	330	400	430	535	483	0,255
		$\overline{t}$	500	530	630	520	575	0,19
τ_N	0	t	145	195	170	230	200	-0,455
		$\overline{t}$	235	270	285	220	253	-0,476
	0,5	t	210	265	255	335	295	-0,221
		$\overline{t}$	340	360	410	325	368	-0,238
	2	t	460	510	520	625	573	0,462
		$\overline{t}$	700	680	800	620	710	0,47
$\overline{c}_{EB}$	0,1	t	300	300	335	375	355	-0,078
		$\overline{t}$	400	390	465	385	425	-0,12
	2	t	280	400	340	500	420	0,091
		$\overline{t}$	510	560	610	490	550	0,139
$\overline{c}_C$	0,1	t	200	260	245	315	280	-0,273
		$\overline{t}$	330	360	385	300	343	-0,29
	2	t	390	430	455	550	503	0,306
		$\overline{t}$	580	560	690	575	633	0,311
$\overline{c}_{CS}$	0,1	t	280	330	320	410	365	-0,052
		$\overline{t}$	450	465	500	415	458	-0,052
	4	t	340	385	395	485	440	0,143
		$\overline{t}$	500	525	600	500	550	0,139
$\overline{c}_{R2}$	0,1	t	280	335	325	410	368	-0,044
		$\overline{t}$	450	465	500	420	460	-0,048
	4	t	335	385	390	480	435	0,13
		$\overline{t}$	500	520	590	500	545	0,128

*) am nicht benutzten Ausgang.

Tab. A4.11: FECL, Basistechnologie, Lastabhängigkeit des dynamischen Verhaltens.

P (mW)	n_B	n_Q	C_L (pF)	t, $\overline{t}$	t_f	t_r	t_{Df}	t_{Dr}	t_D (ps)
0,67	2	2	0	$\frac{t}{\overline{t}}$	290 450	350 480	340 525	430 440	385 483
		2	0,05*	$\frac{t}{\overline{t}}$	330 490	370 515	370 570	465 480	418 525
			0,1*	$\frac{t}{\overline{t}}$	340 530	390 550	395 615	485 520	440 568
			0,5*	$\frac{t}{\overline{t}}$	530 820	520 830	590 960	670 820	630 890
		1	0	$\frac{t}{\overline{t}}$	220 310	275 370	300 450	380 370	340 410
		3	0	$\frac{t}{\overline{t}}$	400 670	430 630	385 610	490 510	438 560
0,05	1	2	0	$\frac{t}{\overline{t}}$	860 2150	1580 2430	1180 2250	1920 1980	1550 2165
		2	0,05*	$\frac{t}{\overline{t}}$	1180 2430	1950 2900	1450 2650	2250 2420	1850 2535
			0,1*	$\frac{t}{\overline{t}}$	1600 2850	2280 3300	1730 3150	2580 2970	2155 3060
		1	0	$\frac{t}{\overline{t}}$	680 1270	1120 1800	1070 1780	1380 1550	1225 1665
		3	0	$\frac{t}{\overline{t}}$	1350 3900	2170 3130	1260 2650	2500 2320	1880 2485

*) kapazitive Last jeweils nur an dem Ausgang, an dem die Zeiten gemessen werden, d.h. bei t an Q und bei $\overline{t}$ an $\overline{Q}$.

Tab.A4.12: NTL, Basistechnologie, P ≈2mW.

Größe	Daten							Einh.
P	2	2	2	2	2	2	2	mW
$I_{Cein}(T_S)$	4	4	4	4	4	4	4	mA
I_{Cein}	4	4	4	4	4	4	4	mA
U_{Cein}	600	600	600	600	600	600	600	mV
U_{Caus}	1000	1000	1000	1000	1000	1000	1000	mV
U_{Bein}	1000	1000	1000	1000	1000	1000	1000	mV
U_{Baus}	600	600	600	600	600	600	600	mV
U_{Eein}	175	169	161	150	164	154	156	mV
U_{Eaus}	0	0	0	0	0	0	0	mV
U_S	0	0	0	0	0	0	0	mV
ϱ_C(300K)	0,5	0,4	0,3	0,2	0,3	0,2	0,2	Ωcm
n_B	1	1	1	1	2	2	2	
x_E	2	2	2	2	2	2	2,5	µm
y_E	34,6	27,2	20,1	13,4	22,3	15,5	13,5	µm
r_{Ba}	42	53	72	108	33	47	54	Ω
r_{BiO}	462	588	796	1194	179	258	370	Ω
r_{Bein}	158	200	271	407	77	111	146	Ω
r_{Baus}	158	193	245	397	95	134	174	Ω
r_{Ca}	4	6	7	11	12	17	20	Ω
r_{Ci}	38	39	39	39	35	33	30	Ω
$\overline{C}_{CS}$	56,6	46,5	36,9	27,8	50,1	38,6	35,8	fF
C_{CSO}	84,1	69	54,7	41,1	74	56,7	52,5	fF
$\overline{C}_{CBa}$	117,4	105,6	93,4	81,6	175,3	160,2	141	fF
C_{CBaO}	110,9	99,4	87,6	75,8	162,5	146,4	127,8	fF
$\overline{C}_{CBi}$	35,1	31,7	28,2	24,7	30,7	27,8	30	fF
C_{CBiO}	24,9	22,3	19,7	17	21,8	19,6	21,4	fF
$\overline{C}_{EB}$	385,9	306,7	230,1	157	253,9	180	180,7	fF
C_{EBO}	208,3	163,9	121,3	81,1	134,5	93,7	94,5	fF
$\overline{C}_{R1}$	25,2	28,7	34,1	44	34,1	44	44	fF
$\overline{C}_{R2}$	17,8	20,3	24,1	31,1	24,1	31,1	31,1	fF
t_f		520				525		ps
t_r		410				425		ps
t_{Df}	480	470	475	525	485	480	475	ps
t_{Dr}	50	50	55	75	30	25	35	ps
t_D	265	260	265	300	258	253	255	ps
t_D'		273				256		ps

Tab. A4.13: NTL, Basistechnologie, P <2mW.

Größe	Daten							Einh.
P	0,02	0,048	0,1	0,29	0,29	0,5	0,5	mW
$I_{Cein}(T_S)$	0,04	0,096	0,2	0,58	0,58	1	1	mA
I_{Cein}	0,04	0,096	0,2	0,58	0,58	1	1	mA
U_{Cein}	600	600	600	600	600	600	600	mV
U_{Caus}	1000	1000	1000	1000	1000	1000	1000	mV
U_{Bein}	1000	1000	1000	1000	1000	1000	1000	mV
U_{Baus}	600	600	600	600	600	600	600	mV
U_{Eein}	239	216	197	169	169	169	155	mV
U_{Eaus}	0	0	0	0	0	0	0	mV
U_S	0	0	0	0	0	0	0	mV
$\varrho_C(300K)$	2	2	1	0,4	0,37	0,4	0,2	Ωcm
n_B	1	1	1	1	2	1	2	
x_E	2	2	2	2	2	2	2	µm
y_E	4	4	4	4	4	6,8	4	µm
r_{Ba}	363	363	363	363	181	213	181	Ω
r_{BiO}	4000	4000	4000	4000	1000	2353	1000	Ω
r_{Bein}	1363	1363	1363	1363	431	801	431	Ω
r_{Baus}	1891	1891	1849	1373	531	745	521	Ω
r_{Ca}	38	38	40	38	68	22	70	Ω
r_{Ci}	1305	1305	652	262	240	154	128	Ω
$\overline{C}_{CS}$	14,8	14,8	14,8	14,8	18,6	18,7	18,7	fF
C_{CSO}	22	22	22	22	27,5	27,7	27,5	fF
$\overline{C}_{CBa}$	9,6	9,6	10,4	16,3	26,9	27,1	43,2	fF
C_{CBaO}	6,3	6,3	9,2	15,4	26,9	25,5	39,4	fF
$\overline{C}_{CBi}$	1,9	1,9	2,8	4,9	5	8,1	7,4	fF
C_{CBiO}	1,4	1,4	2,1	3,5	3,6	5,7	5,3	fF
$\overline{C}_{EB}$	43,3	43,3	44,4	46,2	46,2	77,7	47,4	fF
C_{EBO}	24,7	24,7	24,7	24,7	24,7	41,5	24,7	fF
$\overline{C}_{R1}$	11,8	11,8	17,1	28,7	30,1	28,7	44	fF
$\overline{C}_{R2}$	8,4	8,4	12,1	20,3	21,3	20,3	31,1	fF
t_f	3200	1310	780	570	625	570	590	ps
t_r	2170	1000	620	430	480	440	470	ps
t_{Df}	2550	980	650	520	540	515	525	ps
t_{Dr}	200	240	110	50	30	50	30	ps
t_D	1375	610	380	285	285	283	278	ps
t'_D	1400	651	412	299	300	283	278	ps

Tab. A4.14: NTL, Empfindlichkeiten ausgehend von den in Tab.A4.13 eingerahmten Daten.

X	X/X_1	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)	$t_D/t_{Dmin0}-1$
r_{Bein}, r_{Baus} getrennt		590	470	525	30	278	0
$\overline{r}_B$		590	470	525	30	278	0
B_N=50		575	495	470	60	265	-0,047
$\overline{r}_B$	0	520	450	455	-5	225	-0,191
	0,5	555	460	490	0	245	-0,119
	2	660	490	595	50	323	0,162
τ_N	0	405	335	315	-10	153	-0,45
	0,5	490	390	425	5	215	-0,227
	2	800	620	745	40	393	0,414
$\overline{C}_{EB}$	0,1	565	460	510	10	260	-0,065
	4	680	540	605	85	345	0,241
$\overline{C}_C$	0,1	330	305	315	5	160	-0,424
	0,5	440	375	400	10	205	-0,263
	2	870	650	760	40	400	0,439
$\overline{C}_{CS}$	0,1	560	455	505	25	265	-0,047
	4	650	510	590	35	313	0,126
$\overline{C}_{R2}$	0,1	565	460	510	25	268	-0,036
	4	640	505	580	35	308	0,108

Tab. A4.15: NTL, Basistechnologie, Lastabhängigkeit des dynamischen Verhaltens und Einfluß einer Kapazität C_{R1} parallel zu R_1.

P (mW)	n_B	n_Q	C_L	C_{R1}(pF)	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)
0,5	2	2	0	0	590	470	525	30	278
		2	0,05	0	620	485	555	30	293
			0,15	0	680	520	605	50	328
			0,5	0	920	645	810	130	470
		1	0	0	410	335	385	20	203
		3	0	0	775	600	680	10	345
		2	0	0,4	500	450	465	-10	228
				1	370	400	410	-30	190
				1,5	310	400	330	35	178
		1	0	1,5	195	240	250	10	130
		3	0	1,5	455	530	420	30	225
0,048	1	2	0	0	1310	1000	980	240	610
		2	0,05	0	1710	1300	1320	260	790
			0,1	0	2060	1590	1620	310	965
		1	0	0	860	700	740	130	435
		3	0	0	1740	1300	1220	300	760
		2	0	0,4	600	920	600	140	370
				0,5	540	960	560	170	365
				0,7	450	1030	510	210	360
		1	0	0,4	350	680	420	140	280
		3	0	0,4	940	1230	780	240	510
		2	0,1	0,4	1340	1320	1000	140	570

Tab. A4.16: C^3L, Basistechnologie, P =2mW.

Größe	Daten						Einh.
P	2	2	2	2	2	2	mW
$I_{Cein}(T_S)$	6,8	6,8	6,8	6,8	6,8	6,8	mA
$I_{Bein}(T_S)$	1,6	1,6	1,6	1,6	1,6	1,6	mA
I_{Cein}	4	4	4	4	4	4	mA
I_{Bein}	1,33	1,33	1,33	1,33	1,33	1,33	mA
U_{Cein}	328	325	323	328	325	323	mV
U_{Caus}	823	833	833	823	833	833	mV
U_{Bein}	823	833	833	823	833	833	mV
U_{Baus}	635	643	641	636	644	641	mV
$U_{Eein/aus}$	0	0	0	0	0	0	mV
U_S	0	0	0	0	0	0	mV
$\varrho_C(300K)$	0,3	0,2	0,2	0,3	0,2	0,2	Ωcm
n_B	1	1	1	2	2	2	
x_E	2	2	2,5	2	2	2,5	µm
y_E	49,1	32,9	26,7	49,1	32,9	26,7	µm
r_{Ba}	30	44	54	15	22	27	Ω
r_{BiO}	326	486	749	81	122	187	Ω
r_{Bein}	111	166	242	35	52	74	Ω
r_{Baus}	136	155	271	50	68	106	Ω
r_{Ci}	15	15	15	15	15	15	Ω
$\overline{C}_{CS}$	135,3	96	86,8	156,2	110,8	99,3	fF
C_{CSO}	184,8	131,3	118,7	213,3	151,6	135,8	fF
$\overline{C}_{CBa}$	254,8	223	181,4	426,6	373,4	303,7	fF
C_{CBaO}	212,4	184,1	149,6	355,6	308,2	250,5	fF
$\overline{C}_{CBi}$	69	60,4	61,2	69	60,4	61,3	fF
C_{CBiO}	47,7	41,4	42	47,7	41,4	42	fF
$\overline{C}_{EB}$	562,5	387	378,5	562,6	387,1	378,7	fF
C_{EBO}	295,3	198,1	194,4	295,3	198,1	194,4	fF
r_{SD}	23	25	27	19	25	27	Ω
$\overline{C}_{SD}$	118,4	105	106,3	118,4	105	106,3	fF
r_{SDE}	19	19	18	19	19	19	Ω
$\overline{C}_{SDE}$	163,2	146,8	148,7	163,2	146,8	148,7	fF
$\overline{C}_R$	22.1	28,6	28,6	22,1	28,6	28,6	fF
t_f		500			235		ps
t_r		130			145		ps
t_{Df}	650	630	740	665	620	620	ps
t_{Dr}	55	60	100	-30	-15	5	ps
t_D	353	345	420	318	303	313	ps
t'_D		367			303		ps

Tab. A4.17: C^3L, Basistechnologie, P <2mW.

Größe	Daten								Einh.
P	0,0125	0,025	0,05	0,05	0,1	0,1	0,25	0,25	mW
$I_{Cein}(T_S)$	0,043	0,085	0,17	0,17	0,34	0,34	0,85	0,85	mA
$I_{Bein}(T_S)$	0,01	0,019	0,035	0,035	0,07	0,07	0,2	0,2	mA
I_{Cein}	0,025	0,05	0,1	0,1	0,2	0,2	0,5	0,5	mA
I_{Bein}	0,008	0,017	0,033	0,033	0,067	0,067	0,166	0,166	mA
U_{Cein}	334	334	333	333	330	330	325	325	mV
U_{Caus}	757	775	792	792	810	810	833	833	mV
U_{Bein}	757	775	792	792	810	810	833	833	mV
U_{Baus}	572	590	609	609	625	625	643	644	mV
$U_{Eein/aus}$	0	0	0	0	0	0	0	0	mV
U_S	0	0	0	0	0	0	0	0	mV
ϱ_C(300K)	2	2	1	1	0,5	0,5	0,2	0,2	Ωcm
n_B	1	1	1	2	1	2	1	2	
x_E	2	2	2	2	2	2	2	2	µm
y_E	4	4	4	4	4	4	4,1	4,1	µm
r_{Ba}	363	363	363	181	363	181	353	176	Ω
r_{BiO}	4000	4000	4000	1000	4000	1000	3894	974	Ω
r_{Bein}	1363	1363	1363	431	1363	431	1326	420	Ω
r_{Baus}	2331	2331	2296	676	2211	668	1821	552	Ω
r_{Ci}	1275	1275	636	636	317	317	123	123	Ω
$\overline{C}_{CS}$	26,5	26,5	26,5	30,4	26,5	30,4	26,5	30,6	fF
C_{CSO}	35,8	35,8	35,8	41,4	35,8	41,4	36,2	41,8	fF
$\overline{C}_{CBa}$	9,6	9,6	11	18,4	16	26,8	29,3	49	fF
C_{CBaO}	6,3	6,3	9,2	15,4	13,5	22,6	24,2	40,4	fF
$\overline{C}_{CBi}$	2	2	2,9	2,9	4,4	4,4	7,9	7,9	fF
C_{CBiO}	1,4	1,4	2,1	2,1	3	3	5,4	5,4	fF
$\overline{C}_{EB}$	42,5	42,5	44	44	45,7	45,7	49,6	49,6	fF
C_{EBO}	24,7	24,7	24,7	24,7	24,7	24,7	25,4	25,4	fF
r_{SD}	1556	1556	808	808	432	432	200	200	Ω
$\overline{C}_{SD}$	3,1	3,1	4,6	4,6	6,9	6,9	13,1	13,1	fF
r_{SDE}	1505	1505	754	756	379	380	149	151	Ω
$\overline{C}_{SDE}$	4,1	4,1	6,1	6,1	9,4	9,4	18,3	18,3	fF
$\overline{C}_R$	7,7	7,7	11,1	11,1	16,4	16,4	28,6	28,6	fF
t_f	460	360	310	270	330	260	470	255	ps
t_r	760	420	245	310	165	210	160	150	ps
t_{Df}	2240	1270	910	990	760	765	710	670	ps
t_{Dr}	300	160	90	60	80	30	90	-10	ps
t_D	1270	715	500	525	420	398	400	330	ps
t'_D	1386	760	521	551	432	425	431	330	ps

Tab. A4.18 : C^3L, laterale Strukturverkleinerung, P =2mW.

Größe	Daten						Einh.
P	2	2	2	2	2	2	mW
$I_{Cein}(T_S)$	6,8	6,8	6,8	6,8	6,8	6,8	mA
$I_{Bein}(T_S)$	1,6	1,6	1,6	1,6	1,6	1,6	mA
I_{Cein}	4	4	4	4	4	4	mA
I_{Bein}	1,33	1,33	1,33	1,33	1,33	1,33	mA
U_{Cein}	330	328	345	328	326	323	mV
U_{Caus}	828	834	837	834	833	833	mV
U_{Bein}	828	834	837	834	833	833	mV
U_{Baus}	643	648	641	648	645	641	mV
$U_{Ein/aus}$	0	0	0	0	0	0	mV
U_S	0	0	0	0	0	0	mV
ϱ_C(300K)	0,25	0,2	0,2	0,2	0,2	0,2	Ωcm
n_B	1	1	1	2	2	2	
x_E	1	1	1,5	1	1,5	2	µm
y_E	50,6	64,4	38,3	64,4	43,6	33,3	µm
r_{Ba}	9	11	19	6	8	11	Ω
r_{BiO}	99	124	313	31	69	120	Ω
r_{Bein}	34	42	97	13	26	41	Ω
r_{Baus}	54	67	151	20	40	65	Ω
r_{Ci}	16	16	18	16	15	15	Ω
$\overline{C}_{CS}$	101,4	81,8	68,8	94,5	73,6	63,8	fF
C_{CSO}	138,8	112	94,6	129,3	100,6	87,2	fF
$\overline{C}_{CBa}$	245	227	133,4	373,5	253,5	194	fF
C_{CBaO}	203,5	187,6	111,8	308,6	209,3	160,1	fF
$\overline{C}_{CBi}$	63,7	59,1	53,2	59,1	60	61	fF
C_{CBiO}	43,8	40,3	36,1	40,3	41	41,9	fF
$\overline{C}_{EB}$	643,9	522,5	381,6	522,6	432,9	390,5	fF
C_{EBO}	333	266,1	194,5	266,1	221,3	200,5	fF
r_{SD}	21	22	20	22	24	26	Ω
$\overline{C}_{SD}$	110,3	103,2	148,5	103,2	104,5	106,1	fF
r_{SDE}	19	19	13	19	19	18	Ω
$\overline{C}_{SDE}$	152,7	144,1	205,8	144,1	146	148,4	fF
$\overline{C}_K$	6,2	7,1	7,1	7,1	7,1	7,1	fF
t_f		210			160		ps
t_r		115			120		ps
t_{Df}	530	515	545	550	490	490	ps
t_{Dr}	-5	-5	45	-30	-25	-15	ps
t_D	262	255	295	260	233	238	ps
t'_D		260			236		ps

Tab. A4.19: C^3L, laterale Strukturverkleinerung, P <2mW.

Größe	Daten						Einh.
P	0,006	0,02	0,062	0,125	0,18	0,18	mW
$I_{Cein}(T_S)$	0,02	0,068	0,211	0,425	0,612	0,612	mA
$I_{Bein}(T_S)$	0,005	0,016	0,05	0,1	0,144	0,144	mA
I_{Cein}	0,012	0,04	0,124	0,25	0,36	0,36	mA
I_{Bein}	0,004	0,013	0,041	0,083	0,12	0,12	mA
U_{Cein}	336	333	329	328	328	326	mV
U_{Caus}	773	804	834	834	834	833	mV
U_{Bein}	773	804	834	834	834	833	mV
U_{Baus}	590	620	648	648	647	644	mV
$U_{Eein/aus}$	0	0	0	0	0	0	mV
U_S	0	0	0	0	0	0	mV
ϱ_C(300K)	2	0,6	0,2	0,2	0,2	0,2	Ωcm
n_B	1	1	1	1	1	2	
x_E	1	1	1	1	1	1,5	µm
y_E	2	2	2,003	4,017	5,8	4	µm
r_{Ba}	363	363	362	180	125	91	Ω
r_{BiO}	4000	4000	3993	1991	1379	750	Ω
r_{Bein}	1363	1363	1360	678	470	278	Ω
r_{Baus}	2363	2338	2279	1073	741	433	Ω
r_{Ci}	5090	1522	504	251	174	168	Ω
$\overline{C}_{CS}$	6,6	6,6	6,6	9	11,1	11,6	fF
C_{CSO}	9	9	9	123	152	159	fF
$\overline{C}_{CBa}$	2,6	4	7,9	15	21,2	24,5	fF
C_{CBaO}	1,7	3,4	6,5	12,4	17,5	20,2	fF
$\overline{C}_{CBi}$	0,5	1	2	3,9	5,5	5,8	fF
C_{CBiO}	0,4	0,7	1,4	2,7	3,8	4	fF
$\overline{C}_{EB}$	15	16	17,2	33,5	47,9	40,7	fF
C_{EBO}	8,7	8,7	8,8	17,1	24,4	20,9	fF
r_{SD}	6115	1914	709	354	245	262	Ω
$\overline{C}_{SD}$	0,8	1,5	3,2	6,4	9,3	9,6	fF
r_{SDE}	6010	1805	603	301	208	203	Ω
$\overline{C}_{SDE}$	1	2,1	4,5	9	13	13,4	fF
$\overline{C}_R$	1,9	3,7	7,1	7,1	7,1	7,1	fF
t_f	420	240	220	210	210	205	ps
t_r	580	250	130	125	125	120	ps
t_{Df}	1510	810	560	535	535	540	ps
t_{Dr}	70	0	30	5	0	-15	ps
t_D	790	405	295	270	268	263	ps
t'_D	820	406	295	275	270	251	ps

Tab. A4.20: C^3L, Empfindlichkeiten ausgehend von den in Tab.A4.17 eingerahmten Daten.

λ	λ/λ_1	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)	$t_D/t_{Dmin0}-1$
r_{Bein}, r_{Baus} getrennt		255	150	670	-10	330	0
$\overline{r}_D$		255	150	665	-5	330	0
B_N=50		265	155	665	-5	330	0
$\overline{r}_D$	0	140	180	565	-35	265	-0,197
	0,5	190	155	610	-20	295	-0,106
	2	360	145	755	35	395	0,197
τ_N	0	160	120	445	25	235	-0,288
	0,5	200	135	555	10	283	-0,142
	2	360	175	870	-30	420	0,273
$\overline{C}_{EB}$	0,1	220	130	610	-20	295	-0,106
	2	285	165	710	10	360	0,091
$\overline{C}_C$	0,1	185	70	315	25	170	-0,485
	0,5	215	110	485	10	248	-0,248
	2	330	225	995	-20	488	0,47
$\overline{C}_{CS}$	0,1	245	140	670	-30	320	-0,03
	2	260	150	655	15	335	0,015
	4	275	170	665	45	355	0,076
$\overline{C}_R$	0,1	235	140	635	-15	310	-0,06
	2	275	160	690	5	348	0,055
	4	300	170	720	15	368	0,115

Tab. A4.21: C^3L, Basistechnologie, Lastabhängigkeit des dynamischen Verhaltens.

P (mW)	n_B	n_Q	C_L(pF)	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)
0,25	2	2	0	255	150	670	-10	330
		2	0,05*	265	170	700	10	355
			0,1*	275	190	740	30	385
			0,25*	310	270	870	70	470
		1	0	210	150	610	55	348
		3	0	280	170	745	-55	345
0,05	1	2	0	310	245	910	90	500
		2	0,05*	360	350	1100	180	640
			0,1*	420	460	1290	230	760
			0,25*	380	800	1640	380	1010
		1	0	235	270	935	230	583
		3	0	350	350	935	45	490

Tab. A4.22: C^3L, laterale Strukturverkleinerung, Lastabhängigkeit des dynamischen Verhaltens.

P (mW)	n_B	n_Q	C_L(pF)	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)
0,062	1	2	0	220	130	560	30	295
		2	0,05*	265	235	735	55	410
			0,1*	310	340	930	135	533
		1	0	175	130	560	100	330
		3	0	250	145	610	-10	300

*) je Ausgang.

Tab. A4.23: TTL, Basistechnologie, P =2mW.

Größe	Daten								Einh.
	T_1	T_2	T_1	T_2	T_1	T_2	T_1	T_2	
P		2		2		2		2	mW
$I_{Cein}(T_S)$	0	4,11	0	4,11	0	4,11	0	4,11	mA
$I_{Bein}(T_S)$	1,37	1,1	1,37	1,1	1,37	1,1	1,37	1,1	mA
I_{Cein}	0	2,4	0	2,4	0	2,4	0	2,4	mA
I_{Bein}	1,2	0,9	1,2	0,9	1,2	0,9	1,2	0,9	mA
U_{Cein}	595	339	600	336	608	352	607	358	mV
U_{Caus}	832	700	822	700	832	700	832	700	mV
U_{Bein}	1145	832	1132	822	1158	832	1164	832	mV
U_{Baus}	1300	600	1300	600	1300	600	1300	600	mV
U_{Eein}	339	0	336	0	352	0	358	0	mV
U_{Eaus}	700	0	700	0	700	0	700	0	mV
U_S		0		0		0		0	mV
$\varrho_C(300K)$		0,2		0,3		0,2		0,2	Ωcm
n_B	1	1	1	1	1	2	1	2	
x_E		2		2		2		2,5	µm
y_E		21,3		31,6		21,3		17,3	µm
r_{Ba}	68	68	46	46	68	34	84	42	Ω
r_{BiO}	751	751	506	506	751	188	1156	289	Ω
r_{Bein}	256	256	172	172	256	81	373	114	Ω
r_{Baus}	261	328	181	232	261	118	363	164	Ω
r_{Ca}	7	7	5	5	7	13	9	17	Ω
r_{Ci}	24	24	24	24	24	24	23	23	Ω
$\overline{C}_{CS}$	64,7	56,3	88,4	76,9	64,5	67,3	57,9	59,7	fF
C_{CSO}	91,8	73,5	125,3	100,8	91,8	88,2	82,3	78,2	fF
$\overline{C}_{CBa}$	376,1	146,9	426,2	166,7	376,1	246	308,4	200,6	fF
C_{CBaO}	212,4	119,6	243,3	137,1	212,4	200,3	172,9	163,1	fF
$\overline{C}_{CBi}$	65,8	39,6	84,7	45	65,8	39,6	66	40,2	fF
C_{CBiO}	26,9	26,9	30,8	30,8	26,9	26,9	27,4	27,4	fF
$\overline{C}_{EB}$	231,5	240,8	338,2	350,8	231,5	240,8	227,3	236,5	fF
C_{EBO}	128,5	128,5	190,3	190,3	128,5	128,5	126,3	126,3	fF
r_{SD}	52	39	46	35	52	39	58	41	Ω
$\overline{C}_{SD}$	196,5	72,2	221,7	80,7	196,5	72,2	198,7	73,2	fF
$\overline{C}_R$		27,5		21,3		27,5		27,5	
t_f	410	100			225	140			ps
t_r	130	175			125	180			ps
t_{Df}		640		630		630		680	ps
t_{Dr}		0		20		-50		-60	ps
t_D		320		325		290		310	ps
t'_D		370				296			ps

Tab. A4.24: TTL, Basistechnologie, P_V =0,037...0,1mW.

Größe	Daten								Einh.
	T_1	T_2	T_1	T_2	T_1	T_2	T_1	T_2	
P_V		0,037		0,05		0,1		0,1	mW
$I_{Cein}(T_S)$	0	0,076	0	0,103	0	0,206	0	0,206	mA
$I_{Bein}(T_S)$	0,025	0,021	0,034	0,027	0,068	0,055	0,068	0,055	mA
I_{Cein}	0	0,044	0	0,06	0	0,12	0	0,12	mA
I_{Bein}	0,022	0,017	0,03	0,023	0,06	0,045	0,06	0,045	mA
U_{Cein}	618	332	616	332	610	333	614	337	mV
U_{Caus}	772	700	780	700	798	700	798	700	mV
U_{Bein}	1078	772	1088	780	1105	798	1109	798	mV
U_{Baus}	1300	600	1300	600	1300	600	1300	600	mV
U_{Eein}	332	0	334	0	333	0	337	0	mV
U_{Eaus}	700	0	700	0	700	0	700	0	mV
U_S		0		0		0		0	mV
ϱ_C(300K)		2		1,5		0,75		0,75	Ωcm
n_B	1	1	1	1	1	1	1	2	
x_E		2		2		2		2	µm
y_E		4		4		4		4	µm
r_{Ba}	363	363	363	363	363	363	363	181	Ω
r_{BiO}	4000	4000	4000	4000	4000	4000	4000	1000	Ω
r_{Bein}	1363	1363	1363	1363	1363	1363	1363	431	Ω
r_{Baus}	1708	2330	1671	2320	1644	2283	1644	677	Ω
r_{Ca}	38	38	38	38	38	38	38	68	Ω
r_{Ci}	1253	1271	940	953	470	475	470	476	Ω
$\overline{C}_{CS}$	24,3	21	24,3	21	24,2	21	24,2	25,1	fF
C_{CSO}	34,9	28	34,9	28	34,9	28	34,9	33,5	fF
$\overline{C}_{CBa}$	20,8	9,6	24,3	9,9	35,5	13,1	35,5	21,9	fF
C_{CBaO}	11,2	6,3	13,1	7,4	19,1	10,7	19,1	18	fF
$\overline{C}_{CBi}$	1,6	2,1	1,4	2,4	--	3,6	--	3,6	fF
C_{CBiO}	1,4	1,4	1,7	1,7	2,4	2,4	2,4	2,4	fF
$\overline{C}_{EB}$	41,5	42,7	41,9	43,1	42,7	44	42,7	44	fF
C_{EBO}	24,7	24,7	24,7	24,7	24,7	24,7	24,7	24,7	fF
r_{SD}	1594	1556	1285	1181	716	619	716	619	Ω
$\overline{C}_{SD}$	--	3,2	--	3,8	18	5,7	18	5,7	fF
$\overline{C}_R$		7,3		8,5		12,4		12,4	fF
t_f	380	260	330	210	305	155	215	210	ps
t_r	380	550	300	450	190	310	215	370	ps
t_{Df}		1030		880		710		760	ps
t_{Dr}		270		190		125		140	ps
t_D		650		535		418		450	ps
t'_D		760		636		460		488	ps

Tab. A4.25: TTL, Basistechnologie, P =0,23...0,37mW.

Größe	Daten								Einh.
	$\overline{T}_1$	T_2	T_1	T_2	T_1	T_2	T_1	T_2	
P		0,23		0,23		0,37		0,37	mW
$I_{Cein}(T_S)$	0	0,472	0	0,472	0	0,759	0	0,759	mA
$I_{Bein}(T_S)$	0,158	0,126	0,158	0,126	0,253	0,203	0,253	0,203	mA
I_{Cein}	0	0,277	0	0,277	0	0,445	0	0,445	mA
I_{Bein}	0,138	0,104	0,138	0,104	0,222	0,167	0,222	0,167	mA
U_{Cein}	601	335	609	343	595	339	609	353	mV
U_{Caus}	819	700	819	700	832	700	832	700	mV
U_{Bein}	1128	819	1136	819	1145	832	1159	832	mV
U_{Baus}	1300	600	1300	600	1300	600	1300	600	mV
U_{Eein}	335	0	343	0	339	0	353	0	mV
U_{Eaus}	700	0	700	0	700	0	700	0	mV
U_S		0		0		0		0	mV
ϱ_C(300K)		0,33		0,33		0,2		0,2	Ωcm
n_B	1	1	1	2	1	1	1	2	
x_E		2		2		2		2	µm
y_E		4		4		4		4	µm
r_{Ba}	363	363	363	181	363	363	363	181	Ω
r_{BiO}	4000	4000	4000	1000	4000	4000	4000	1000	Ω
r_{Bein}	1363	1363	1363	431	1363	1363	1363	431	Ω
r_{Baus}	1543	2165	1543	670	1325	1742	1325	594	Ω
r_{Ca}	38	38	38	68	38	38	38	68	Ω
r_{Ci}	207	209	207	209	125	126	125	126	Ω
$\overline{C}_{CS}$	24,2	21	24,1	25,2	24,5	21,4	24,4	25,5	fF
C_{CSO}	34,9	28	34,9	33,5	35,4	26,5	35,4	34	fF
$\overline{C}_{CBa}$	57,9	21,4	57,9	35,8	80,4	29,6	80,4	49,6	fF
C_{CBaO}	30,6	17,2	30,6	28,8	41,8	23,5	41,8	39,4	fF
$\overline{C}_{CBi}$	12,2	5,9	12,2	5,9	14,2	8,1	14,2	8,1	fF
C_{CBiO}	3,9	3,9	3,9	3,9	5,3	5,3	5,3	5,3	fF
$\overline{C}_{EB}$	43,8	45,4	43,8	45,4	44,5	46,3	44,5	46,3	fF
C_{EBO}	24,7	24,7	24,7	24,7	24,7	24,7	24,7	24,7	fF
r_{SD}	387	303	387	303	282	206	282	206	Ω
$\overline{C}_{SD}$	26,6	9,6	26,6	9,6	36,8	13,5	36,8	13,5	fF
$\overline{C}_R$		19,9		19,9		27,2		27,2	fF
t_f	280	130	230	160	260	145	265	150	ps
t_r	145	220	170	280	145	210	150	240	ps
t_{Df}		695		685		690		660	ps
t_{Dr}		35		0		30		-20	ps
t_D		365		343		360		320	ps
t'_D		394		354		389		320	ps

Tab. A4.26: TTL, Empfindlichkeiten ausgehend von den in Tab.A4.25 eingerahmten Daten.

X	X/X_1	t_f	$t_r(T_1)$	t_f	$t_r(T_2)$	t_{Df}	t_{Dr}	t_D(ps)	$t_D/t_{Dmin0}-1$
r_{Bein},r_{Baus} getrennt:		265	150	150	240	660	-20	320	0
Zwei-Transistor-Modell:		260	155	150	235	670	-20	325	0,016
$\overline{r}_B$		250	150	150	235	670	-30	320	0
B_N=50		270	155	170	235	665	-30	318	-0,006
$\overline{r}_B$	0	135	165	210	295	530	-20	255	-0,203
	0,5	180	150	185	260	595	-15	290	-0,094
	2	350	165	120	215	800	-40	388	0,213
τ_N	0	125	120	115	195	420	30	225	-0,297
	0,5	185	130	140	225	540	10	275	-0,141
	2	330	190	200	250	905	-95	405	0,266
$\overline{C}_{EB}$	0,1	210	130	200	235	640	-50	295	-0,078
	2	270	170	235	250	715	-15	350	0,094
$\overline{C}_C$	0,1	175	90	55	110	320	-20	150	-0,531
	0,5	205	115	90	165	480	-20	230	-0,281
	2	315	215	310	390	1050	-50	500	0,563
$\overline{C}_{CS}$	0,1	225	135	150	200	655	-50	303	-0,053
	2	250	160	155	270	685	5	340	0,063
	3	260	175	165	310	695	25	360	0,125
$\overline{C}_R$	0,1	235	145	150	210	670	-40	315	-0,016
	2	250	155	160	260	680	-20	330	0,031
	5	255	175	200	350	710	-30	340	0,063

Tab. A4.27: TTL, Basistechnologie, Lastabhängigkeit des dynamischen Verhaltens.

P (mW)	n_B	n_Q	C_L(pF)	t_f	$t_r(T_1)$	t_f	$t_r(T_2)$	t_{Df}	t_{Dr}	t_D(ps)
0,37	2	2	0	250	150	150	235	670	-30	320
		2	0,1	260	160	155	290	690	35	363
			0,2	250	180	180	340	715	80	398
			0,5	235	245	235	490	855	180	518
		1	0	180	170	120	290	620	80	350
		3	0	310	175	220	235	750	-90	330
0,05	1	2	0	330	300	210	450	880	190	535
		1	0	260	350	165	515	870	320	595
		3	0	400	290	270	420	910	120	515

Tab. A4.28: DCTL, Basistechnologie, P =2mW.

Größe	Daten							Einh.
P	2	2	2	2	2	2	2	mW
$I_{Cein}(T_S)$	3,31	3,31	3,31	3,31	3,31	3,31	3,31	mA
$I_{Bein}(T_S)$	1,35	1,35	1,35	1,35	1,35	1,35	1,35	mA
I_{Cein}	3,18	3,18	3,18	3,18	3,18	3,18	3,18	mA
I_{Bein}	0,41	0,41	0,41	0,41	0,41	0,41	0,41	mA
U_{Cein}	630	632	635	653	651	662	685	mV
U_{Caus}	896	896	896	896	896	896	896	mV
U_{Bein}	869	874	879	897	879	886	897	mV
U_{Baus}	596	596	596	596	596	596	596	mV
U_{Eein}	46	46	46	46	46	46	46	mV
U_{Eaus}, U_S	0	0	0	0	0	0	0	mV
$\varrho_C(300K)$	0,6	0,5	0,4	0,2	0,4	0,3	0,2	Ωcm
n_B	1	1	1	1	2	2	2	
x_E	2	2	2	2	2	2	2	µm
y_E	33,3	27,6	22	11	22	16,4	11	µm
r_{Ba}	44	53	66	132	33	44	66	Ω
r_{BiO}	480	580	727	1455	182	244	364	Ω
r_{Bein}	164	197	248	495	78	105	157	Ω
r_{Baus}	188	221	218	555	101	134	179	Ω
r_{Ca}	5	5	7	14	12	16	25	Ω
r_{Ci}	48	48	48	47	48	48	47	Ω
$\overline{C}_{CS}$	70,5	60,5	50,7	31,4	60,7	49	37,6	fF
C_{CSO}	103,6	88,9	74,4	46,1	89,2	71,9	55,2	fF
$\overline{C}_{CBa}$	96,5	89,1	81,3	63,6	136,1	121,5	106,5	fF
C_{CBaO}	96,3	88,6	80,6	62,4	134,9	119,9	104,5	fF
$\overline{C}_{CBi}$	30,9	28,5	26	20,1	25,8	23	20	fF
C_{CBiO}	26,1	19,9	18,1	14	18,1	16,1	14	fF
$\overline{C}_{EB}$	368,8	308,3	248,4	129,1	248,2	187,8	129	fF
C_{EBO}	200,5	166,3	132,7	66,7	132,7	99,1	66,7	fF
r_{SD}	61	62	65	75	65	68	75	Ω
$\overline{C}_{SD}$	39,1	36,1	32,9	25,5	32,9	29,3	25,5	fF
$\overline{C}_{R2}$	15,6	17,3	19,7	30,2	19,7	23,3	30,2	fF
t_f		300				255		ps
t_r		160				170		ps
t_{Df}	470	465	475	610	430	415	435	ps
t_{Dr}	70	55	55	110	5	10	25	ps
t_D	270	260	265	360	215	213	230	ps
t_D'		283				228		ps

Tab. A4.29: DCTL, Basistechnologie, P <2mW.

Größe	Daten								Einh.
P	0,05	0,07	0,07	0,145	0,145	0,29	0,29	0,48	mW
$I_{Cein}(T_S)$	0,083	0,116	0,116	0,24	0,24	0,48	0,48	0,79	mA
$I_{Bein}(T_S)$	0,034	0,047	0,047	0,098	0,098	0,196	0,196	0,32	mA
I_{Cein}	0,08	0,111	0,111	0,23	0,23	0,46	0,46	0,76	mA
I_{Bein}	0,01	0,014	0,014	0,03	0,03	0,059	0,059	0,098	mA
U_{Cein}	625	625	628	625	632	632	646	664	mV
U_{Caus}	896	896	896	896	896	896	896	896	mV
U_{Bein}	832	837	837	855	855	874	874	887	mV
U_{Baus}	596	596	596	596	596	596	596	596	mV
U_{Eein}	46	46	46	46	46	46	46	46	mV
U_{Eaus}, U_S	0	0	0	0	0	0	0	0	mV
$\varrho_C(300K)$	2	2	2	1	1	0,5	0,5	0,3	Ωcm
n_B	1	1	2	1	2	1	2	2	
x_E	2	2	2	2	2	2	2	2	µm
y_E	4	4	4	4,056	4,056	4,001	4	4	µm
r_{Ba}	363	363	181	358	179	362	181	181	Ω
r_{BiO}	4000	4000	1000	3945	986	3999	1000	1000	Ω
r_{Bein}	1363	1363	431	1344	425	1362	431	431	Ω
r_{Baus}	1802	1802	596	1648	567	1522	565	551	Ω
r_{Ca}	38	38	68	38	68	38	68	68	Ω
r_{Ci}	1343	1343	1343	660	660	332	332	197	Ω
$\overline{C}_{CS}$	19	19	22,8	19,2	22,9	19,1	22,8	22,8	fF
C_{CSO}	28	28	33,5	28,1	33,7	28	33,5	33,5	fF
$\overline{C}_{CBa}$	9,6	9,6	16	10	16,7	13,6	22,7	30,9	fF
C_{CBaO}	6,3	6,3	10,6	9,3	15,6	13,5	22,6	30,6	fF
$\overline{C}_{CBi}$	2	2	2	3	3	4,3	4,3	5,9	fF
C_{CBiO}	1,4	1,4	1,4	2,1	2,1	3	3	4,1	fF
$\overline{C}_{EB}$	43,5	43,5	43,5	45,2	45,2	45,8	45,8	46,8	fF
C_{EBO}	24,7	24,7	24,7	25,1	25,1	24,7	24,7	24,7	fF
r_{SD}	1555	1555	1555	794	794	430	430	283	Ω
$\overline{C}_{SD}$	2,4	2,4	2,4	3,6	3,6	5,2	5,2	7,1	fF
$\overline{C}_{R2}$	8,1	8,1	8,1	11,8	11,8	17,3	17,3	22,3	fF
t_f	580	460	570	320	320	310	300	285	ps
t_r	630	480	580	240	300	185	210	175	ps
t_{Df}	1010	800	950	565	605	475	465	455	ps
t_{Dr}	160	120	150	85	55	90	35	35	ps
t_D	585	460	550	325	330	283	250	245	ps
t_D'	635	491	581	340	344	304	264	245	ps

Tab, A4.30: DCTL,Empfindlichkeiten ausgehend von den in Tab.A4.29 eingerahmten Daten.

λ	λ/λ_1	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)	$t_D/t_{Dmin0}-1$
r_{Bein},r_{Baus} getrennt		285	175	465	25	245	0
$\overline{r}_B$		285	175	455	35	245	0
B_N=50		300	195	450	35	243	-0,008
$\overline{r}_B$	0	190	205	390	-20	185	-0,245
	0,5	235	185	420	10	215	-0,122
	2	365	185	510	95	303	0,237
τ_N	0	115	115	230	30	130	-0,469
	0,5	195	145	345	35	190	-0,224
	2	470	255	660	40	350	0,429
$\overline{C}_{EB}$	0,1	265	165	430	20	225	-0,082
	2	315	205	485	55	270	0,102
	4	370	260	540	75	308	0,257
$\overline{C}_C$	0,1	200	115	310	20	165	-0,327
	2	375	255	615	55	335	0,367
$\overline{C}_{CS}$	0,1	280	165	435	30	233	-0,049
	4	305	220	530	55	293	0,196
$\overline{C}_{R2}$	0,1	280	170	450	30	240	-0,02
	4	295	195	480	45	263	0,073

Tab. A4.31: DCTL, Basistechnologie, Lastabhängigkeit des dynamischen Verhaltens.

P	n_B	n_Q	C_L(pF)	t_f	t_r	t_{Df}	t_{Dr}	t_D(ps)
0,46	2	2	0	285	175	455	35	245
		2	0,05	300	185	475	45	260
			0,1	305	195	490	50	270
			0,2	325	215	530	70	300
			0,5	375	280	645	120	383
		1	0	215	125	335	55	195
		3	0	365	245	575	15	295
0,05	1	2	0	580	630	1010	160	585
		2	0,05	680	710	1160	230	695
			0,1	770	800	1340	300	820
		1	0	420	460	715	150	433
		3	0	740	810	1320	170	745

Literaturverzeichnis

1. Schaller, W.: Digitaler Empfänger. Elektronik-Kolloquium Ruhr-Universität Bochum Sommer 1979.
2. Keyes, R.W.: Physical limits in digital electronics. Proc. IEEE 63 (1975) 740-767.
3. Rein, H.-M.: Schnelle integrierte Digitalschaltungen in Silizium-Planartechnik - Probleme, Realisierung, Grenzen. Habilitationsschrift Univ. Stuttgart 1973.
4. Rein, H.-M.; Ranfft, R.: Integrierte Bipolarschaltungen. Berlin, Heidelberg, New York: Springer 1980.
5. Blood, W.R.: MECL, System Design Handbook, Motorola 1972.
6. Ranfft, R.: Zusammenstellung von Simulationsergebnissen von Subnanosekundenschaltungen; unveröffentlicht. Ruhr-Universität Bochum, Inst. f. Elektronik 1980.
7. MECL integrated circuits data book. Motorola 1973.
8. Braeckelmann, W.; Fritzsche, H.; Kroos, F.K.; Trinkel, W.; Wilhelm, W.: A masterslice LSI for subnanosecond random logic. IEEE ISSCC 1977, Dig. Tech. Papers 108, 109, 242.
9. Jen, T.S.: A high speed monolithic switching circuit. IEEE ISSCC 1966, Dig. Tech. Papers 12, 13.
10. Slob, A.: Schnelle logische Schaltungen mit geringem Energieverbrauch. Philips Techn. Rundsch. 11/12(1968) 355-359.
11. Rein, H.-M.; Ranfft, R.: Improved feedback ECL-gate with low delay-power product for the subnanosecond region. IEEE J. Solid-State Circ. SC-12(1977) 80-82.
12. Mukai, H.; Sudo, T.; Kindo, H.: NTL-LSI circuit design consideration. Rev. Electr. Commun. Labor. 21 (1973) 541-546.
13. Sakai, T.; Sunohara, Y.; Sudo, T.: A 100 ps bipolar logic. IEEE ISSCC 1977, Dig. Tech. Papers 196, 197, 251. (Bemerkung: Der Titel ist mißverständlich, da die Verzögerungszeit der Gatter weit über 100 ps liegt.)
14. Beilke, H.: Optimierung und Beurteilung neuartiger Schaltungskonzepte für schnelle bipolare Digitalbausteine. Diplom-Arbeit Ruhr-Universität Bochum 1978.
15. Rouzier, M.H., et al.: MUR, circuits logiques subnanosecondes. Colloque Internat. sur la Microelectroniques Avancée, Paris 1970, Tagungsband 930-939.
16. Beuchel, W.: Untersuchung von Subnanosekundenschaltungen mit kleiner Verlustleistung für hochintegrierte Digitalsysteme. Diplom-Arbeit Ruhr Universität Bochum 1977.
17. Peltier, A.W.: A new approch to bipolar LSI: C^3L. IEEE ISSCC 1975, Dig. Tech. Papers 168, 169.
18. Berger, H.H.; Wiedmann, S.K.: Schottky transistor logic. IEEE ISSCC 1975, Dig. Tech. Papers 172, 173.
19. Rousseau, J.-P.: An associative directory chip in LSI. ESSCIRC 1977, Dig. Tech. Papers 104-106.

20. Stübing, H.: Hochstromverhalten schneller Bipolartransistoren. Persönl. Mitteilungen, Ruhr-Universität Bochum 1981.

21. Blumberg, R.J.; Brenner, S.: A 1500-gate random logic LSI masterslice. IEEE ISSCC 1979, Dig. Tech. Papers 60, 61 und IEEE J. Solid-State Circ. SC-14 (1979) 818-822.

22. Hart, C.M.; Slob, A.: Integrated injection logic - a new approach to LSI. IEEE ISSCC 1972, Dig. Tech. Papers 92, 93, 219 und IEEE J. Solid-State Circ. SC-7 (1972) 346-351.

23. Berger, H.H.; Wiedmann, S.K.: Merged transistor logic - a low cost bipolar logic concept. IEEE ISSCC 1972, Dig. Tech. Papers 90, 91, 219, und IEEE J. Solid-State Circ. SC-) (1972) 340-346.

24. Murphy, B.T., et al.: Collector diffusion isolated integrated circuits. Proc. IEEE 57 (1969) 1523-1527.

25. Polke, H.; Oestreich, P.: CDI, ein neuer bipolarer Prozeß für LSI-Schaltungen. Elektronik 21 (1972) H. 1, 29-30.

26. Dhaka, V.A.; Muschinske, J.E.; Owens, W.K.: Subnanosecond emitter coupled logic gate circuit using Isoplanar II. IEEE J. Solid-State Circ. SC-8 (1973) 368-372.

27. Appels, J.A., et al.: Local oxidation of silicon and application in semiconductor-device technology. Philips Res. Rep. 25 (1970) 118-132.

28. Ruge, I.: Halbleiter-Technologie. Berlin, Heidelberg, New York: Springer 1975.

29. Kranzer, D.: Bipolare Schnellspeicher. Kolloquium am Inst. f. Elektronik der Ruhr-Universität Bochum, Mai 1980.

30. Buerker, U.; Glock, H.: An ECL 100K compatible 1024x4b RAM with 15ns access time. IEEE ISSCC 1979, Dig. Tech. Papers 102, 103, 285.

31. Arita, Y.; Kato, K.; Sudo, T.: The n^+-IPOS sheme and its applications to IC's. IEEE Trans. Electron Dev. ED-24 (1977) 756, 757.

32. Ku, S.H.: Boron-implanted silicon resistors. Solid-State Electron. 20 (1977) 803-812.

33. Söldner, H.: Entwicklung eines physikalischen Ersatzschaltbildes für Mikrowellentransistoren. Diplom-Arbeit Ruhr-Universität Bochum 1979.

34. Van de Wiele, F.; Engl, W.L.; Jespers, P.G. (Hrsg.): Process and device modeling for integrated circuit design. NATO Advanced Study Inst. Series E, No. 21. Leyden: Noordhoff 1977.

35. Irvin, J.C.: Resistivity of bulk silicon and of diffused layers in silicon. Bell Syst. Tech. J. 41 (1962) 387-410.

36. Raabe, G.: Epitaxieverfahren zur Fertigung von Halbleiterbauelementen. Valvo Ber. XVII (1973) 139-151.

37. Bronstein, I.N.; Semendjajew, K.A.: Taschenbuch der Mathematik. Zürich: H. Deutsch 1966.

38. Ebers, J.J.; Moll, J.L.: Large signal behavior of junction transistors. Proc. IRE 42 (1954) 1761-1772.

39. Gummel, H.K.; Poon, H.C.: An integral charge control model of bipolar transistors. Bell Syst. Tech. J. 49 (1970) 827-852.

40. Steinkopf, U.: Die Simulation integrierter Schaltungen mit bekannten Netzwerkanalyseprogrammen - eine Einführung in die CAD-Thematik. Diskussionssitzung der NTG in Darmstadt, März 1977.

41. Zapf, H.L.: Makromodelle für Operationsverstärker: Eine vergleichende Übersicht zur kritischen Beurteilung. Diskussionssitzung der NTG in Darmstadt, März 1977.

42. Mucha, J., et al.: Numerische Halbleitermodelle, ihre Verwendung zur Simulation integrierter Halbleiterschaltungen. Diskussionssitzung der NTG in Darmstadt, März 1977.

43. Ranfft, R.; Rein, H.-M.: A simple but efficient analog computer for simulation of high-speed integrated circuits. IEEE J. Solid-State Circ. SC-12 (1977) 51-58.

44. Rein, H.-M.: Der Eingangswiderstand von Transistoren bei schnellen Schaltvorgängen. Dissertation Univ. Stuttgart 1968. Kurzfassung veröffentlicht in AEÜ 22 (1968) 322-336.

45. Rein, H.-M.: Ein einfaches zweidimensionales Modell zur Simulation des Schaltverhaltens bipolarer Transistoren. Diskussionssitzung der NTG in Darmstadt, März 1977.

46. Rein, H.-M.: Improving the large-signal models of bipolar transistors by dividing the intrinsic base into two lateral sections. Electron. Lett. 13 (1977) 40-41.

47. Thiel, C.: Untersuchung eines Modells für Bipolartransistoren im Schalterbetrieb unter besonderer Berücksichtigung des Basisbahnwiderstandes. Diplom-Arbeit Ruhr-Universität Bochum 1977.

48. Sze, S.M.: Physics of Semiconductor Devices, New York: Wiley 1969.

49. Wilkinson, J.M., et al.: Theory and experiment for silicon Schottky barrier diodes at high current density. Solid-State Electron. 20 (1977) 45-50.

50. Yu, A.Y.C.; Mead, C.A.: Characteristics of aluminium-silicon Schottky barrier diode. Solid-State Electron. 13 (1970) 97-104.

51. Scharfetter, D.L.: Minority carrier injection and charge storage in epitaxial Schottky barrier diodes. Solid-State Electron. 8 (1965) 299-311.

52. Jäger, H.; Kosak, W.: Modulation effect by intense hole injection in epitaxial silicon Schottky-barrier-diodes. Solid-State Electron. 16 (1973) 357-364.

53. Nagel, L.W.: Spice 2: a computer programm to simulate semiconductor circuits. ERL Memo No. ERL-M520, Univ. of Calif., Berkeley.

54. Chang, C.Y.; Sze, S.M.: Carrier transport across metal-semiconductor barriers. Solid-State Electron. 13 (1970) 727-740.

55. Caughey, D.M.; Thomas, R.E.: Carrier mobilities in silicon empirically related to doping and field. Proc. IEEE 55 (1967) 2192-2193.

56. Ludwig, G.W.; Watters, R.L.: Drift and conductivity mobility in silicon. Phys. Rev. 101 (1956) 1699-1701.

57. Costato, M.; Scavo, S.: Hot-electron drift mobility in silicon between 77°K and 300°K. Nuovo Cimento 54 B (1968) 169-175.

58. Duh, C.Y.; Moll, J.L.: Temperature dependence of hot electron drift velocity in silicon at high electric field. Solid-State Electron. 11 (1968) 917-932.

59. Jacoboni, C., et al.: A review of some charge transport properties of silicon. Solid-State Electron. 20 (1977) 77-89.

60. Blum, A.; Glesner, M.: Der rechnergestützte Entwurf integrierter Schaltungen - Übersicht über den gegenwärtigen Stand und die zukünftigen Entwicklungsmöglichkeiten. Diskussionssitzung der NTG in Darmstadt, März 1977.

61. Antreich, K.; Müller, G.: Zur interaktiven Schaltungsoptimierung. AEÜ 39 (1980) 89-96.

62. Essl, D.V.J., et al.: Automated design optimization of integrated switching circuits. IEEE J. Solid-State Circ. SC-9 (1974) 14-20.

63. Hachtel, G.D.; Rohrer, R.A.: Techniques for the optimal design and synthesis of switching circuits. Proc. IEEE 55 (1967) 1864-1876.

64. Director, S.W.; Rohrer, R.A.: The generalized adjoint network and network sensitivities. IEEE Trans. Circ. Theory CT-16 (1969) 318-323.

65. Bowers, J.C., et al.: A survey of computer-aided design and analysis programs. Studie Univ. of South Florida. Erhältlich bei P.C. Herren Jr., AFAPL/POD-1, Wright-Patterson AFB, Ohio 45433.

66. Blattner, D.J.: Choosing the right programms for computer-aided design. Electronics 49 (1976) April 29, 102-105.

67. Ranfft, R.; Rein, H.-M.: Analog Simulation of bipolar-transistor circuits. Simulation (1977) Sept., 75-78.

68. Low-cost analog unit simulates digital ICs. Electronics 49 (1976) Nov. 11, 38-40.

69. Ranfft, R.; Rein, H.-M.: Ein einfacher Analogrechner zur Simulation schneller integrierter Digitalschaltungen. Diskussionssitzung der NTG in Darmstadt, März 1977.

70. Rehn, B.; Zibert, K.: Simulation und Optimierung bei der Entwicklung von MOS-Speicherbausteinen. Diskussionssitzung der NTG in Darmstadt, März 1977.

71. Beale, J.R.A.; Beer, A.F.: The study of large-signal high frequency effects in junction transistors using analog techniques. Proc. IRE 50 (1962) 66-77.

72. Gummel, H.K.; Murphy, B.T.: Circuit analysis by quasi-analog computation. Proc. IEEE 55 (1967) 1758-1760.

73. Murphy, B.T.: Diode and transistor self-analogues for circuit analysis. Bell Syst. Tech. J. 47 (1968) 487-502.

74. Rein, H.-M.; Brüchmann, H.: Analogtransistor zur Simulation integrierter Schaltungen. Int. Elektron. Rdsch. 25 (1971) 227-231.

75. Ranfft, R.: Handbuch, Analogrechner zur Schaltungssimulation; unveröffentlicht. Ruhr-Universität Bochum, Inst. f. Elektronik 1980.

76. Wüstehube, J.; Hetterscheid, W.; Houkes, H.; Ranfft, R., et al.: Schaltnetzteile - Grundlagen, Entwurf, Schaltungsbeispiele. Grafenau: expert 1979.

77. Fischer, W.-D.: Eine elektronisch analog simulierte Induktivität. Studienarbeit Ruhr-Universität Bochum 1977.

78. Thiemann, K.-P.: Entwicklung eines Testgerätes für analoge Bipolar-Transistormodelle innerhalb eines speziellen Analogrechners. Diplom-Arbeit Ruhr-Universität Bochum 1977.

79. Thiemann, K.-P.: Meßzusatz für den Analogrechner. Studienarbeit Ruhr-Universität Bochum 1977.

80. Hill, C.F.: Noise margin and noise immunity in logic circuits. Microelectronics 1 (1968) April, 16-21.

81. Lohstroh, J.: Noise margin of I^2L, SI^2L, ISL and STL. ESSCIRC 1978, Dig. Tech. Papers 51-54.

82. Micheel, L.J.; Rabanus, G.G.: Integrated gigabit logic - state of the art assessment and performance projections. IEEE MTT-S Intern. Microwave Symposium 1978, Digest 50-53.

83. Solomon, P.M.; Tang, D.D.: Bipolar circuit scaling. IEEE ISSCC 1979, Dig. Tech. Papers 86, 87.

84. Tang, D.D.; Solomon, P.M.: Bipolar transistor design for optimized power-delay logic circuits. IEEE J. Solid-State Circ. SC-14 (1979) 679-684.

85. Berson, B.: Making 1980's semiconductors: molecules, electrons, an ions. Microwave Syst. News, Sept. 1979, 45-56.

86. Schaumburg, H.: Lithografie-Techniken für höchstintegrierte Schaltungen. Elektronik-Anz. 11 (1979) Nr. 3, 32-33.

87. Snapp, C.P.: Bipolars quietly dominate. Microwave Syst. News, Nov. 1979, 45-67.

88. Hart, P.A.H.; Van't Hof, T.; Klaassen, F.: Device down scaling an expected circuit performance. IEEE Trans. Electron Dev. ED-26 (1979) 421-429.

89. Ranfft, R.; Rein, H.-M.: Optimization and comparison of various subnanosecond IC's with low power dissipation. Esscirc 1980, Dig. Tech. Papers 190-192.

90. Rein, H.-M.; Kosak, W.; Kotte, W.: Schnelle integrierte Schaltkreise mit Schottky-Dioden. Wiss. Ber. AEG-Telefunken 45(1972) 130-141.

91. Rein, H.-M.: Untersuchungen über das Hochstromverhalten von Schottky-Dioden. Persönl. Mitteilungen, Inst. f. Elektronik der Ruhr-Universität Bochum 1981.

92. Breuer, D. R.: Application of low-level differential logic. IEEE ISSCC 1975, Dig. Tech. Papers 126, 127, 225.

93. Wolf, I.: Einführung in die Mikrostrip-Leitungstechnik, Teil I. Duisburg (GHS): Eigenverlag 1974.

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeit als Wissenschaftlicher Assistent am Lehrstuhl für Elektronische Bauelemente der Ruhr-Universität Bochum. Sie wurde von Herrn Prof. Dr. H.-M. Rein, dem Leiter der Arbeitsgruppe Halbleiterbauelemente betreut. Ihm gilt mein besonderer Dank für seine engagierte Unterstützung dieser Arbeit, für wertvolle Anregungen und Hinweise sowie die Förderung durch intensive Diskussionen.

Herrn Prof. Dr. J.W. Klein danke ich für sein Interesse an dieser Arbeit und für die Übernahme des Korreferates.

Ferner gilt mein Dank Herrn W. Steinau für seine umfangreiche Mitarbeit im Zusammenhang mit Konstruktion und Aufbau des Analogrechners für die Schaltungssimulation. Frau W. Pacino danke ich für die sorgfältige Bearbeitung meines Manuskripts.

LEBENSLAUF

2.5.1945	geboren in Hamburg
1952 - 1953	Grundschule Hamburg-Barmbek
1953 - 1958	Grundschule Hamburg-Sasel
1958 - 1965	Gymnasium in Hamburg-Farmsen
1.4.1965 bis 30.9.1965	Industriepraktikum bei der Firma PRAKLA GmbH, Hannover
WS 1965 bis WS 1969	Studium der Elektrotechnik an der Rheinisch-Westfälischen Technischen Hochschule Aachen
1.5.1970 bis 31.6.1974	Industrietätigkeit bei der Firma Valvo GmbH, Hamburg; Arbeitsgebiete: Steuer- und Regelungstechnik, lineare integrierte Schaltungen
1.7.1974 bis 30.9.1980	Wissenschaftlicher Assistent am Lehrstuhl für Elektronische Bauelemente der Ruhr-Universität Bochum, Arbeitsgruppe Halbleiterbauelemente
1.10.1980 bis 30.11.1980	Wissenschaftliche Hilfskraft am o.g. Lehrstuhl
1.1.1980 bis 30.4.1980	Technischer Leiter bei der Firma IBL GmbH, Düsseldorf
seit 1.5.1980	Betrieb eines unabhängigen Labors für Mikro-Prozessoranwendungen und kundenspezifische integrierte Schaltungen

DER DRUCKER - Buscheystraße 138 - 4630 Bochum - Tel. (02 34) 70 41 16